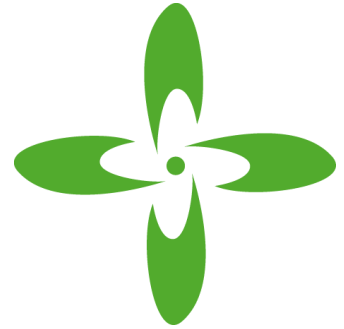




十速

TM52F5024

规格书

Rev 0.95

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **tenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **tenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **tenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **tenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **tenx** was negligent regarding the design or manufacture of the part.

修改纪录

版次	生效日	修订内容概要
V0.90	Apr, 2024	新颁。
V0.91	May, 2024	新增 QFN20/QFN24 IC 引脚图/封装说明 修改 SOP16 IC 引脚图/封装说明 更新 EEPROM 叙述说明,特性参数
V0.92	Jun, 2024	更新 QFN-24 引脚(3x3x0.75 mm) (L=0.3mm) 包装尺寸
V0.93	Jun, 2024	修正 EEPROM 范例程序 修正 VBG 1.2V 為 1.18V 及 VBG 1.18V 使用說明 修正 ADC VBG 参考电压 为 1.18V/2.5V
V0.94	Jul, 2024	修正 ADC 架构图
V0.95	Dec, 2024	修正引脚图/总汇: QFN24/20 脚位 AD 标示/数字标示

目录

修改纪录.....	2
概述.....	5
系统框图.....	5
基本功能.....	6
IC 引脚图	9
引脚描述.....	11
引脚汇总.....	12
功能描述.....	13
1. CPU 核心	13
1.1 累加器(ACC).....	13
1.2 B 寄存器(B).....	13
1.3 堆栈指针(SP).....	14
1.4 数据指针(DPTRs).....	14
1.5 程序状态字(PSW).....	15
2. 存储器	16
2.1 程序存储器(支持 IAP)	17
2.1.1 程序存储器的功能分区.....	17
2.1.2 FLASH ICP 模式	18
2.1.3 闪存 IAP 模式.....	18
2.1.4 IAP 模式访问例程.....	18
2.1.5 闪存 ISP 模式	20
2.2 信息存储.....	21
2.3 EEPROM 数据存储器.....	23
2.3.1 EEPROM 编程的注意事项	23
2.4 数据存储器	27
2.4.1 IRAM	27
2.4.2 XRAM	27
2.4.3 特殊功能寄存器(SFRs).....	27
3. 低电压复位和低电压检测	29
4. 复位	32
4.1 上电复位.....	32
4.2 外部引脚复位	32
4.3 软件复位.....	32
4.4 看门狗定时器复位	32
4.5 低电压复位(LVR)	32
5. 时钟电路和工作模式	35
5.1 时钟电路.....	35
5.2 操作模式.....	37
6. 中断和唤醒.....	39
6.1 中断使能和优先级控制	40
6.2 关于中断子程序的建议	40
6.3 引脚中断和 LVD 中断.....	43
6.4 空闲模式唤醒和中断	47
6.5 暂停/停止模式唤醒和中断	47

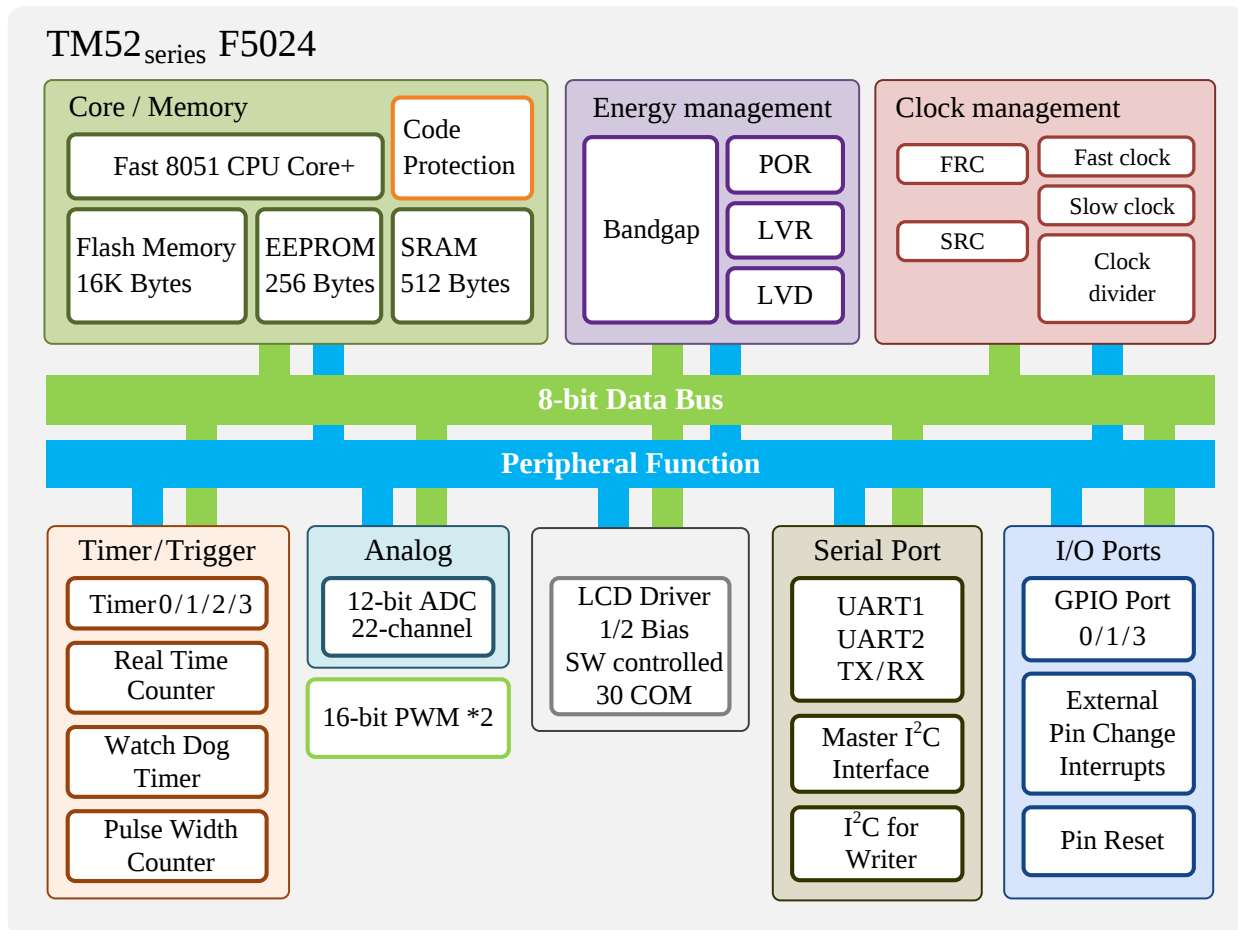
7.	I/O 端口	49
7.1	端口 0~端口 3	49
8.	定时器	56
8.1	Timer0/1	56
8.2	Timer2	59
8.3	Timer3	61
9.	UARTs	62
10.	PWMs	65
10.1	PWM0 (PWM0P/PWM0N)	65
10.2	PWM1 (PWM1P/PWM1N)	68
10.3	PWM2~PWM5	72
11.	ADC	79
11.1	ADC 通道	80
11.2	ADC 转换时间	80
12.	S/W 控制的 LCD 驱动器	84
13.	循环冗余校验码(CRC)	86
14.	乘法器和除法器	87
15.	主 I ² C 接口	89
16.	在线仿真器(ICE)模式	93
SFR & CFGW 映像		94
SFR & CFGW 说明		97
指令集		110
电气特性		113
1.	最大绝对额定值	113
2.	DC 特性	113
3.	时钟时序	116
4.	复位时序特性	116
5.	ADC 电气特性	116
6.	EEPROM 特性	116
7.	特性曲线图	117
封装说明		120
产品命名规则		128

概述

TM52 系列 F5024 是一个新的，快速的 8051 架构，与业界标准 8051 指令集完全兼容的 8 位单片机，并保持了 8051 外围的功能模块。通常情况下，**TM52** 执行指令，比传统的 8051 架构快六倍。

TM52-F5024 通过集成多种功能在芯片上，提供更高的性能，更低的成本，能快速进入市场，包括 16K 字节的 Flash 程序存储器，256 字节的 EEPROM 数据存储器，512 字节 SRAM，低电压复位(LVR)，低电压检测(LVD)，双时钟省电工作模式，8051 标准 UART 和定时器 Timer0/Timer1/Timer2，实时计时器 Timer3，LCD，2 组 16 位脉冲宽度调制器，24 通道的 12 位模数转换器(ADC)，I²C 串口和看门狗定时器(WDT)。它的高可靠性和低功耗的特性，可广泛适用于消费电子及家用电器产品。

系统框图



基本功能

1. 标准 8051 指令集，快速的机器周期

- 指令执行比传统 8051 快六倍

2. FLASH 程序存储器

- 16K 字节闪存程序存储器(TM52F5024)
- 支持 ICP(在线编程)或 ISP(在系统编程)的闪存程序码
- 在 IAP(在应用编程)模式可以作为 EEPROM，以字节的方式存取
- 程序码保护功能
- 内建 IAP 防死机看门狗模式
- 至少 100 次的擦写次数
- 至少 10 年的数据保存时间

3. 256 字节 EEPROM 数据存储器

- 至少 3 万次的擦写次数
- 至少 10 年的数据保存时间

4. 总计 512 字节 SRAM(IRAM+XRAM)

- 256 字节 IRAM 在 8051 内部数据存储器区
- 256 字节 XRAM 在 8051 外部数据存储器区(由 MOVX 指令存取)

5. 2 种系统时钟类型选择

- 快时钟使用内部 RC(FRC, 18.432 MHz)
- 慢时钟使用内部 RC(SRC, 75 KHz)
- 系统时钟可以通过 1/2/4/16 选项除频

6. 8051 标准定时器 – Timer0/1/2

- 16 位 Timer0，支持 T0O 时钟输出供蜂鸣器应用
- 16 位 Timer1
- 16 位 Timer2，支持 T2O 时钟输出供蜂鸣器应用

7. 15 位 Timer3

- 时钟源为慢时钟或 FRC/512
- 中断期可选时钟除以
262144/131072/65536/32768/16384/8192/4096/2048/1024/512/256/128/64/32/16/8 选项

8. UARTs

- UART1，8051 标准 UART
- UART2，第二组额外 UART，波特率时钟可设定
- 带 UART 引脚选择选项

9. 2 个独立的 16 位的 PWM 有预分频器/周期调整

- 具有 PWM0/PWM1 中断

10. I²C 接口（主）**11. 12 位 ADC，具有 22 个通道的外部引脚输入和 2 通道内部参考电压**

- 通道内部参考电压源 V_{BG} : 2.5V @ $V_{CC} = 5V \sim 2.5V$, 25°C
- 通道内部参考电压源: $V_{CC}/4$, $V_{CC}/201$
- ADC 内基准电压源: 1.18V/2.5V

12. LCD 控制器/驱动器

- 软件控制 COM00~05, COM10~1, COM30~37(最多 22 引脚)
- 1/2 LCD 偏压

13. 14 来源，4 中断优先级

- Timer0/Timer1/Timer2/Timer3 中断
- INT0/INT1 下降沿/低电平中断
- 端口 0/1/3 引脚电平变化从暂停/停止模式唤醒中断
- UART1/UART2 TX/RX 中断
- LVD 中断
- ADC 中断
- I²C 中断
- EEP 写完成中断
- PWM0/PWM1 中断

14. 引脚中断能将暂停/停止模式下的 CPU 唤醒

- P3.2/P3.3(INT0/INT1)中断和唤醒
- 每个引脚可以定义为唤醒中断引脚（通过引脚电平变化）

15. 最大 22 可编程 I/O 引脚

- CMOS 推挽输出
- 开漏输出
- 施密特触发输入
- 引脚上拉/下拉可以使能/禁止
- 所有引脚均具有高灌电流（70mA @ $V_{CC} = 5V$, $V_{OL} = 0.1V_{CC}$ ）

16. 独立的 RC 振荡看门狗定时器

- 220ms/110ms/54ms/27ms 可选择的看门狗超时选项

17. 5 种复位

- 上电复位
- 可选的外部引脚复位
- 可选的看门狗复位
- 软件命令复位
- 可选的低电压复位

18. 16 级低电压复位

- 4. 12V/3.94V/3.0V/3.63V/3.50V/3.32V/3.18V/3.03V/
2.87V/2.71V/2.56V/2.40V/2.26V/2.11V/1.95V/1.79V

19. 16 级低电压检测

- 4. 12V/3.94V/3.0V/3.63V/3.50V/3.32V/3.18V/3.03V/
2.87V/2.71V/2.56V/2.40V/2.26V/2.11V/1.95V/1.79V

20. 5 种电源工作模式

- 快钟模式/慢钟模式/空闲模式/暂停模式/停止模式

21. 集成的 16 位循环冗余校验功能

22. 乘法与除法

- 8 位乘法器和除法器（标准 8051）
- 16 位乘法器和除法器
- 32 位 ÷16 位除法器

23. 在板仿真 /ICE 接口

- 使用 P3.0/P3.1 引脚或 P0.0/P0.1 引脚
- 与 ICP 编程引脚共享

24. 工作电压

- $V_{CC} = 2.4V \sim 5.5V$ @ $F_{SYSCLK} = 18.432MHz$ ($-40^{\circ}C \sim +105^{\circ}C$)
- $I_{CC} = 0.1\mu A$ @停止模式, $PWRS AV=1$, $V_{CC}=3V$
- $I_{CC} = 3\mu A$ @暂停模式, $PWRS AV=1$, $V_{CC}=3V$
- $I_{CC} = 5\mu A$ @空闲模式, $PWRS AV=1$, $V_{CC}=3V$

25. 工作温度范围

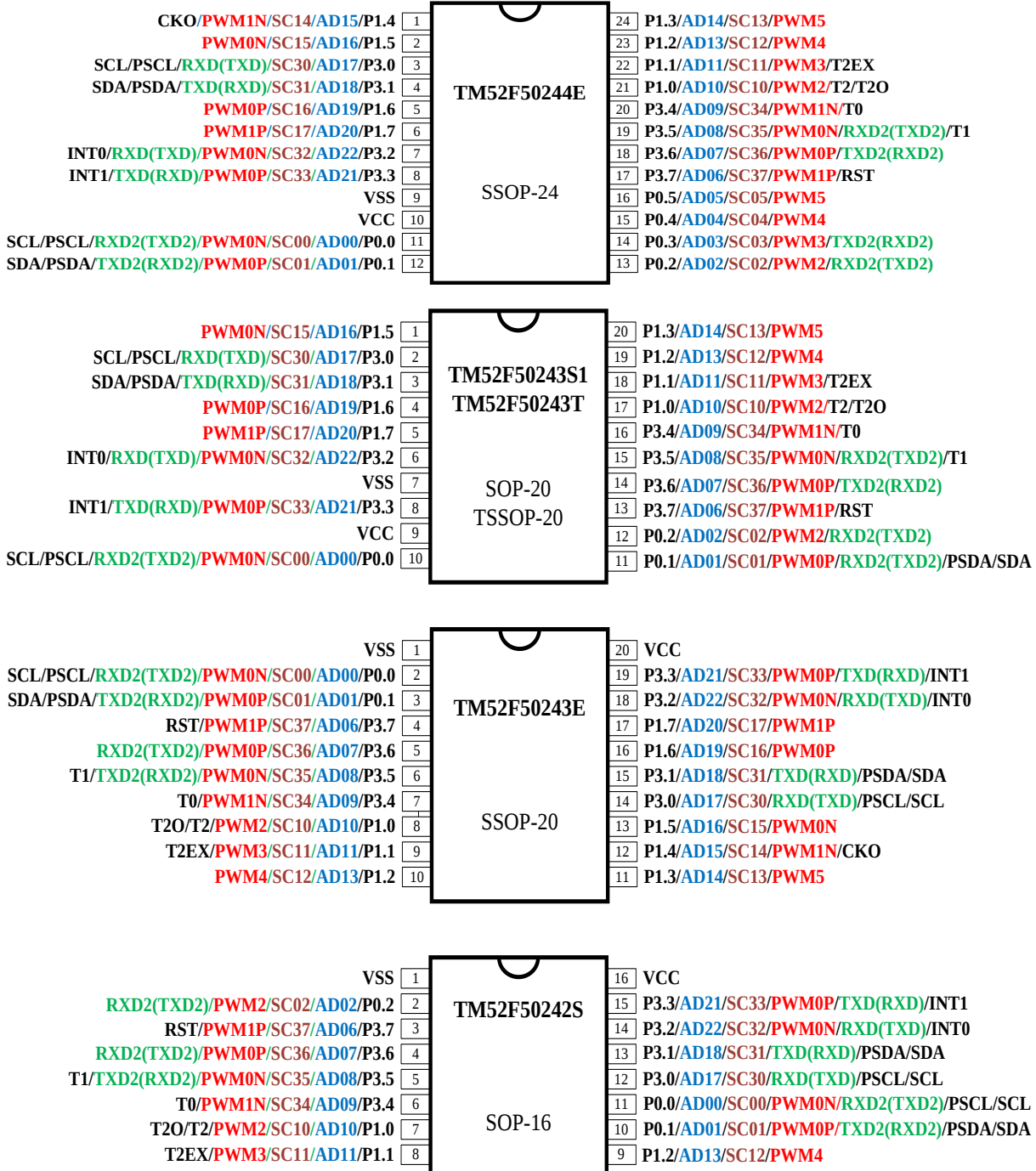
- $-40^{\circ}C \sim +105^{\circ}C$

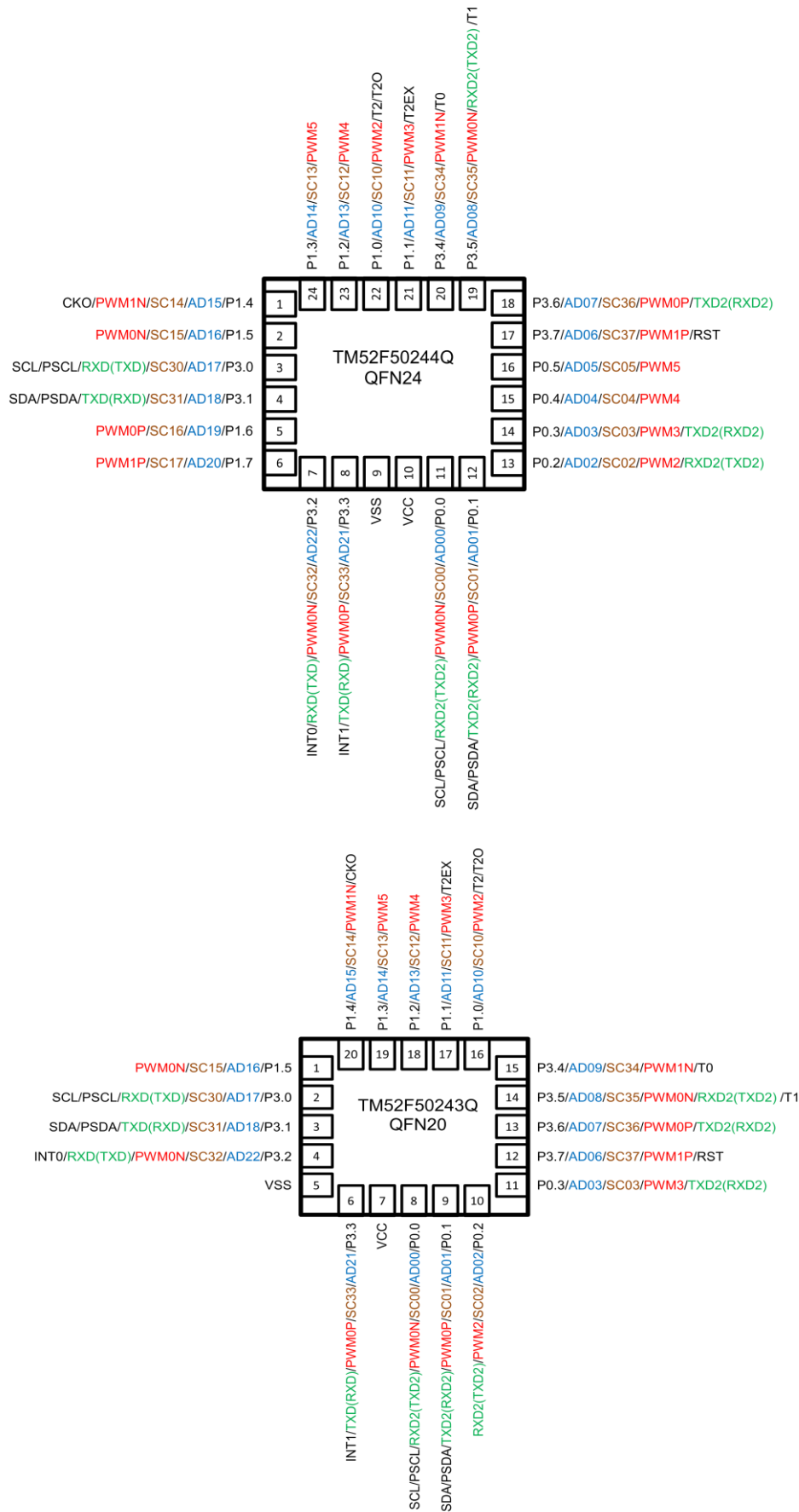
26. 封装类型

- 24-pin SSOP (150 mil), 24-pin QFN (3x3x0.75 mm) (L=0.3 mm)
- 20-pin SOP (300 mil), 20-pin QFN (3x3x0.75 mm) (L=0.25 mm)
- 20-pin TSSOP (173 mil)
- 16-pin SOP (150 mil)

IC 引脚图

低功耗应用, 所有数字 I/O(包含未出脚或未使用)避免设置高阻态





引脚描述

引脚名称	输入/输出	引脚描述
P0.0~P0.5 P1.0~P1.7 P3.0~P3.7	I/O	施密特触发器输入, CMOS 推挽输出或“漏极开路”输出的位可编程 I/O 端口。上拉和下拉电阻可由软件分配, 也可以设置为 LCD 1/2 偏置输出。这些引脚的电平变化可以中断/唤醒 CPU 的暂停/停止模式。
INT0,INT1	I	外部低电平或下降沿中断输入, 空闲/暂停/停止模式唤醒输入
RXD	I/O	UART1 模式 0 发送及接收数据, 模式 1/2/3 接收数据。
RXD2	I/O	UART2 模式 1/3 接收数据
TXD	I/O	UART1 模式 0 发送时钟, 模式 1/2/3 发送数据。在单线 UART 模式时, 该引脚发送和接收串行数据。
TXD2	I/O	UART2 模式 1/3 发送数据
T0,T1,T2	I	Timer0, Timer1, Timer2 事件计数引脚输入
T2EX	I	Timer2 外部触发输入
T0O	O	Timer0 溢出除以 64 输出
T2O	O	Timer2 溢出除以 2 输出
CKO	O	系统时钟除以 2 输出
VBGO	O	带隙基准电压输出
PWM0P~PWM0N PWM1P~PWM1N PWM2~PWM5	O	16 位 PWM 输出
SC00~SC05 SC10~SC17 SC30~SC37	O	The pull-up resistor and pull-down resistor are turned on at the same time as LCD COM 1/2 bias output
AD00~AD22	I	ADC 输入
SCL	I/O	I ² C SCL
SDA	I/O	I ² C SDA
PSCL	I/O	程序用 I ² C SCL
PSDA	I/O	程序用 I ² C SDA
RSTn	I	外部低电平有效复位输入, 上拉电阻固定使能。
VCC,VSS	P	电源输入引脚和接地

引脚汇总

引脚编号						引脚名称	类型	初始状态	输入				输出		交替功能				其它
SSOP-24	QFN24	QFN20	SOP/TSSOP-20	SSOP-20	SOP-16				上拉电阻	下拉电阻	唤醒	外部中断	推挽	开漏	LCD	UART	PWM	IIC	
3	3	2	2	14	12	SCL/PSCL/RXD(TXD)/SC30/AD17/P3.0	I/O	Hi-Z	●	●	●	●	●	●	●	●		●	
4	4	3	3	15	13	SDA/PSDA/TXD(RXD)/SC31/AD18/P3.1	I/O	Hi-Z	●	●	●	●	●	●	●	●		●	
7	7	4	6	18	14	INT0/RXD(TXD)/PWM0N/SC32/AD22/P3.2	I/O	Hi-Z	●	●	●	●	●	●	●	●	●		VBGO
8	8	6	8	19	15	INT1/TXD(RXD)/PWM0P/SC33/AD21/P3.3	I/O	Hi-Z	●	●	●	●	●	●	●	●	●		
11	11	8	10	2	11	SCL/PSCL /RXD2(TXD2)/PWM0N/SC00/AD00/P0.0	I/O	Hi-Z	●	●	●	●	●	●	●	●	●	●	
12	12	9	11	3	10	SDA/PSDA /TXD2(RXD2)/PWM0P/SC01/AD01/P0.1	I/O	Hi-Z	●	●	●	●	●	●	●	●	●	●	
13	13	10	12	-	2	RXD2(TXD2)/PWM2/SC02/AD02/P0.2	I/O	Hi-Z	●	●	●	●	●	●	●	●	●		
14	14	11	-	-	-	TXD2(RXD2)/PWM3/SC03/AD03/P0.3	I/O	Hi-Z	●	●	●	●	●	●	●	●	●		
15	15	-	-	-	-	PWM4/SC04/AD04/P0.4	I/O	Hi-Z	●	●	●	●	●	●	●		●		
16	16	-	-	-	-	PWM5/SC05/AD05/P0.5	I/O	Hi-Z	●	●	●	●	●	●	●		●		
17	17	12	13	4	3	RST/PWM1P/SC37/AD06/P3.7	I/O	Hi-Z	●	●	●	●	●	●	●		●		Reset
18	18	13	14	5	4	TXD2(RXD2)/PWM0P/SC36/AD07/P3.6	I/O	Hi-Z	●	●	●	●	●	●	●	●	●		
19	19	14	15	6	5	RXD2(TXD2)/PWM0N/SC35/AD08/P3.5	I/O	Hi-Z	●	●	●	●	●	●	●	●	●		
20	20	15	16	7	6	T0/PWM1N/SC34/AD09/P3.4	I/O	Hi-Z	●	●	●	●	●	●	●		●		T0O
21	22	16	17	8	7	T2O/T2/PWM2/SC10/AD10/P1.0	I/O	Hi-Z	●	●	●	●	●	●	●		●		T2O
22	21	17	18	9	8	T2EX/PWM3/SC11/AD11/P1.1	I/O	Hi-Z	●	●	●	●	●	●	●		●		
23	23	18	19	10	9	PWM4/SC12/AD13/P1.2	I/O	Hi-Z	●	●	●	●	●	●	●		●		
24	24	19	20	11	-	PWM5/SC13/AD14/P1.3	I/O	Hi-Z	●	●	●	●	●	●	●		●		
1	1	20	-	12	-	CKO/PWM1N/SC14/AD15/P1.4	I/O	Hi-Z	●	●	●	●	●	●	●		●		CKO
2	2	1	1	13	-	PWM0N/SC15/AD16/P1.5	I/O	Hi-Z	●	●	●	●	●	●	●		●		
5	5	-	4	16	-	PWM0P/SC16/AD19/P1.6	I/O	Hi-Z	●	●	●	●	●	●	●		●		
6	6	-	5	17	-	PWM1N/SC17/AD20/P1.7	I/O	Hi-Z	●	●	●	●	●	●	●		●		
9	9	5	7	1	1	VSS	P												
10	10	7	9	20	16	VCC	P												

功能描述

1. CPU 核心

采用 8051 的架构, C 语言作为开发平台。TM52 装置拥有一个快速 8051 内核的高度集成微控制器, 可以使开发人员实现比传统 8051 芯片更高的性能。TM52 系列微控制器提供标准 8051 指令集兼容的完整的二进制代码, 以确保一个简单的移植路径, 以加快系统产品的开发速度。CPU 核心包括了 ALU, 程序状态字(PSW), 累加器(ACC), B 寄存器, 堆栈指针(SP), 数据指针, 编程计数器, 指令译码器, 以及核心的特殊功能寄存器(SFR)。

1.1 累加器(ACC)

该寄存器提供了一个运算数供给大多数的 ALU 操作。累加器通常被称为 A 或 ACC 和有时被称为寄存器 A。在本文档中, 累加器被表示为“A”或“ACC”, 包括指令表。累加器, 正如其名称所示, 被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果, 以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 ACC: 累加器

1.2 B 寄存器(B)

“B”寄存器和 ACC 是非常相似的, 可容纳 1 个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则, 它可被用作一个暂存寄存器。B 寄存器只有用于两个 8051 的指令, MUL 和 DIV。当 A 乘或除以另一个数, 结果数存储在 B。对于 MUL 和 DIV 指令, 有必要将这两个运算数放在 A 和 B。

ex: DIV AB

当执行该指令, A 里面的数会除以 B 的数, 得到的答复是存储在 A。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 B: B 寄存器

1.3 堆栈指针(SP)

SP 寄存器包含堆栈指针。执行 LCALL, ACALL 和 PUSH 指令时, 堆栈指针先加 1, 再将程序计数器加载到堆栈中。执行 RET, RETI 和 POP 指令时, 堆栈数据退回程序计数器后, 堆栈指针再减 1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP:** 堆栈指针

1.4 数据指针(DPTRs)

TM52 装置有两个数据指针, 它们共享相同的 SFR 地址。每个 DPTR 的大小是 16 位, 有两个数据指针寄存器: 高字节(DPH)和低字节(DPL)。该 DPTR 用于 16 位地址的外部存储器存取, 偏移字节代码读取和偏移程序跳转。设置 DPSEL 控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL:** 数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH:** 数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	LVRPD	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	0	0	0	0

F8h.0 **DPSEL:** 活动数据指针选择

1.5 程序状态字(PSW)

该寄存器包含 CPU 和 ALU 操作导致的状态信息。会影响 PSW 的指令如下所示。

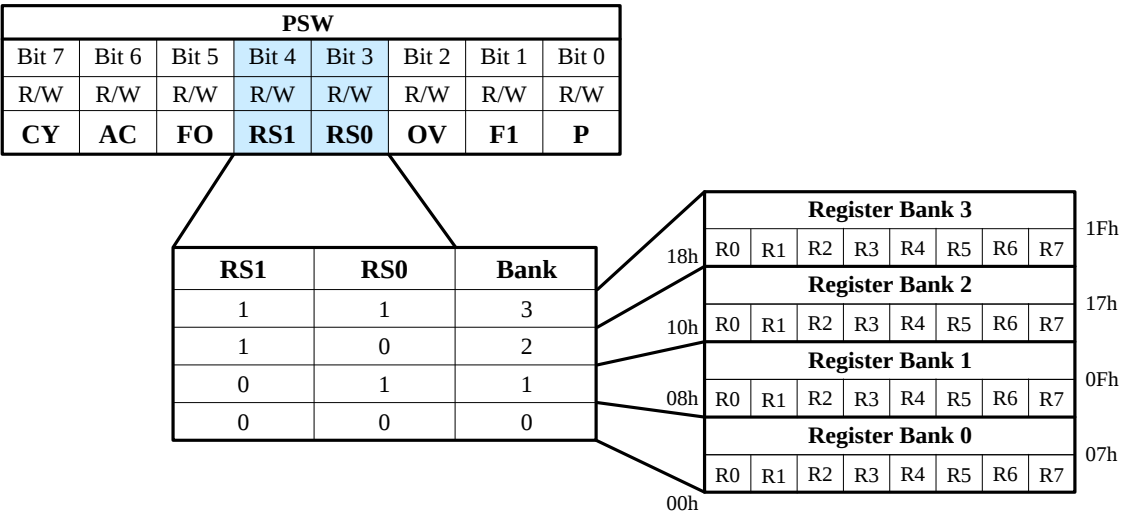
指令	标志		
	C	OV	AC
ADD	X	X	X
ADDC	X	X	X
SUBB	X	X	X
MUL	0	X	
DIV	0	X	
DA	X		
RRC	X		
RLC	X		
SETB C	1		

指令	标志		
	C	OV	AC
CLR C	0		
CPL C	X		
ANL C, bit	X		
ANL C, /bit	X		
ORL C, bit	X		
ORL C, /bit	X		
MOV C, bit	X		
CJNE	X		

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

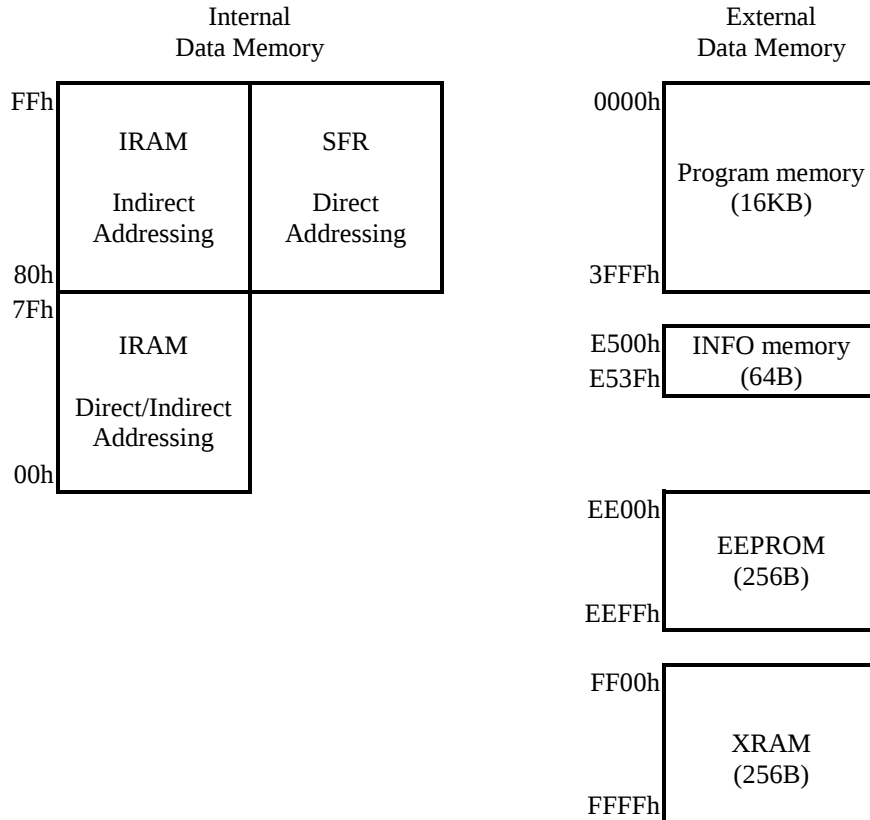
SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- D0h.7 **CY**: ALU 进位标志
- D0h.6 **AC**: ALU 辅助进位标志
- D0h.5 **F0**: 通用的使用者定义标志
- D0h.4~3 **RS1, RS0**: (RS1,RS0)的内容所启动之工作寄存器存储区为:
 - 00: 存储区 0(00h~07h)
 - 01: 存储区 1(08h~0Fh)
 - 10: 存储区 2(10h~17h)
 - 11: 存储区 3(18h~1Fh)
- D0h.2 **OV**: ALU 溢出标志
- D0h.1 **F1**: 通用的使用者定义标志
- D0h.0 **P**: 奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



2. 存储器

与标准 8051 芯片一样，该芯片具有内部和外部数据存储空间。内部数据内存空间由 256 字节的 IRAM 和 SFRs 组成，它们可以通过丰富的指令集访问。外部数据存储空间由 256 字节 XRAM、256 字节 EEPROM、64 字节 INFO 存储器和 16K 字节程序存储器组成，程序存储器只能被 MOVX 指令访问，程序存储器也可以被 MOVC 指令访问。

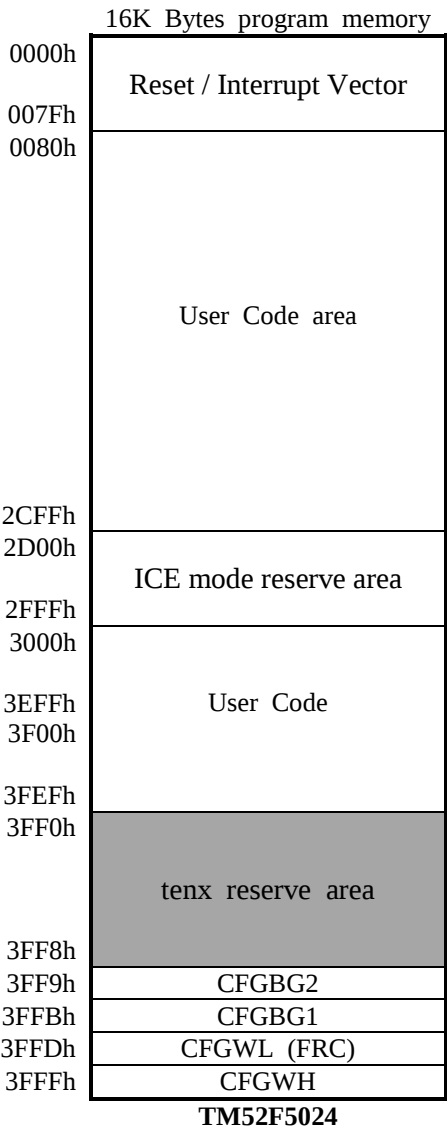


2.1 程序存储器(支持 IAP)

TM52F5024 有 16K 字节的闪存程序存储器可支持在线编程(ICP)，在应用编程(IAP)和在系统编程(ISP)功能模式。此闪存可反复擦写至少 100 次以上。闪存程序存储器的连续地址空间(0000h~3FFFh)被划分到多个扇区的设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后 16 个字节(3FF0h~3FFFh)被定义为芯片配置字(CFGW)，在上电复位(POR)时，最后 8 个字节(3FF8h~3FFFh)它会被装载到装置控制寄存器。0000h~007Fh 被标准 8051 定义为复位/中断向量。。在线仿真(ICE)模式下，用户还需要预留 2D00h~2FFFh 的地址空间以供 ICE 系统通讯使用。



CFGW 区域设有 4 个数据字节(CFGWH, CFGWL, CFGBG1 和 CFGBG2)，它位于了闪存存储器的最后 16 个地址。上电复位后，CFGWL 被复制到 SFR F6h，CFGBG1 被复制到 SFR F5h，CFGBG2 被复制到 SFR E4h，之后软件可以通过修改 SFR F6h, F5h 及 E4h 来接管 CFGWL， CFGBG1 和 CFGBG2 的控制能力。例如，上电复位后 VBG 初始是使用 2.5V 校准值，若要使用 VBG1.18V, F/W 需读取 SFR

E4h (VBG1.18V 校准值)并且复制到 SFR F5h。

2.1.2 FLASH ICP 模式

闪存存储器可以通过 **tenx** 专用的烧录器(HTLINK)，这需要至少四根线(VCC, VSS, P3.0 和 P3.1 引脚)连接到该芯片以进行编程。如果用户想在目标电路板上的闪存进行编程(在电路编程, ICP)，这些引脚必须保留足够的自由来连接到烧录器，最好不要连接电路；如果要连接电路的话，请参考相关 AP 资料。

连接线数目	连接管脚
4 线	VCC, VSS, P3.0, P3.1

2.1.3 闪存 IAP 模式

TM52F5024 具有“应用程序内”(IAP)功能，允许软件在 CPU 运行时像访问数据 EEPROM 一样方便地从闪存中读取/写入数据。IAP 功能是字节可写的，这意味着芯片在写入之前不需要擦除一个 Flash。

无论是写 47h 还是写 74h 到 IAPWE_SFR (C9h.7~0)都可以让 IAPWE=1，不同的是当用户写 47h 到 IAPWE_SFR 时，用户一次可以写一个字节，当用户写 74h 到 IAPWE_SFR 时，用户一次可以写两个字节，以节省写时间。

要使用 IAP 功能，用户需要满足以下条件：

1. 只有程序区可以由 IAP 编写；
2. 设置 IAPALL=1, IAPWE=1。

TM52F5024 额外提供了一个实体 256 byte 的 EEPROM，比起闪存，EEPROM 拥有较广泛的写入电压以及擦写次数，建议优先使用 EEPROM 来存储数据。

2.1.4 IAP 模式访问例程

IAP 闪存写入通过“MOVX @DPTR, A”指令来实现，而数据指针(DPTR)包含闪存的目标地址 (0000h~3FFFh)，ACC 包含要写入的数据。**TM52F5024** 只有在 IAPWE_SFR SFR 使能时才会接受 IAP 写入命令。IAP 闪存写入大约需要 1 ms @V_{CC}=5V。同时，CPU 处于等待状态，但所有外设模块(定时器等)在写入期间继续运行。软件必须在 IAP 写完后处理期间产生的中断。同时 **TM52F5024** 内建一个 IAP 看门狗定时器 IAPTE (F7h.2~1)，用以离开当写入失败的卡死状态。IAP 闪存写入需要 V_{CC} > 4.0V 且关闭 WDT, LVR 以及中断，避免造成误写。

由于程序存储器和 IAP 数据共享同一个实体空间，只要目标地址指向 0000h~3FFFh 区域，IAP 可以通过“MOVX @ A, DPTR”或“MOVC”指令读取闪存，可联络 FAE 取得详细信息。闪存的 IAP 读取不需要额外的 CPU 等待时间。

； IAP示例代码 (汇编)

；需要 4.0V < V_{CC} < 5.5V

ANL	AUX2, #3Fh	； WDT function disable
ORL	AUX2, #04h	； IAP Time-Out function enable
MOV	DPTR, #3F00h	； DPTR=3F00h=target IAP address
CLR	EA	； Disable Interrupt
ORL	LVRCON,#10h	； Disable LVR

```

MOV    SWCMD, #65h      ; IAPALL flag =1
MOV    A, #5Ah          ; A=5Ah=target IAP write data
MOV    IAPWE_SFR, #47h  ; IAP write enable
MOVX   @DPTR, A          ; Flash[3F00h] =5Ah, after IAP write
                          ; 0.5ms~1ms H/W writing time, CPU wait
MOV    IAPWE_SFR, #00h  ; IAP write disable, immediately after IAP write
CLR    A                 ; A=0
MOVC   A, @A+DPTR       ; A=5Ah

```

```

; IAP示例代码 (C语言)
;需要 4.0V < VCC < 5.5V
unsigned char xdata *pMOVX;
unsigned char code *pMOVC;
EA = 0;                // Disable Interrupt
AUX2 = 0x04;           // WDT function disable & IAP Time-Out function enable
IAPALL = 0x65;
IAPWE_SFR = 0x47;
pMOVX = 0x2002;
*pMOVX = wData;        // write data into ROM (0x2002)
IAPWE_SFR = 0x00;
IAPALL = 0x00;

pMOVC = 0x2105;
rData = *pMOVC;        // read data from ROM (2105)

```

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
	—						WDTO	IAPALL
R/W	W						R	R
Reset	—						0	0

97h.7~0 **IAPALL(W):** 写入 65h 以设置 IAPALL 控制标志, 写入其它值则清除 IAPALL 标志。建议 IAP 写入命令完成后, 立即清除 IAPALL 标志。

97h.0 **IAPALL(R):** 该标志指示闪存扇区可否通过 IAP 进行存取。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPWE_SFR	IAPWE_SFR							
	IAPWE	IAPTO	EEPWE	INFOWE	EEPTO	—		
R/W	R	R	R	R	R	W		
Reset	0	0	0	0	0	—		

C9h.7~0 **IAPWE_SFR (W):**

写 47h 或 74h 设置 IAPWE 标志;写 47h 一次可以写 1 字节, 写 74h 一次可以写 2 字节。写入其他值以清除 IAPWE 标志。建议在写完 IAP 后立即清除。

写入 A1h 设置 INFOWE 标志;写入其他值以清除 INFOWE 标志。建议在写完 IAP 后立即清除。

写入 E2h 设置 EEPWE 标志;写入其他值以清除 EEPWE 标志。建议在 EEPROM 写入后立即清除。

C9h.7 **IAPWE (R):** 读回 IAPWE 标志(Flash memory 是否可被 IAP 写入)。

C9h.6 **IAPTO (R):** 读回 IAP 写入看门狗溢出标志。当清除 IAPWE, 硬件会自动清除看门狗溢出标志。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

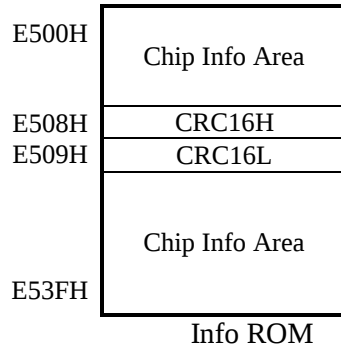
- F7h.7~6 **WDTE:** 看门狗定时器复位控制
0x: 看门狗定时器复位关闭
10: 看门狗定时器复位于快钟/慢钟模式下使能, 空闲/暂停/停止模式时禁止
11: 看门狗定时器复位始终启用
- F7h.2~1 **IAPTE:** IAP 或 EEPROM 或 INFO 写入超时看门狗定时器控制位
00: 关闭看门狗定时器
01: 启用看门狗定时, 等待 6.9ms 触发看门狗溢出标志 IAPTO, 退出写失败状态
10: 启用看门狗定时, 等待 27 ms 触发看门狗溢出标志 IAPTO, 退出写失败状态
11: 启用看门狗定时, 等待 55 ms 触发看门狗溢出标志 IAPTO, 退出写失败状态

2.1.5 闪存 ISP 模式

“在系统编程”(ISP)的用法和 IAP 类似, 但目的是为了刷新程序代码。用户可以使用 UART 或其他方法从外部主机来获得新的程序代码, 然后用 IAP 相同的方式写入代码。ISP 操作复杂;基本上它需要指定一个启动代码区, 不受 ISP 过程而被改变的闪存区。

2.2 信息存储

芯片有一个 64 字的信息存储器。信息内存地址连续空间(E500h~E53Fh)被划分为多个扇区，用于设备操作。芯片信息区是一个保留的区域，定义生产信息，如 ID，特殊规定，编码号码，校验和。用户可以在 Flash IAP 后在该区域存储新的校验和代码。CRC16H/L 是校验和的保留区域。tenx 可以提供 CRC 验证子程序。用户可以通过 CRC 校验子程序计算校验和，以与 CRC16H/L 进行比较，并检查 ROM 代码的有效性。



Info ROM IAP 写，简单地通过“MOVX @DPTR, a”指令实现，而 DPTR 包含目标 Flash 地址，ACC 包含正在写入的数据。Flash 写入大约需要 0.6 ms @VCC=4.0V~5.5V, VCC 电容大于 220uF。在 IAP 期间，CPU 处于等待状态，但所有外设模块在写入时间内继续运行。软件必须在 IAP 写入完成后处理期间产生的中断。芯片内置 IAPTE(F7h.2~1)选择的写超时功能，可避开写失败状态。此外，S/W 必须在 IAP 写入之前禁用 WDT。

Info ROM IAP 读，只要目标地址指向 E500h~E53Fh 区域，就可以由“MOVX”指令执行。Info ROM 的 IAP 读取不需要额外的 CPU 等待时间。

```

; Info ROM IAP 示例代码
; need 4.0V < Vcc < 5.5V
ANL     AUX2, #3Fh           ; WDT function disable
ORL     AUX2, #04h           ; IAP Time-Out function enable
MOV     DPTR, #E530h         ; DPTR=E530h=target IAP Info ROM address
CLR     EA                   ; Disable Interrupt
ORL     LVRCON,#10h          ; Disable LVR
MOV     SWCMD, #65h          ; IAPALL flag =1
MOV     A, #5Ah              ; A=5Ah=target IAP write data
MOV     IAPWE_SFR, #A1h      ; Info ROM IAP write enable
MOVX    @DPTR, A             ; Flash[E530h] =5Ah, after IAP write
                                ; 0.5ms~1ms H/W writing time, CPU wait
MOV     IAPWE_SFR, #00h      ; IAP write disable, immediately after IAP write
CLR     A                    ; A=0
MOVC    A, @A+DPTR           ; A=5Ah
    
```

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPWE_SFR	IAPWE_SFR							
	IAPWE	IAPTO	EEPWE	INFOWE	EPTO	—		
R/W	R	R	R	R	R	W		
Reset	0	0	0	0	0	—		

C9h.7~0 **IAPWE (W)**: 写 47h 或 74h 设置 IAPWE 标志;写 47h 一次可以写 1 字节，写 74h 一次

可以写 2 字节。写入其他值以清除 IAPWE 标志。建议在写完 IAP 后立即清除。

写入 A1h 设置 INFOWE 标志;写入其他值以清除 INFOWE 标志。建议在写完 IAP 后立即清除。

写入 E2h 设置 EEPWE 标志;写入其他值以清除 EEPWE 标志。建议在 EEPROM 写入后立即清除。

C9h.6 **IAPTO (R):** IAP Time-Out flag, Set by H/W when IAP Time-out occurs. Cleared by H/W when INFOWE=0. IAP写入/INFO写入的超时标志。当发生IAP或INFO写入超时，由H/W设置。当 IAPWE=0或INFOWE=0时，按H/W清除此标志。

C9h.4 **INFOWE(R):** : INFO内存是否可以被IAP写入
1=INFO内存可写入。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.7~6 **WDTE:** Watchdog Timer Reset control

0x: Watchdog Timer Reset disable

10: Watchdog Timer Reset enable in Fast/Slow mode, disable in Idle/Halt/Stop mode

11: Watchdog Timer Reset always enable

F7h.2~1 **IAPTE:** IAP (or EEPROM) write watchdog timer enable

00: Disable

01: wait 6.9 ms trigger watchdog time-out flag, and escape the write fail state

10: wait 27 ms trigger watchdog time-out flag, and escape the write fail state

11: wait 55 ms trigger watchdog time-out flag, and escape the write fail state

2.3 EEPROM 数据存储器

TM52F5024 包含了一个 256 字节的 EEPROM 数据存储器。它被组织为一个单独的数据空间，可以读取和写入单个字节。

EEPROM Memory	
EE00h	EEPROM[0]
EE01h	EEPROM[1]
EE02h	.
EEFEh	EEPROM[254]
EEFFh	EEPROM[255]

2.3.1 EEPROM 编程的注意事项

2.3.1.1 EEPROM 的编程特性

- (1) EEPROM 编程时间不是固定的，并且编程不同的数据需要不同的时间。
- (2) 编程时间受电压、温度以及数据是否反转的影响。对于较高的温度、较低的 VCC 和较大数量的数据反转，编程时间较长。
- (3) 此芯片内置 EEPROM 写入超时功能，确保系统在发生写入超时能够正常执行程序。

2.3.1.2 EEPROM 写入耐久性

EEPROM 编程的次数与电压和温度有关。写入耐久性至少为 3 万次($2.5V < VCC < 5.5V$, $-20^{\circ}C \sim 85^{\circ}C$)。请参阅“电气特性”一章中的“EEPROM 特性表”。

2.3.1.3 EEPROM 写校验

根据具体应用，通常需要读回写入 EEPROM 的数据进行验证。

2.3.1.4 防止写错

写操作启动时，以下操作可以防止误写：

- (1) 低电压检测：写 EEPROM 时，VCC 必须 $> 2.5V$ ，可以使用 LVD 功能监测电压（LVD 监测电压建议为 3.5V，以防断电时，给写 EEPROM 留充足的时间）
- (2) 每写一个字节，清除看门狗（WDT），防止连续写多个字节时，导致看门狗复位。
- (3) 写数据时，暂时关闭所有中断，写入完成后再恢复。
- (4) 软件故障：程序里添加 eeprom 回读机制确保数据正确写入。
- (5) 超时保护：程序里开启写超时功能（EEPTE），保护系统在写超时发生的时后不会被卡死。
- (6) 为了减少电源电源毛刺：在 VCC 和 GND 之间连接电容器，以稳定系统电源。
- (7) 每写一个字节，须确认 EEPBUSY 由 1 变 0，才可再写下一个字节。

EEPROM 数据写入使用类似闪存 IAP 的方式，通过“MOVX @DPTR, A”指令来实现，数据指针 (DPTR)包含 EEPROM 的目标地址(EE00h~EEFFh)，ACC 包含要写入的数据。写入大约需要 6 ms @V_{CC}=2.7V, 1.2 ms @V_{CC}=5V。同时，CPU 和所有外设模块(定时器等)在写入期间可继续运行。

另外还有一种写入方式，一次可写入 1~4 byte 数据到指定地址。S/W 预先将要写入 EEPROM 的资料写入 EEPWD0~EEPWD3 (SFR 9Ah~9Dh)，以及将要写入 EEPROM 的起始地址写到 EEPWADR(SFR 9Eh)，再将要写入的数据数和 H/W 开始写入的控制信号写到 EEPWCON[2:0](SFR AEh) H/W 即可写入数据到 EEPROM 中。CPU 和所有外设模块(定时器等)在写入期间可继续运行。

TM52F5024 内建一个 EEPROM 看门狗定时器(与 IAP 看门狗定时器共享)，用以离开当写入失败的卡死状态。写入完成后会或写入时间过久(EEPROM 看门狗定时器需开启)都会产生中断标志 EEPIF，软件可利用此中断或轮询 EEPBUSY 来得知 EEPROM 是否写入完成。当程序执行中断服务程序时被自动清除 EEPIF，中断服务程序需检查 EEPTO 来判断写入完成(EEPTO=0)或失败(EEPTO=1)。EEPROM 数据写入需要 V_{CC} > 3.0V 且关闭 WDT，避免造成误写。

通过“MOVX A, @DPTR”指令，只要将目标地址指向 EE00h~EEFFh 区域，便可以**读取 EEPROM 数据**。EEPROM 数据读取大约需要 300ns。

```
; EEPROM示例代码
; 需要3.0V < VCC < 5.5V
ANL    AUX2, #3Fh          ; WDT function disable
ORL    AUX2, #04h          ; EEPROM Time-Out function enable
MOV    DPTR, #0EE00h       ; DPTR=EE00h=target EEPROM[0] address
MOV    A, #0A5h            ; A=A5h=target EEPROM[0] write data
MOV    IAPWE_SFR, #0E2h    ; EEPROM write enable
MOVX   @DPTR, A            ; EEPROM[0]=A5h, after EEPROM write
                                ; 1ms~6ms H/W writing time, CPU does not need wait

MOV    A, INTFLG           ;
JB     ACC.5, $-2          ; 需等待 EEPBUSY 由1 变 0, 才可设置IAPWE_SFR=00h
MOV    IAPWE_SFR, #000h    ; EEPROM write disable, after EEPROM write complete
CLR    A                   ; A=0
MOVX   A, @DPTR            ; A=A5h
```

```
; EEPROM H/W 写入 1~4 笔资料示例代码
; 需要 3.0V < VCC < 5.5V
ANL    AUX2, #3Fh          ; WDT function disable
ORL    AUX2, #04h          ; EEPROM Time-Out function enable
MOV    EEPWD0, #12h        ; 1st byte data
MOV    EEPWD1, #34h        ; 2nd byte data
MOV    EEPWD2, #56h        ; 3rd byte data
MOV    EEPWD3, #78h        ; 4th byte data
MOV    EEPWADR, #A0h       ; H/W write EEPROM start address
MOV    EEPWCON, #02h       ;
MOV    EEPWCON, #03h       ; set EEPWCON[2]=1, H/W start write data to EEPROM
                                ; set EEPWCON[1:0] write to EEPROM byte number
                                ; 1ms~6ms H/W writing time, CPU does not need wait
```

注意:IAP 读写 Flash/InfoRom 或读写 EEPROM 只能在中断外部或中断内部使用，如果在中断内部和中断外部都使用 IAP 读写 Flash/InfoRom 或读写 EEPROM，可能会导致错误。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPWE_SFR	IAPWE_SFR							
	IAPWE	IAPTO	EEPWE	INFOWE	EEPTO	–		
R/W	R	R	R	R	R	W		
Reset	0	0	0	0	0	–		

C9h.7~0 **IAPWE_SFR(W):**
写 47h 或 74h 设置 IAPWE 标志;写 47h 一次可以写 1 字节, 写 74h 一次可以写 2 字节。写入其他值以清除 IAPWE 标志。建议在写完 IAP 后立即清除。

写入 A1h 设置 INFOWE 标志;写入其他值以清除 INFOWE 标志。建议在写完 IAP 后立即清除。
写入 E2h 设置 EEPWE 标志;写入其他值清除 EEPWE 标志。建议在 EEPROM 写入后立即清除。

C9h.5 **EEPWE(R):** 读回 EEPWE 标志

C9h.3 **EEPTO(R):** 读回 EEP 看门狗溢出标志。当清除 EEPWE, 硬件会自动清除看门狗溢出标志。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAB	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.7~6 **WDTE:** 看门狗定时器复位控制
0x: 看门狗定时器复位关闭
10: 看门狗定时器复位于快钟/慢钟模式下使能, 空闲/暂停/停止模式时禁止
11: 看门狗定时器复位始终启用

F7h.2~1 **IAPTE:** IAP 或 EEPROM 写入超时看门狗定时器控制位
00: 关闭看门狗定时器
01: 启用看门狗定时, 等待 6.9 ms 触发看门狗溢出标志 EEPTO, 退出写失败状态
10: 启用看门狗定时, 等待 27 ms 触发看门狗溢出标志 EEPTO, 退出写失败状态
11: 启用看门狗定时, 等待 55 ms 触发看门狗溢出标志 EEPTO, 退出写失败状态

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EEPWD0	EEPWD0							
R/W	W							
Reset	–	–	–	–	–	–	–	–

9Ah.7~0 **EEPWD0:** 预计写入 EEPROM 的第一笔资料

SFR 9Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EEPWD1	EEPWD1							
R/W	W							
Reset	–	–	–	–	–	–	–	–

9Bh.7~0 **EEPWD1:** 预计写入 EEPROM 的第二笔资料

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EEPWD2	EEPWD2							
R/W	W							
Reset	–	–	–	–	–	–	–	–

9Ch.7~0 **EEPWD2:** 预计写入 EEPROM 的第三笔资料

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EEPWD3	EEPWD3							
R/W	W							
Reset	–	–	–	–	–	–	–	–

9Dh.7~0 **EEPWD3:** 预计写入 EEPROM 的第四笔资料

SFR 9Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EEPWADR	EEPWADR							
R/W	W							
Reset	—	—	—	—	—	—	—	—

9Eh.7~0 **EEPWADR:** 预计写入 EEPROM 的起始地址

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EEPWCON	—	—	—	—	—	HWSTART	HWLEN	
R/W	—	—	—	—	—	W	W	W
Reset	—	—	—	—	—	0	0	0

AEh.2 **HWSTART:** H/W 开始写入 EEPROM 控制信号

0: 禁用 H/W 写入 EEPROM

1: 启用 H/W 写入 EEPROM, 写入完成后, H/W 自动清零

AEh.1~0 **HWLEN:** 预计写入 EEPROM byte 数当 HWSTART 设置为 1 时

00: 1 byte

01: 2 bytes

10: 3 bytes

11: 4 bytes

2.4 数据存储器

作为标准 8051，该芯片同时具有内部和外部数据存储空间。内部数据存储空间由 256 字节 IRAM 和 SFR，这可通过丰富的指令集进行存取。外部数据存储器空间由 256 字节的 XRAM，256 字节的 EEPROM 和 IAP 闪存，只能通过 MOVX 指令存取。

2.4.1 IRAM

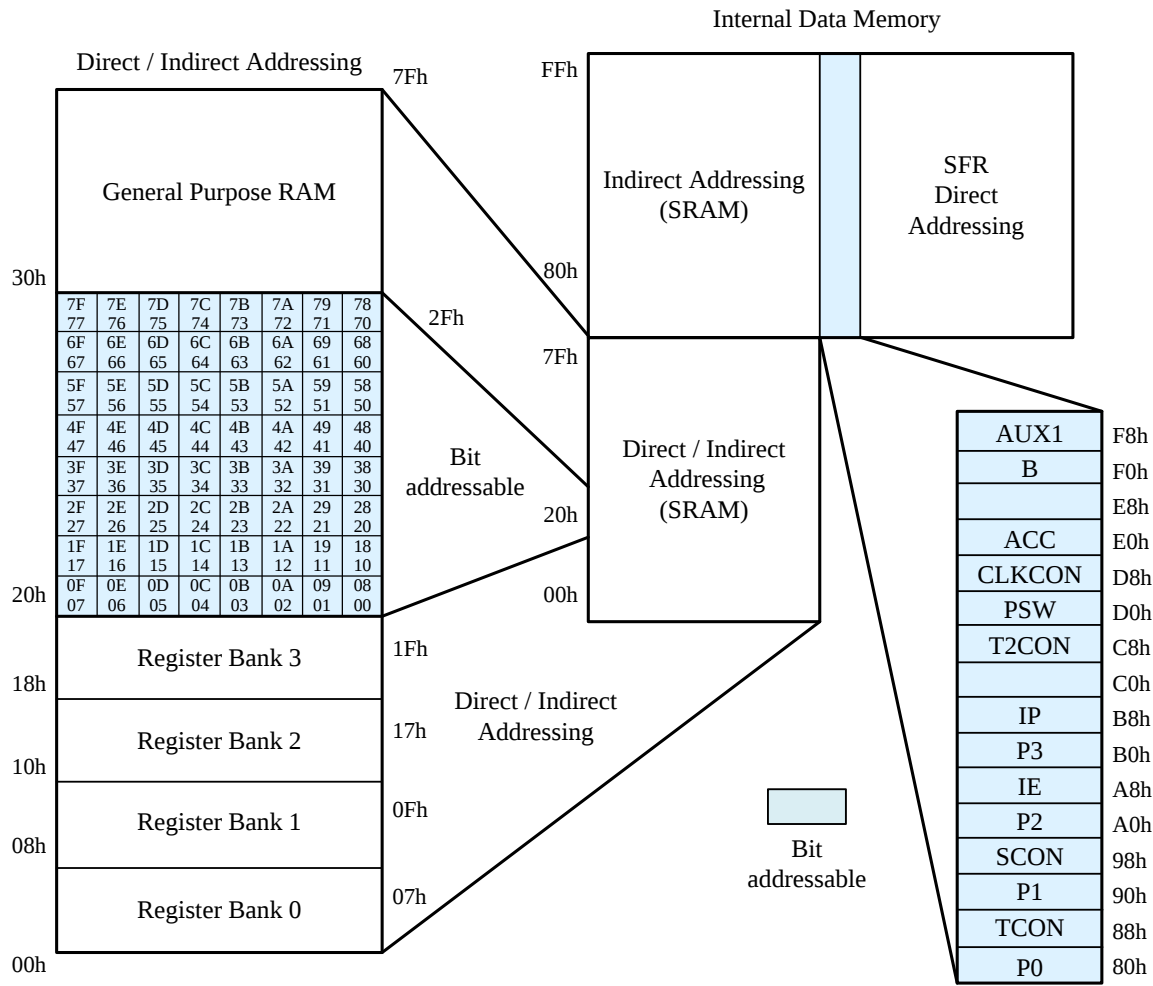
IRAM 位于 8051 内部数据存储空间。整个 256 字节 IRAM 都可以使用间接寻址存取，只有较低的 128 字节可以使用直接寻址存取。有四个直接寻址寄存器组(由 PSW 开关)，占据 IRAM 空间从 00h 到 1Fh。地址 20h 到 2Fh 的 16 字节 IRAM 空间可以使用位寻址。IRAM 可以作为一般寄存器和程序堆栈。

2.4.2 XRAM

XRAM 位于 8051 外部数据存储器空间(地址从 FF00h 到 FFFFh)。256 字节 XRAM 只能通过“MOVX”指令存取。

2.4.3 特殊功能寄存器(SFRs)

所有的外围功能模块，如 I/O，芯片的定时器/计数器、串口(UART)操作都是通过特殊功能寄存器(SFR)存取设置。这些寄存器占用高 128 字节位置直接数据存储空间上的 80h 到 FFh 范围。有 14 可位寻址的 SFR(这意味着单个字节内部的 8 个各别的位是可寻址的)，如 ACC，B 寄存器，PSW，TCON，SCON 和其他。其它 SFR 只能按字节寻址。SFR 提供了内部资源和该芯片的外围设备进行数据交换和控制。在 TM52 系列微控制器提供了与标准 8051 指令集完全兼容的二进制代码。除了标准 8051 特殊功能寄存器外，该芯片还实现了用于配置和存取额外子系统的特殊功能寄存器，例如 ADC/LCD 等等该芯片特有功能。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B	CRCDL	CRCDH	CRCIN	TESTMODE	CFGBG1	CFGWL	AUX2
E8h						PCL	PCH	AUX3
E0h	ACC	MICON	MIDAT	LVRCON	CFGBG2	EFTCON	EXA	EXB
D8h	CLKCON	PWM0PRDH	PWM0PRDL	PWM1PRDH	PWM1PRDL	PWM3DH	PWM3DL	RDCTL
D0h	PSW	PWM0DH	PWM0DL	PWM1DH	PWM1DL	PWM2DH	PWM2DL	
C8h	T2CON	IAPWE_SF R	RCP2L	RCP2H	TL2	TH2	EXA2	EXA3
C0h		PWM4DH	PWM4DL	PWM5DH	PWM5DL			
B8h	IP	IPH	IP1	IP1H				LVDSEL
B0h	P3						ADCHS	
A8h	IE	INTE	ADCDL	ADCDH			EEPWCON	PWMCON3
A0h	P2	PWMCON	PINMOD10	PINMOD32	PINMOD54	PINMOD76	PINMOD	PWMCON2
98h	SCON	SBUF	EEPWD0	EEPWD1	EEPWD2	EEPWD3	EEPWADR	UART2CON
90h	P1	PORTIDX		UARTCON	OPTION	INTFLG	INTPIN	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1	SCON2	SBUF2
80h	P0	SP	DPL	DPH	INTE2	INTPORT	INTPWM	PCON

3. 低电压复位和低电压检测

该芯片提供低电压复位（LVR）和低电压检测（LVD）功能。CFGWH 可选择 16 级的 LVD，上电复位时会将 CFGWH 装载到装置控制寄存器 LVDSEL(SFR BFh.3~0)。LVRSEL(SFR E3h.3~0) 可选择 16 级 LVR。而 SFR PWRSAV 和 LVRPD 位也会影响 LVR 功能，如下表所示。程序在 STARTUP 後, main 内的第一條指令, 需要新设置 LVR

操作模式	SFR			低电压复位 (LVR)	功能	Note
	LVRPD	PWRSAV	LVRESEL			
快钟模式 慢钟模式	0	X	0000	ON	LV Reset 1.79V	
	0	X	0001	ON	LV Reset 1.95V	
	0	X	0010	ON	LV Reset 2.11V	
	0	X	0011	ON	LV Reset 2.26V	
	0	X	0100	ON	LV Reset 2.40V	
	0	X	0101	ON	LV Reset 2.56V	
	0	X	0110	ON	LV Reset 2.72V	
	0	X	0111	ON	LV Reset 2.87V	
	0	X	1000	ON	LV Reset 3.03V	
	0	X	1001	ON	LV Reset 3.18V	
	0	X	1010	ON	LV Reset 3.32V	
	0	X	1011	ON	LV Reset 3.50V	
	0	X	1100	ON	LV Reset 3.63V	
	0	X	1101	ON	LV Reset 3.80V	
	0	X	1110	ON	LV Reset 3.94V	
	0	X	1111	ON	LV Reset 4.12V	
空闲模式 停止模式 暂停模式	0	0	0000	ON	LV Reset 1.79V	电流消耗约 70uA
	0	0	0001	ON	LV Reset 1.95V	
	0	0	0010	ON	LV Reset 2.11V	
	0	0	0011	ON	LV Reset 2.26V	
	0	0	0100	ON	LV Reset 2.40V	
	0	0	0101	ON	LV Reset 2.56V	
	0	0	0110	ON	LV Reset 2.72V	
	0	0	0111	ON	LV Reset 2.87V	
	0	0	1000	ON	LV Reset 3.03V	
	0	0	1001	ON	LV Reset 3.18V	
	0	0	1010	ON	LV Reset 3.32V	
	0	0	1011	ON	LV Reset 3.50V	
	0	0	1100	ON	LV Reset 3.63V	
	0	0	1101	ON	LV Reset 3.80V	
	0	0	1110	ON	LV Reset 3.94V	
	0	0	1111	ON	LV Reset 4.12V	
空闲模式	0	1	XXXX	ON	Disable LVR Enable POR 1.6V	电流消耗约 16uA
停止模式 暂停模式	0	1	XXXX	OFF	Disable	*最小电流消耗约 0.1uA
快钟模式 慢钟模式 空闲模式	1	X	XXXX	ON	Disable LVR Enable POR 1.6V	电流消耗约 16uA
停止模式 暂停模式	1	X	XXXX	OFF	Disable	*最小电流消耗约 0.1uA

注：暂停模式会比停止模式多了 SRC 启用的耗电流约 5.5 ~ 23uA。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAB	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.5 **PWRSAB**: 设置 1 可降低空闲/暂停/停止模式下芯片的功耗

SFR BFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDS	LVDM	LVDO	–	LVDPD	LVDSEL			
R/W	R/W	R	–	R/W	R/W	R/W	R/W	R/W
Reset	0	0	–	0	CFGWH[4:1]			

BFh.7 **LVDM**:
0: VCC < VLVD(LVDIF=1 while LVDO=1)
1: VCC > VLVD(LVDIF=1 while LVDO=0)

BFh.6 **LVDO**: 低电压检测输出

BFh.4 **LVDPD**: 低电压检测功能禁止（在空闲/暂停/停止模式下自动禁用）
0: LVD 启用
1: LVD 禁用

BFh.3~0 **LVDSEL**: 低电压检测功能选择
0000: 将 LVD 设置为 1.79V
0001: 将 LVD 设置为 1.95V
0010: 将 LVD 设置为 2.11V
0011: 将 LVD 设置为 2.26V
0100: 将 LVD 设置为 2.40V
0101: 将 LVD 设置为 2.56V
0110: 将 LVD 设置为 2.71V
0111: 将 LVD 设置为 2.87V
1000: 将 LVD 设置为 3.03V
1001: 将 LVD 设置为 3.18V
1010: 将 LVD 设置为 3.32V
1011: 将 LVD 设置为 3.50V
1100: 将 LVD 设置为 3.63V
1101: 将 LVD 设置为 3.80V
1110: 将 LVD 设置为 3.94V
1111: 将 LVD 设置为 4.12V

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	–	PORPD_SAV	PORPD	LVRPD	LVRSEL			
R/W	–	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	1	0	0	0	0	0	0

E3h.6 **PORPD_SAV**: 停止模式下 POR 使能

0: POR 使能, 1: POR 禁用

E3h.5 **PORPD**: POR 掉电

0: POR 使能, 1: POR 禁用

E3h.4 **LVRPD**: LVR 掉电

0: LVR 使能, 1: LVR 禁用

E3h.3~0 **LVRSEL**: 低压复位选择

0000: 将 LVR 设置为 1.79V
0001: 将 LVR 设置为 1.95V
0010: 将 LVR 设置为 2.11V
0011: 将 LVR 设置为 2.26V
0100: 将 LVR 设置为 2.40V
0101: 将 LVR 设置为 2.56V
0110: 将 LVR 设置为 2.71V
0111: 将 LVR 设置为 2.87V
1000: 将 LVR 设置为 3.03V
1001: 将 LVR 设置为 3.18V
1010: 将 LVR 设置为 3.32V
1011: 将 LVR 设置为 3.50V
1100: 将 LVR 设置为 3.63V
1101: 将 LVR 设置为 3.80V
1110: 将 LVR 设置为 3.94V
1111: 将 LVR 设置为 4.12V

4. 复位

该芯片有五种类型的复位方法。上电复位(POR)，外部引脚复位(XRST)，软件复位(SWRST)，看门狗定时器复位(WDTR)和低电压复位(LVR)。CFGW 控制复位功能。复位后 SFR 是返回到默认值。

4.1 上电复位

上电复位后，设备停留在复位状态进行 40 ms 的芯片预热，然后从 Flash 的最后八个字节下载 CFGW 寄存器(其它复位不会重新加载 CFGW)。上电复位需要 VCC 引脚的电压先放电至接近 V_{SS} 电平，然后再上升超过 2.2V。上电复位可以由 PORPD(SFR E3h.5)使能/禁止(非暂停/停止模式)。在 CFGWH[5]=0 的条件下，芯片进入暂停/停止模式时，上电复位也可以由设置 PORPD_SAV (SFR E3h.6) 使能/禁止。

4.2 外部引脚复位

外部引脚复位为低电平有效。RSTn 引脚需要保持至少两个 SRC 时钟周期长到芯片可采样。外部引脚复位可以由 CFGW 使能/禁止。

4.3 软件复位

软件复位是通过将数据 56h 写入 SWCMD (SFR 97h) 地址来产生。

4.4 看门狗定时器复位

WDT 溢出复位被 SFR F7h 来控制。WDT 使用 SRC 作为计数时基。它在快钟/慢钟模式运行，在空闲/暂停/停止模式下可选运行或停止。看门狗定时器溢出速度可通过 WDTPSC(SFR94h.5~4)定义。WDT 由 CLRWDT (SFR F8h.7) 或复位清零。

4.5 低电压复位(LVR)

低电压复位(LVR) 可以通过 LVRCON (E3h.3~0)选择 16 阶不同电压门槛值。当 PWRSV (SFR F7h.5)=1 时，LVR 会在芯片进入 IDLE/HALT/STOP 模式时自动关闭。可以由 LVRPD (E3h.4) 使能/禁止。程序在 STARTUP 後, main 内的第一條指令, 需要新设置 LVR

注：详情请参考 AP-TM52XXXXX_02S 有关 LVR 应用说。

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	–	PORPD_SAV	PORPD	LVRPD	LVRSEL			
R/W	–	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	1	0	0	0	0	0	0

E3h.6 **PORPD_SAV**: 停止模式下 POR 使能

0: POR 使能, 1: POR 禁用

E3h.5 **PORPD**: POR 掉电

0: POR 使能, 1: POR 禁用

E3h.4 **LVRPD**: LVR 掉电

0: LVR 使能, 1: LVR 禁用

E3h.3~0 **LVRSEL**: 低压复位选择

0000: 将 LVR 设置为 1.79V

0001: 将 LVR 设置为 1.95V

0010: 将 LVR 设置为 2.11V

0011: 将 LVR 设置为 2.26V

0100: 将 LVR 设置为 2.40V

0101: 将 LVR 设置为 2.56V

0110: 将 LVR 设置为 2.71V

0111: 将 LVR 设置为 2.87V

1000: 将 LVR 设置为 3.03V

1001: 将 LVR 设置为 3.18V

1010: 将 LVR 设置为 3.32V

1011: 将 LVR 设置为 3.50V

1100: 将 LVR 设置为 3.63V

1101: 将 LVR 设置为 3.80V

1110: 将 LVR 设置为 3.94V

1111: 将 LVR 设置为 4.12V

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	–	TM3CKS	WDTPSC		ADCKS		PWM1NMSK	PWM1PMSK
R/W	–	R/W	R/W		R/W		R/W	R/W
Reset	–	0	0	0	0	0	0	0

94h.5~4 **WDTPSC**: 看门狗定时器预分频时间选择

00: 220 ms WDT 溢出率

01: 110 ms WDT 溢出率

10: 55 ms WDT 溢出率

11: 27 ms WDT 溢出率

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	–	–	PCIF	TF3
R/W	R/W	R/W	R	R/W	–	–	R/W	R/W
Reset	0	0	0	0	–	–	0	0

95h.7 **LVDIF**: 低电压检测标志

由硬件设置。软件将 7Fh 写入 INTFLG 以清除该标志(当 VCC 已不在处于 LVD 检测范围)。

注: S/W 可以写 0 清除 INTFLG 中的标志, 但写 1 没有任何效果。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
R/W	W						R/W	R/W
Reset	—						—	0

97h.7~0 **SWRST**: 写入 56h 以产生软件复位

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAB	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.7~6 **WDTE**: 看门狗定时器复位控制

0x: 看门狗定时器复位关闭

10: 看门狗定时器复位于快钟/慢钟模式下使能, 空闲/暂停/停止模式时禁止

11: 看门狗定时器复位始终启用

F7h.5 **PWRSAB**: 设置 1 可降低空闲/暂停/停止模式下芯片的功耗

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	1	0	1	0	0	0

F8h.7 **CLRWDT**: 设置以清除看门狗定时器, 硬件自动在一个时钟周期清除它。

5. 时钟电路和工作模式

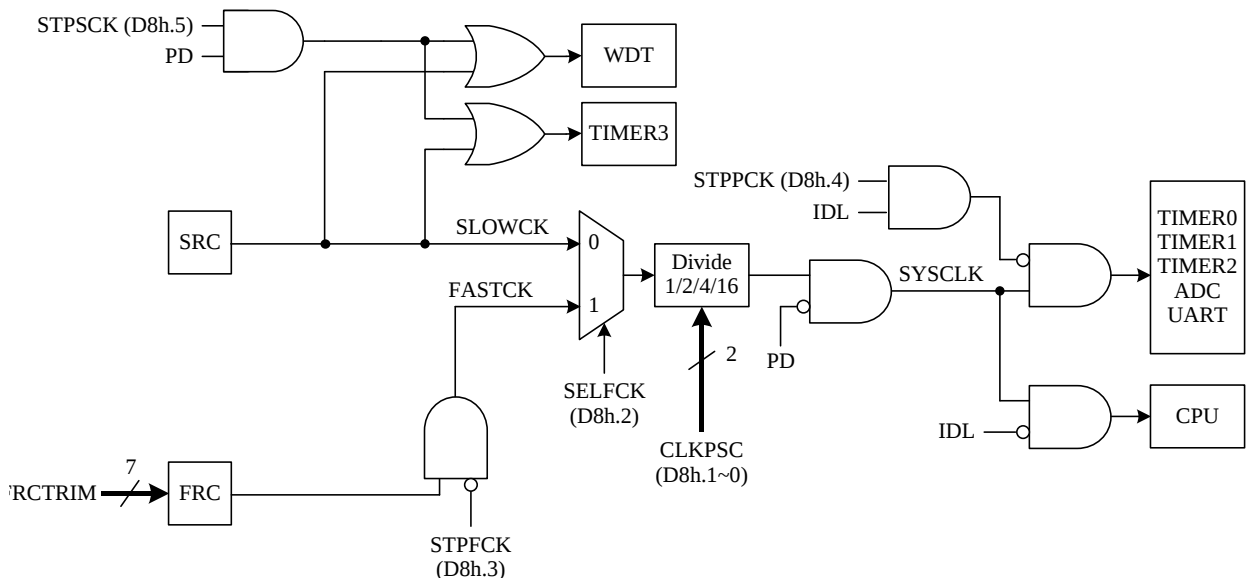
5.1 时钟电路

该芯片设计有双时钟系统。在运行时，用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以 1, 2, 4 或 16 的时钟分频器。快时钟用 FRC(快速内部 RC, 18.432 MHz)。慢时钟用 SRC(慢速内部 RC, 75 KHz)。快钟模式和慢钟模式被定义为快/慢时钟的 CPU 运行速度。

复位后，该设备在慢钟模式 75KHz 的 SRC 运行。S/W 应该正确选择安全的芯片运行时钟速率。较高的 V_{CC} 允许芯片在更高的系统时钟频率运行。在典型的情况下，18 MHz 的系统时钟频率需要 $V_{CC} > 2.4V$ 。

CLKCON SFR 控制系统时钟的正常运行。H/W 自动阻断 S/W 异常设置该寄存器。S/W 只能在快钟模式下改变慢时钟类型，在慢钟模式下改变快时钟类型。千万不要同时写 STPFCK=1 & SELFCK=1。建议在写这个 SFR 时一次只写一个位。

该芯片还可以向 P1.4 引脚输出“系统时钟 2 分频”信号(CKO)。CKO 引脚的输出设置由 PINMODE SFR 控制（参见第 7 节）。



注：由于 CLKPSC 延迟，在将慢时钟切换为快时钟之前，它需要等待 16 个时钟周期（最大）。另请参阅 AP-TM52XXXXX_01S 和 AP-TM52XXXXX_02S 有关系统时钟的应用笔记。

SYSCLK	CLKCON (D8h)	
	bit3 STPFCK	bit2 SELFCK
Fast FRC	0	1
Slow SRC	0/1	0
Stop FRC	0 → 1	0
Switch to FRC	0	0 → 1
Switch to SRC	0	1 → 0

Flash 3FFDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	FRCTRIM							

CFGWL FRCTRIM: FRC频率调整

芯片制造中, FRC 校准到18.432MHz. 上电复位时会把CFGWL 装载到寄存器 SFR F6h

SFR F6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	—	FRCTRIM						
R/W	—	R/W						
Reset	—	—	—	—	—	—	—	—

F6h.6~0 **FRCTRIM:** FRC频率调整

00h= 频率最低, 7Fh=频率最高

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON			STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W			R/W	R/W	R/W	R/W	R/W	
Reset			1	0	0	0	1	1

D8h.5 **STPSCK:** 设为 1, 停止慢钟在停止模式。

D8h.4 **STPPCK:** 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK:** 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK:** 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟

1: 快时钟

D8h.1~0 **CLKPSC:** 系统时钟分频器, 生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

5.2 操作模式

这个设备有 5 种操作模式。**快钟模式**被定义为在快时钟速度运行的 CPU。**慢钟模式**被定义为慢时钟速度运行的 CPU。当系统时钟速度较低，功耗较低。

空闲模式通过设置 PCON 中的 IDL 位进入。

快或慢时钟都可设置为在空闲模式下的系统时钟源，但慢时钟的省电越好。在空闲模式下，CPU 进入睡眠，而片上外围设备保持活跃。在 CLKCON SFR 中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果 STPPCK=1，Timer0/1/2，ADC 和 UART 在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置 CLKPSC SFR 降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式是通过设置 PCON 中的 PD 位及 CLKCON 中的 STPSCK 位进入。

这种模式在标准的 8051 是所谓的“省电”模式。在停止模式下，除了 WDT 时钟可能开启，其他所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

暂停模式是通过设置 PCON 中的 PD 位及清除 CLKCON 中的 STPSCK 位进入。

在暂停模式下，所有时钟都停止，但如果启用了 Timer3 和 WDT，则它们可能处于开启状态。暂停模式可以通过复位，引脚唤醒或 Timer3 中断来终止。在这模式下，Timer3 时钟源只能选择慢时钟，不能选择 FRC/512。

注：如果 INTn 引脚是低电平且该唤醒功能启用，则芯片无法进入暂停/停止模式。(INTn=0 and EXn=1,n=0~1)

注：固件必须关闭 Bandgap 以获得最小电流消耗（VBGOUT=0）

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.1 **PD:** 停止位，如果 1 进入暂停/停止模式。

87h.0 **IDL:** 空闲位，如果 1 进入空闲模式。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	—	—	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	—	—	R/W	R/W	R/W	R/W	R/W	
Reset	—	—	1	0	0	0	1	1

D8h.5 **STPSCK:** 设为 1，停止慢钟在停止模式。

D8h.4 **STPPCK:** 设为 1，停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK:** 设为 1，停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK:** 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟 1: 快时钟

D8h.1~0 **CLKPSC:** 系统时钟分频器，生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	–	TM3CKS	WDTPSC		ADCKS		–	–
R/W	–	R/W	R/W		R/W		–	–
Reset	–	0	0	0	0	0	–	–

94h.6 **TM3CKS:** Timer3 时钟源选择
0: Slow clock (SRC)
1: FRC/512 (36KHz)

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAPV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.4 **VBGOUT:** VBG 电压输出至 P3.2
0: 关闭
1: 启用

6. 中断和唤醒

该芯片有 14 源四级中断优先级结构。只有引脚中断可以从暂停/停止模式下唤醒 CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是 0 还是 1，中断事件将设置其个别的中断标志。中断向量和标志列表如下。

中断向量	中断号 C51	标志	描述
0003	0	IE0	INT0 外部引脚中断(可以唤醒暂停/停止模式)
000B	1	TF0	Timer0 中断
0013	2	IE1	INT1 外部引脚中断(可以唤醒暂停/停止模式)
001B	3	TF1	Timer1 中断
0023	4	RI+TI	串口(UART1)中断
002B	5	TF2+EXF2	Timer2 中断
0033	6	—	保留为 ICE 模式使用
003B	7	TF3	Timer3 中断
0043	8	PCIF	Port0~PORT3 外部引脚电平变化中断
004B	9	LVDIF	LVD 中断
0053	10	ADIF	ADC 中断
005B	11	EEPIF	EEP 写入完成中断
0063	12	RI2+TI2	串口(UART2)中断
006B	13	MIIF	主 I ² C 中断
0073	14	PWM0IF+PWM1IF	PWM0~1 中断

中断向量和标志

中断向量	中断号 C51	标志	中断使能	子中断使能	中断标志
0003	0	IE0	IE A8.0		TCON 88.1
000B	1	TF0	IE A8.1		TCON 88.5
0013	2	IE1	IE A8.2		TCON 88.3
001B	3	TF1	IE A8.3		TCON 88.7
0023	4	RI+TI	IE A8.4		SCON 98.1~0
002B	5	TF2+EXF2	IE A8.5		T2CON C8.7~6
0033	6	—			
003B	7	TF3	INTE1 A9.0		INTFLG 95.0
0043	8	PCIF	INTE1 A9.1		INTFLG 95.1
004B	9	LVDIF	INTE1 A9.2		INTFLG 95.7
0053	10	ADIF	INTE1 A9.3		INTFLG 95.4
005B	11	EEPIF	INTE1 A9.4		INTFLG 95.6
0063	12	RI2+TI2	INTE1 A9.5		SCON 8E.1~0
006B	13	MIIF	INTE1 A9.6		MICON E1.5
0073	14	PWM0IF+PWM1IF	INTE1 A9.7	INTE2 84.0 INTE2 84.1	INTPWM 86.0 INTPWM 86.1

中断相关的 SFR

6.1 中断使能和优先级控制

IE 和 INTE1 的 SFR 决定中断是否由 CPU 提供服务。IP, IPH, IP1 和 IP1H 的 SFR 决定中断优先级。中断会被服务, 需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时, 新的中断将等待被服务, 直到它之前的服务完成。如果较低优先级中断正被服务时, 将被停止, 开始新的中断服务。当新的中断结束后, 被停止的较低优先级的中断才会被完成。

6.2 关于中断子程序的建议

在进入中断程序时, 除了传统已熟知应执行 PUSH, POP 的 SFR A 或 PSW 外, 有一些用来索引的 SFR 也应该加入 PUSH POP 的行列, 如 PORTIDX, 以避免中断前后写读这些 SFR 可能造成不一致的问题。另外 PWMDH, PWMDL, PWMPRDH 或 PWMPRDL 为 16 位操作, 程序在高字节和低字节写入和读取时, 应该避免发生中断。假如在读写这些 16 位的 SFR 其间发生中断, 而中断内又对这些 SFR 做读写。则容易造成读写的错误, 16 位 PWM period 与 duty 的读写, 建议只在主程序内更新数据, 或只在中断内更新数据, 以避免可能的错误产生。

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	—	—	—	—		PWM1IE	PWM0IE
R/W	—	—	—	—	—		R/W	R/W
Reset	—	—	—	—	—		0	0

- 84h.1 **PWM1IE:** PWM1 中断使能
0: 禁用
1: 允许(注意: PWMIE 必须同时为 1 才能产生 PWM 中断)
- 84h.0 **PWM0IE:** PWM0 中断使能
0: 禁用
1: 允许(注意: PWMIE 必须同时为 1 才能产生 PWM 中断)

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	—	0	0	0	0	0	0

- A8h.7 **EA:** 总中断使能控制
0: 禁用所有中断
1: 每个中断通过其各个中断控制位使能或禁止
- A8h.5 **ET2:** Timer2 中断使能控制
0: 禁用 Timer2 中断
1: 允许 Timer2 中断
- A8h.4 **ES:** 串口(UART1)中断使能控制
0: 禁用串口(UART1)中断
1: 允许串口(UART1)中断
- A8h.3 **ET1:** Timer1 中断使能控制
0: 禁用 Timer1 中断
1: 允许 Timer1 中断
- A8h.2 **EX1:** INT1 引脚中断和暂停/停止模式唤醒使能控制
0: 禁用 INT1 引脚中断和暂停/停止模式唤醒
1: 允许 INT1 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可在从暂停/停止模式下唤醒 CPU。
- A8h.1 **ET0:** Timer0 中断使能
0: 禁用 Timer0 中断
1: 允许 Timer0 中断
- A8h.0 **EX0:** INT0 引脚中断和暂停/停止模式唤醒使能控制
0: 禁用 INT0 引脚中断和暂停/停止模式唤醒

1: 允许 INT0 引脚中断和暂停/停止模式唤醒，不管 EA 为 0 或 1，都可从在暂停/停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	I2CE	ES2	EEPIE	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.7 **PWMIE:** PWM0~PWM1 中断使能

0: 禁用 PWM0~PWM1 中断

1: 允许 PWM0~PWM1 中断

A9h.6 **I2CE:** I²C 中断使能

0: 禁用 I²C 中断

1: 允许 I²C 中断

A9h.5 **ES2:** Serial Port (UART2)中断使能

0: 禁用 Serial Port (UART2)中断

1: 允许 Serial Port (UART2)中断

A9h.4 **EEPIE:** EEP 写入完成中断使能控制

0:禁用 EEP 写入完成中断

1:允许 EEP 写入完成中断

A9h.3 **ADIE:** ADC 中断使能控制

0:禁用 ADC 中断

1:允许 ADC 中断

A9h.2 **LVDIE:** LVD 中断使能

0: 禁用 LVD 中断

1: 允许 LVD 中断

A9h.1 **PCIE:** Port0~Port3 引脚电平变化中断使能。该位不影响暂停/停止模式唤醒功能。

0: 禁用 Port0~Port3 引脚电平变化中断

1: 允许 Port0~Port3 引脚电平变化中断

A9h.0 **TM3IE:**Timer3 中断使能控制

0:禁用 Timer3 中断

1:允许 Timer3 中断

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

B9h.5, B8h.5 **PT2H,PT2:** Timer2 中断优先级控制。(PT2H,PT2)=

00: 0 级(最低优先级)

01: 1 级

10: 2 级

11: 3 级(最高优先级)

B9h.4, B8h.4 **PSH,PS:** 串口(UART1)中断优先级控制。定义如上。

B9h.3, B8h.3 **PT1H,PT1:** Timer1 中断优先级控制。定义如上。

B9h.2, B8h.2 **PX1H,PX1:** INT1 引脚中断优先级控制。定义如上。

B9h.1, B8h.1 **PT0H,PT0:** Timer0 中断优先级控制。定义如上。

B9h.0, B8h.0 **PX0H,PX0:** INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
---------	-------	-------	-------	-------	-------	-------	-------	-------

IP1H	PPWMH	PI2CH	PS2H	PEEPH	PADIH	PLVDH	PPCH	PT3H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

SFR BA _h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	PPWM	PI2C	PS2	PEEP	PADI	PLVD	PPC	PT3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

BBh.7,BAh.7 **PPWMH,PPWM:** PWM0~PWM1 中断优先级控制。定义如上。

BBh.6,BAh.6 **PI2CH,PI2C:** I²C (主/从)中断优先级控制。定义如上。

BBh.5,BAh.5 **PS2H,PS2:** 串口(UART2)中断优先级控制。定义如上。

BBh.4,BAh.4 **PEEPH,PEEP:** EEP 写入完成中断优先级控制。定义如上。

BBh.3,BAh.3 **PADIH,PADI:** ADC 中断优先级控制。定义如上。

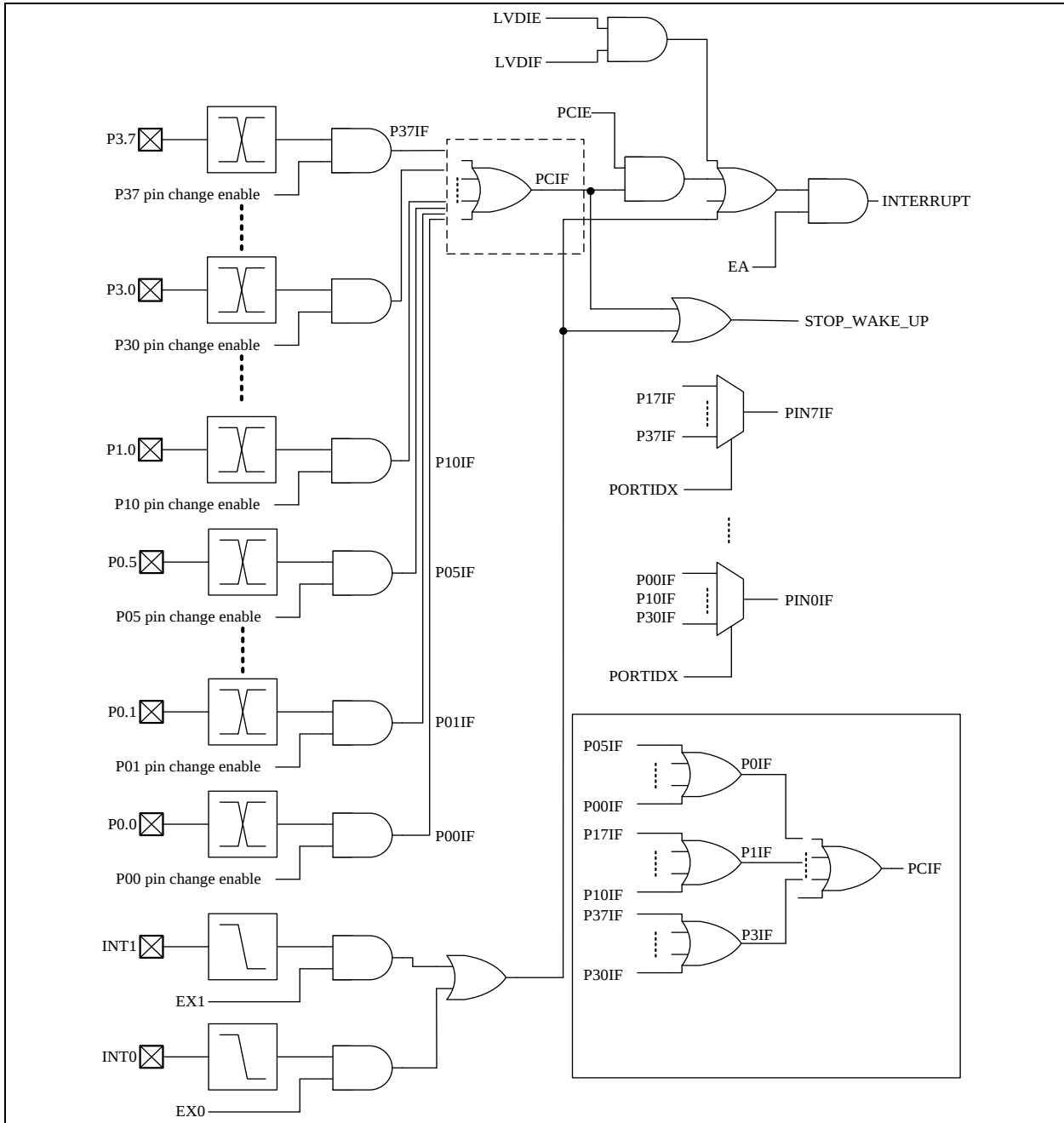
BBh.2,BAh.2 **PLVDH,PLVD:** LVD 中断优先级控制。定义如上。

BBh.1,BAh.1 **PPCH,PPC:** 端口 0 ~ 端口 3 引脚电平变化中断优先级控制。定义如上。

BBh.0,BAh.0 **PT3,PT3:** Timer3 中断优先级控制。定义如上。

6.3 引脚中断和 LVD 中断

引脚中断包括 INT0~INT1 和 Port0~Port3 引脚电平变化中断。INT0~INT1 和 Port0~Port3 的引脚变化也具有唤醒功能。INT0 和 INT1 为 8051 标准触发的下降沿或低电平。Port0~Port3 引脚更改中断由 IO 状态更改触发。引脚更改使能通过 PINMOD10 / PINMOD32 / PINMOD54 / PINMOD76 进行设置。有关详细信息，请参见第 7 章。PINMODE 和引脚更改使能设置。而 LVD 中断可用于检测 V_{CC} 电压电平并产生中断。



引脚中断和唤醒

注：如果 INTn 引脚为低电平并且使能了唤醒功能，则芯片无法进入暂停/停止模式。（INTn=0 和 EXn=1,n=0~1）

SFR 85h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTPORT	—	—	—	—	P3IF	—	P1IF	P0IF
R/W	—	—	—	—	R/W	—	R/W	R/W
Reset	—	—	—	—	0	—	0	0

85h.3 **P3IF:** P3.7~P3.0 引脚电平变化旗标，写 0 清除 P3.7~P3.0 引脚电平变化旗标。

85h.1 **P1IF:** P1.7~P1.0 引脚电平变化旗标，写 0 清除 P1.7~P1.0 引脚电平变化旗标。

85h.0 **P0IF:** P0.7~P0.0 引脚电平变化旗标，写 0 清除 P0.7~P0.0 引脚电平变化旗标。

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PORTIDX	—	—	—	—	—	—	PORTIDX	
R/W	—	—	—	—	—	—	R/W	
Reset	—	—	—	—	—	—	0	0

91h.1~0 **PORTIDX:** INTPIN, PINMOD10, PINMOD32, PINMOD54, PINMOD76 的引脚索引

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	—	—	PCIF	TF3
R/W	R/W	R/W	R	R/W	—	—	R/W	R/W
Reset	0	0	0	0	—	—	0	0

95h.7 **LVDIF:** 低电压检测标志

由硬件设置。S/W 将 7Fh 写入 INTFLG 以清除该标志,(当 VCC 已不在处于 LVD 检测范围)。

95h.1 **PCIF:** Port0~Port3 引脚电平变化旗标

当检测到 Port0~Port3 引脚电平变化且其中断允许位被置 1 时，由硬件置 1。

S/W 可以写 0 来清除所有引脚更改中断标志 (Port0~Port3)，也可以清除 PIN0IF~PIN7IF 和 P0IF~P3IF。

注: S/W 可以写 0 清除 INTFLG 中的标志，但写 1 没有任何效果。

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTPIN	PIN7IF	PIN6IF	PIN5IF	PIN4IF	PIN3IF	PIN2IF	PIN1IF	PIN0IF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

96h.7 **PIN7IF:** Px.7 引脚电平变化旗标

写 0 清除 Px.7 引脚电平变化旗标，端口号 (x) 由 PORTIDX 定义

96h.6 **PIN6IF:** Px.6 引脚电平变化旗标

写 0 清除 Px.6 引脚电平变化旗标，端口号 (x) 由 PORTIDX 定义

96h.5 **PIN5IF:** Px.5 引脚电平变化旗标

写 0 清除 Px.5 引脚电平变化旗标，端口号 (x) 由 PORTIDX 定义

96h.4 **PIN4IF:** Px.4 引脚电平变化旗标

写 0 清除 Px.4 引脚电平变化旗标，端口号 (x) 由 PORTIDX 定义

96h.3 **PIN3IF:** Px.3 引脚电平变化旗标

写 0 清除 Px.3 引脚电平变化旗标，端口号 (x) 由 PORTIDX 定义

96h.2 **PIN2IF:** Px.2 引脚电平变化旗标

写 0 清除 Px.2 引脚电平变化旗标，端口号 (x) 由 PORTIDX 定义

96h.1 **PIN1IF:** Px.1 引脚电平变化旗标

写 0 清除 Px.1 引脚电平变化旗标，端口号 (x) 由 PORTIDX 定义

96h.0 **PIN0IF:** Px.0 引脚电平变化旗标

写 0 清除 Px.1 引脚电平变化旗标，端口号 (x) 由 PORTIDX 定义

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

88h.3 **IE1:** 外部中断 1(INT1 引脚)边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时，不管 EX1 为 0 或 1。
 程序执行中断服务时，它会被自动清除。

88h.2 **IT1:** 外部中断 1 控制位
 0: 低电平有效(电平触发)的 INT1 引脚
 1: 下降沿有效(边沿触发)的 INT1 引脚

88h.1 **IE0:** 外部中断 0(INT0 引脚)边沿标志
 设置于 H/W 检测到 INT0 引脚下降沿时，不管 EX0 为 0 或 1。
 程序执行中断服务时，它会被自动清除。

88h.0 **IT0:** 外部中断 0 控制位
 0: 低电平有效(电平触发)的 INT0 引脚
 1: 下降沿有效(边沿触发)的 INT0 引脚

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	—	0	0	0	0	0	0

A8h.7 **EA:** 总中断使能控制
 0: 禁用所有中断
 1: 每个中断通过其各个中断控制位使能或禁止

A8h.2 **EX1:** INT1 引脚中断和暂停/停止模式唤醒使能控制
 0: 禁用 INT1 引脚中断和暂停/停止模式唤醒
 1: 允许 INT1 引脚中断和暂停/停止模式唤醒，不管 EA 为 0 或 1，都可从暂停/停止模式下唤醒 CPU。

A8h.0 **EX0:** INT0 引脚中断和暂停/停止模式唤醒使能控制
 0: 禁用 INT0 引脚中断和暂停/停止模式唤醒
 1: 允许 INT0 引脚中断和暂停/停止模式唤醒，不管 EA 为 0 或 1，都可从暂停/停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	I2CE	ES2	EEPIE	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.2 **LVDIE:** LVD 中断使能
 0: 禁用 LVD 中断
 1: 允许 LVD 中断

A9h.1 **PCIE:** Port0~Port3 引脚电平变化中断使能。该位不影响暂停/停止模式唤醒功能。
 0: 禁用 Port0~Port3 引脚电平变化中断
 1: 允许 Port0~Port3 引脚电平变化中断

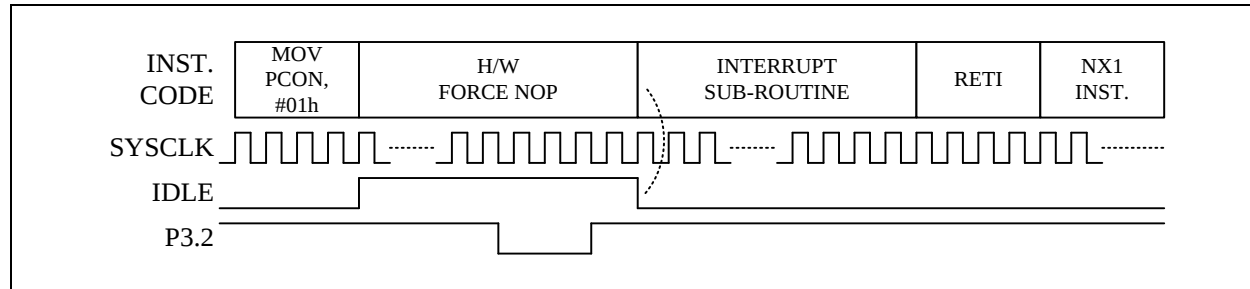
SFR BFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDS	LVDM	LVDO	–	LVDPD	LVDSEL			
R/W	R/W	R	–	R/W	R/W	R/W	R/W	R/W
Reset	0	0	–	0	0	0	0	0

BFh.3~0 **LVDSEL:** 低电压检测功能选择

0000: 将 LVD 设置为 1.79V
 0001: 将 LVD 设置为 1.95V
 0010: 将 LVD 设置为 2.11V
 0011: 将 LVD 设置为 2.26V
 0100: 将 LVD 设置为 2.40V
 0101: 将 LVD 设置为 2.56V
 0110: 将 LVD 设置为 2.71V
 0111: 将 LVD 设置为 2.87V
 1000: 将 LVD 设置为 3.03V
 1001: 将 LVD 设置为 3.18V
 1010: 将 LVD 设置为 3.32V
 1011: 将 LVD 设置为 3.50V
 1100: 将 LVD 设置为 3.63V
 1101: 将 LVD 设置为 3.80V
 1110: 将 LVD 设置为 3.94V
 1111: 将 LVD 设置为 4.12V

6.4 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒，这意味着各个中断使能位(如: EX0)和 EA 位必须都设置为 1 以建立空闲模式唤醒功能。所有被允许的中断(INT0~INT1, 定时器, PWM, ADC 和 UART), 可以将 CPU 从空闲模式唤醒。当空闲被唤醒, 立即进入中断服务程序。当中断服务程序返回后, “IDL (PCON.0)设置后的第一个指令” 将被执行。



EA=EX0=1, P3.2(INT0) 空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

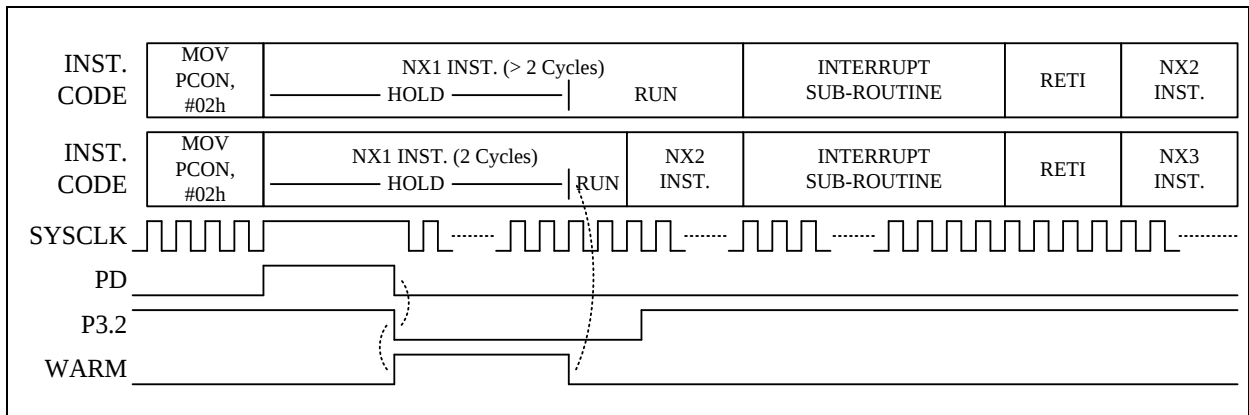
87h.1 **PD:** 停止位, 如果 1 进入暂停/停止模式。

87h.0 **IDL:** 空闲位, 如果 1 进入空闲模式。

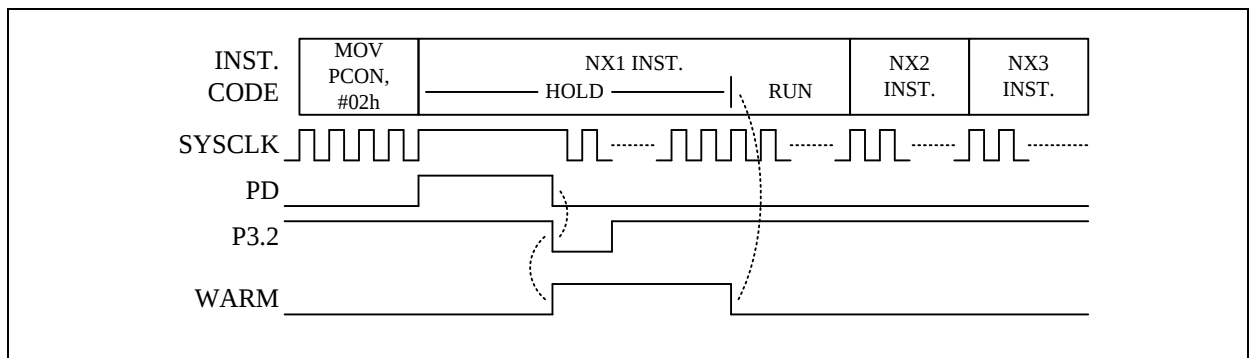
6.5 暂停/停止模式唤醒和中断

暂停/停止模式唤醒很简单, 只要把各个引脚的中断使能位(如: EX0)设置, 该引脚唤醒功能启用。设置 PINMOD10/PINMOD32/PINMOD54/PINMOD76 可启用 Port0~Port3 暂停/停止模式唤醒功能。一旦暂停/停止被唤醒, “PD (PCON.1)设置后的第一条指令” 立即在中断服务之前被执行。中断进入需要 EA=1 和该引脚触发状态停留足够长, 以被系统时钟采样到。此功能可让 CPU 暂停/停止模式唤醒后, 进入或不进入中断子程序。

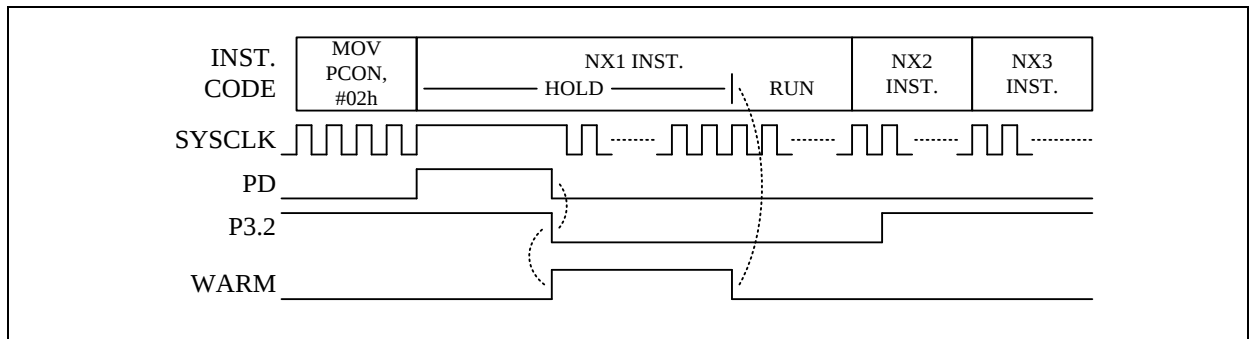
注: 如果 INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入暂停/停止模式。(INTn=0 and EXn=1, n=0~1)



EA=EX0=1, P3.2 (INT0) 预热后被采样, 暂停/停止模式唤醒和中断



EA=EX0=1, 脉冲太窄, 暂停/停止模式唤醒, 但没有中断



EX0= 1, EA=0, P3.2 (INT0) 暂停/停止模式唤醒, 但没有中断

7. I/O 端口

该芯片总共有 22 个多功能 I/O 引脚。所有的 I/O 引脚遵循标准 8051“读-修改-写”功能。读取 SFR 的，而不是引脚状态的指令，会读取一个端口或端口位的值，可能改变它，然后将它改写到 SFR。(例如: ANL P0, A; INC P1; CPL P3.0)。

在进入中断程序时，除了传统已熟知应执行 PUSH, POP 的 SFR A 或 PSW 外，有一些用来索引的 SFR 也应该加入 PUSH POP 的行列，如 PORTIDX，以避免中断前后写读这些 SFR 可能造成不一致的问题。

7.1 端口 0~端口 3

IO 引脚可以按以下不同方式定义。

PINMOD76 PINMOD54 PINMOD32 PINMOD10					引脚状态	中断	唤醒
模式 0	0	0	0	0	开漏输出，上拉 (针对 INT0/INT1)	支持	支持
模式 1	0	0	0	1	开漏输出(默认) (针对 INT0/INT1)	支持	支持
模式 2	0	0	1	0	CMOS 推挽输出	-	-
模式 3	0	0	1	1	ADC 通道	-	-
模式 4	0	1	0	0	开漏输出，下拉	支持	支持
模式 5	0	1	0	1	开漏输出	支持	支持
模式 6	0	1	1	0	CMOS 推挽输出	-	-
模式 7	0	1	1	1	-	-	-
模式 8	1	0	0	0	开漏输出，上拉 (针对暂停/停止模式引脚电平变化)	支持	支持
模式 9	1	0	0	1	开漏输出 (针对暂停/停止模式引脚电平变化)	支持	支持
模式 10	1	0	1	0	CMOS 推挽输出	-	-
模式 11	1	0	1	1	PWM 输出	-	-
模式 12	1	1	0	0	开漏输出，下拉 (针对暂停/停止模式引脚电平变化)	支持	支持
模式 13	1	1	0	1	开漏输出 (针对暂停/停止模式引脚电平变化)	支持	支持
模式 14	1	1	1	0	CMOS 推挽输出	-	-
模式 15	1	1	1	1	LCD 1/2 V _{CC} 偏压输出	-	-

表 7.1 端口 0~端口 3 引脚菜单

PINMOD76/PINMOD54/PINMOD32/PINMOD10 需要 PORTIDX 来索引相应的 I/O 端口。

此芯片没有端口 2，因此不可设置 PORTIDX = 2

例如：

如果 PORTIDX = 0，则 PINMOD10 设置为 P0.1 和 P0.0，高 4 位设置为 P0.1，低 4 位设置为 P0.0

如果 PORTIDX = 1，则 PINMOD10 设置为 P1.1 和 P1.0，高 4 位设置为 P1.1，低 4 位设置为 P1.0

如果 PORTIDX = 3，则 PINMOD10 设置为 P3.1 和 P3.0，高 4 位设置为 P3.1，低 4 位设置为 P3.0

如果 PORTIDX = 0，则 PINMOD32 设置为 P0.3 和 P0.2，高 4 位设置为 P0.3，低 4 位设置为 P0.2

...

如果 PORTIDX = 3，则 PINMOD76 设置为 P3.7 和 P3.6，高 4 位设置为 P3.7，低 4 位设置为 P3.6

引脚模式	端口 0~端口 3 引脚功能	Px.n SFR 数据	引脚状态	电阻上拉	电阻下拉	数位输入
模式 0 模式 8	带上拉的开漏输出	0	驱动低	N	N	N
		1	上拉	Y	N	Y
模式 4 模式 12	带下拉的开漏输出	0	驱动低	N	N	N
		1	下拉	N	Y	Y
模式 1 模式 5 模式 9 模式 13	开漏输出	0	驱动低	N	N	N
		1	高阻抗	N	N	Y
模式 2 模式 6 模式 10 模式 14	CMOS 推挽输出	0	驱动低	N	N	N
		1	驱动高	N	N	N
模式 3	ADC 通道	X (无关)	—	N	N	N
模式 7	-	—	—	—	—	—
模式 11	PWM 输出	X (无关)	—	N	N	N
模式 15	LCD 1/2 V _{CC} 偏压输出	X (无关)	—	Y	Y	N

端口 0~端口 3 引脚菜单

如果一个端口 0~端口 3 引脚用于施密特触发输入，S/W 必须设置 I/O 引脚到模式 0，模式 1，模式 4，模式 5，模式 8，模式 9，模式 12 或模式 13 (开漏，带上拉的开漏或带下拉的开漏)，并设置相应的端口数据 SFR 为 1 来禁止该引脚的输出驱动电路。

除了 I/O 端口功能外，每个端口 1~端口 3 引脚还具有一个或多个替代功能，例如 ADC 和 LCD。通过将单独的引脚模式控制 SFR 设置为模式 3，模式 7，模式 11 或模式 15，可以激活大多数功能。端口 1 和端口 3 引脚具有标准的 8051 辅助定义，例如 INT0/INT1，T0/T1/T2 或 RXD/TXD。这些引脚功能需要将引脚模式 SFR 设置为模式 0，模式 1，模式 5，模式 8，模式 12 或模式 13 (开漏或带上拉的开漏)，并将 P1.n/P3.n SFR 保持为 1。

引脚名称	唤醒中断	CKO	ADC	LCD	PWM	UART	I ² C	其他
P0.5	Y		AD05	Y	PWM5			
P0.4	Y		AD04	Y	PWM4			
P0.3	Y		AD03	Y	PWM3	TXD2 (RXD2)		
P0.2	Y		AD02	Y	PWM2	RXD2 (TXD2)		
P0.1	Y		AD01	Y	PWM0P	TXD2 (RXD2)	SDA	PSDA
P0.0	Y		AD00	Y	PWM0N	RXD2 (TXD2)	SCL	PSCL

端口 0 多重功能菜单

引脚名称	唤醒中断	CKO	ADC	LCD	PWM	UART	I ² C	其他
P1.7	Y		AD20	Y	PWM1P			
P1.6	Y		AD19	Y	PWM0P			
P1.5	Y		AD16	Y	PWM0N			
P1.4	Y	CKO	AD15	Y	PWM1N			
P1.3	Y		AD14	Y	PWM5			
P1.2	Y		AD13	Y	PWM4			
P1.1	Y		AD11	Y	PWM3			T2EX
P1.0	Y	T2O	AD10	Y	PWM2			T2

端口 1 多重功能菜单

引脚名称	唤醒中断	CKO	ADC	LCD	PWM	UART	I ² C	其他
P3.7	Y		AD06	Y	PWM1P			RSTn
P3.6	Y		AD07	Y	PWM0P	TXD2 (RXD2)		
P3.5	Y		AD08	Y	PWM0N	RXD2 (TXD2)		T1
P3.4	Y	T0O	AD09	Y	PWM1N			T0
P3.3	Y		AD21	Y	PWM0P	TXD (RXD)		INT1
P3.2	Y		AD22	Y	PWM0N	RXD (TXD)		INT0 VBGO
P3.1	Y		AD18	Y		TXD (RXD)	SDA	PSDA
P3.0	Y		AD17	Y		RXD (TXD)	SCL	PSCL

端口 3 多重功能菜单

下面列出了端口 0~端口 3 引脚的替代功能所需的 SFR 设置。

替代功能	PINMOD _{xx}	Px.n SFR 数据	引脚状态	设其他需要的 SFR 置
INT0, INT1	0000	1	带上拉的输入	
	0001	1	输入	
T0, T1, T2, T2EX	x000	1	带上拉的输入	
	xx01	1	输入	
RXD RXD2	x000	1	UART RX(带上拉的输入)	UARTCON
	xx01	1	UART RX(输入)	
TXD TXD2	x000	1	UART TX 输出(开漏输出, 上拉)	
	xx01	1	UART TX 输出(开漏输出)	
VBGO	0011	X	带隙基准电压输出	VBGOUT
AD0~AD22	0011	X	ADC 通道	ADCHS
LCD	1111	X	LCD 1/2 V _{CC} 偏压输出	
T0O CKO T2O	xx10	X	时钟输出(CMOS 推挽)	T0OE TCOE T2OE
PWM0P~PWM0N PWM1P~PWM1N PWM2~PWM5	1011	X	PWM 输出(CMOS 推挽)	
I ² C Master SCL	0000	X	I ² C 时钟输出(开漏输出, 上拉)	I2CPS
	xx10	X	I ² C 时钟输出(CMOS 推挽)	
I ² C Master SDA	0000	1	I ² C 数据(上拉)	

对于上表中,“CMOS 推挽”引脚意味着它可以吸收和驱动至少 4 mA 的电流。我们不建议使用这种引脚作为输入功能。

一个“开漏”引脚意味着它可以吸收至少 4 mA 电流,但只能驱动小电流(<20μA)。它可以用作输入或输出功能,并且通常需要一个外部上拉电阻。

该芯片还支持 I/O 高灌电流功能。这是一个选项,通过设置 SFR HSNK0EN, HSNK1EN 和 HSNK2EN 来启用。为了有效控制,我们将高灌电流功能引脚分为三组(第 0 组: P0.0~P0.5; 第 1 组: P1.0~P1.7; 第 2 组: P3.0~P3.7)。

SFR 80h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	-	-	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
Reset	-	-	1	1	1	1	1	1

80h.7~0 P0: 端口0数据

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

90h.7~0 P1: 端口 1 数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3**: 端口 3 数据

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PORTIDX	—	—	—	—	—	—	PORTIDX	
R/W	—	—	—	—	—	—	R/W	
Reset	—	—	—	—	—	—	0	0

91h.1~0 **PORTIDX**: INTPIN, PINMOD10, PINMOD32, PINMOD54, PINMOD76 的引脚索引

00: 端口 0

01: 端口 1

10: 保留

11: 端口 3

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UARTCON	UART2PS				—	UARTPS		
R/W	R/W				—	R/W		
Reset	0	0	0	1	—	0	0	1

93h.7~4 **UART2PS**: UART2 引脚选择

0000: RXD2/TXD2 = P0.0/P0.1

0001: RXD2/TXD2 = P3.5/P3.6

0010: RXD2/TXD2 = P0.1/P0.0

0011: RXD2/TXD2 = P3.6/P3.5

0100: RXD2/TXD2 = P0.1/P0.1, 单线模式

0101: RXD2/TXD2 = P3.6/P3.6, 单线模式

0110: RXD2/TXD2 = P0.0/P0.0, 单线模式

0111: RXD2/TXD2 = P3.5/P3.5, 单线模式

1000: RXD2/TXD2 = P0.2/P0.3

1010: RXD2/TXD2 = P0.3/P0.2

1100: RXD2/TXD2 = P0.3/P0.3, 单线模式

1110: RXD2/TXD2 = P0.2/P0.2, 单线模式

93h.2~0 **UARTPS**: UART 引脚选择

0000: RXD/TXD = P3.0/P3.1

0001: RXD/TXD = P3.2/P3.3

0010: RXD/TXD = P3.1/P3.0

0011: RXD/TXD = P3.3/P3.2

0100: RXD/TXD = P3.1/P3.1, 单线模式

0101: RXD/TXD = P3.3/P3.3, 单线模式

0110: RXD/TXD = P3.0/P3.0, 单线模式

0111: RXD/TXD = P3.2/P3.2, 单线模式

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD10	PINMOD1				PINMOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A2h.7~4 **PINMOD1**: Px.1 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A2h.3~0 **PINMOD0**: Px.0 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD32	PINMOD3				PINMOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A3h.7~4 **PINMOD3**: Px.3 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A3h.3~0 **PINMOD2**: Px.2 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD54	PINMOD5				PINMOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A4h.7~4 **PINMOD5**: Px.5 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A4h.3~0 **PINMOD4**: Px.4 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD76	PINMOD7				PINMOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A5h.7~4 **PINMOD7**: Px.7 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A5h.3~0 **PINMOD6**: Px.6 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	HSNK2EN	HSNK1EN	HSNK0EN	I2CPS	-	TCOE	T2OE	T0OE
R/W	R/W	R/W	R/W	R/W	-	R/W	R/W	R/W
Reset	0	0	0	0	-	0	0	0

A6h.7 **HSNK2EN:** 引脚高灌电流使能（第 2 组: P3.0~P3.7）

0: 第 2 组高灌电流引脚禁用

1: 第 2 组高灌电流引脚使能

A6h.6 **HSNK1EN:** 引脚高灌电流使能（第 1 组: P1.0~P1.7）

0: 第 1 组高灌电流引脚禁用

1: 第 1 组高灌电流引脚使能

A6h.5 **HSNK0EN:** 引脚高灌电流使能（第 0 组: P0.0~P0.7）

0: 第 0 组高灌电流引脚禁用

1: 第 0 组高灌电流引脚使能

A6h.4 **I2CPS:** I2C 引脚选择

0: SCL/SDA = P0.0/P0.1

1: SCL/SDA = P3.0/P3.1

A6h.2 **TCOE:** 系统时钟除以 2 输出到 P1.4 使能

0: 禁止 系统时钟除以 2 输出到 P1.4

1: 允许 系统时钟除以 2 输出到 P1.4

A6h.1 **T2OE:** Timer2 信号输出(T2O) 到 P1.0 使能

0: 禁止 Timer2 溢出除以 2 输出到 P1.0

1: 允许 Timer2 溢出除以 2 输出到 P1.0

A6h.0 **T0OE:** Timer0 信号输出(T0O) 到 P3.4 使能

0: 禁止“Timer0 溢出除以 64”输出到 P3.4

1: 允许“Timer0 溢出除以 64”输出到 P3.4

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.4 **VBGOUT:** 带隙基准电压输出至 P3.2

0: 关闭

1: 启用

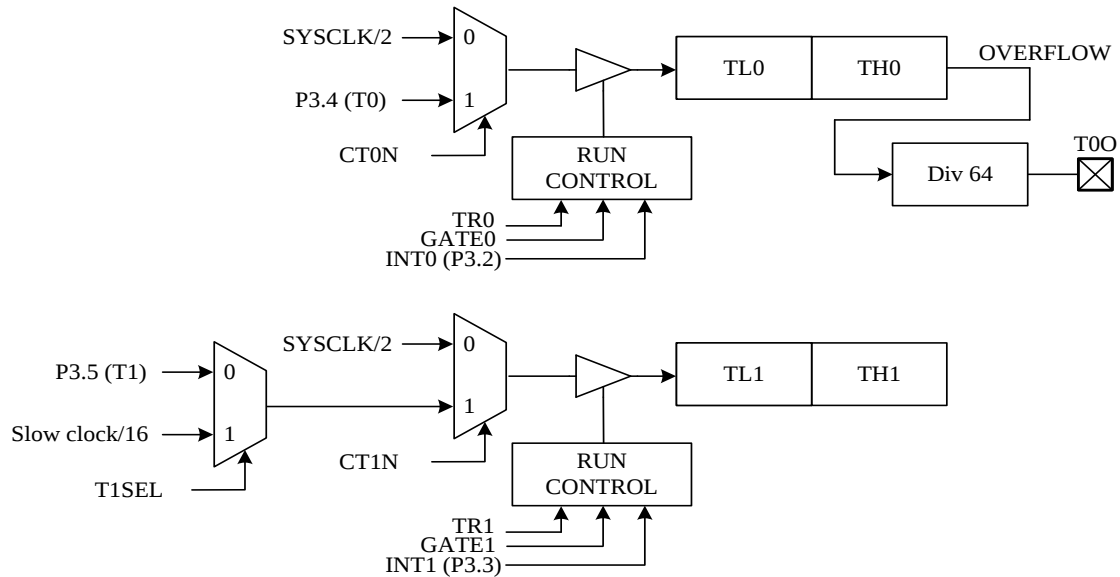
8. 定时器

Timer0, Timer1 和 Timer2 设置为标准的 8051 兼容的定时器/计数器。相较于传统的 12T 8051, 该芯片的 Timer0/1/2 使用 2 个系统时钟周期的时间基本单元。也就是说, 在定时器模式下, 这些定时器以每一个“2 个系统时钟”率增加;在计数器模式下, T0/T1/T2 引脚输入脉冲必须大于 2 个系统时钟以便该设备可以辨识。

该器件可以为蜂鸣器生成各种频率波形引脚输出。T0O 引脚输出“Timer0 溢出除以 64”的信号, 而 T2O 引脚输出“Timer2 溢出除以 2”的信号。CKO 引脚输出系统时钟除以 2 的信号。设置 T0OE (A6h.0), T2OE(A6h.1) 和 TCOE (A6h.2) 可以输出这些波形

8.1 Timer0/1

TCON 和 TMOD 用于设置操作模式, 并控制 Timer0/1 的运行和中断产生, 定时器/计数器的值存储在两个成对的 8 位寄存器(TL0, TH0 和 TL1, TH1)。



Timer0 and Timer1 结构

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1:** Timer1 溢出标志
当定时器/计数器 1 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1:** Timer1 运行控制
0: Timer1 停止
1: Timer1 运行
- 88h.5 **TF0:** Timer0 溢出标志
当定时器/计数器 0 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0:** Timer0 运行控制
0: Timer0 停止
1: Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
---------	-------	-------	-------	-------	-------	-------	-------	-------

TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

89h.7 **GATE1:** Timer1 门控位

0: 当 TR1 位设置时 Timer1 使能

1: 只有当 INT1 引脚为高,TR1 位设置时 Timer1 使能

89h.6 **CT1N:** Timer1 计数器/定时器选择位

0: 定时器模式,Timer1 的数据以 2 个系统时钟周期率增加

1: 计数器模式,Timer1 的数据在 T1 引脚的下降沿时增加

89h.5~4 **TMOD1:** Timer1 模式选择

00: 8 位定时器/计数器(TH1)和 5 位预分频器(TL1)

01: 16 位定时器/计数器

10: 8 位自动重载定时器/计数器(TL1),溢出时从 TH1 重新装载。

11: Timer1 停止

89h.3 **GATE0:** Timer0 门控位

0: 当 TR0 位设置时 Timer0 使能

1: 只有当 INT0 引脚为高,TR0 位设置时 Timer0 使能

89h.2 **CT0N:** Timer0 计数器/定时器选择位

0: 定时器模式,Timer0 的数据以 2 个系统时钟周期率增加

1: 计数器模式,Timer0 的数据在 T0 引脚的下降沿时增加

89h.1~0 **TMOD0:** Timer0 模式选择

00: 8 位定时器/计数器(TH0)和 5 位预分频器(TL0)

01: 16 位定时器/计数器

10: 8 位自动重载定时器/计数器(TL0),溢出时从 TH0 重新装载。

11: TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器,使用 Timer1 的 TR1 和 TF1 位

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0:**Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1:**Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0:**Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Dh.7~0 **TH1:**Timer1 数据的高字节

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	HSNK2EN	HSNK1EN	HSNK0EN	I2CPS	-	TCOE	T2OE	T0OE
R/W	R/W	R/W	R/W	R/W	-	R/W	R/W	R/W
Reset	0	0	0	0	-	0	0	0

- A6h.2 **TCOE:** 系统时钟除以 2 输出到 P1.4 使能
0: 禁止 系统时钟除以 2 输出到 P1.4
1: 允许 系统时钟除以 2 输出到 P1.4
- A6h.0 **T0OE:** Timer0 信号输出(T0O) 到 P3.4 使能
0: 禁止“Timer0 溢出除以 64”输出到 P3.4
1: 允许“Timer0 溢出除以 64”输出到 P3.4

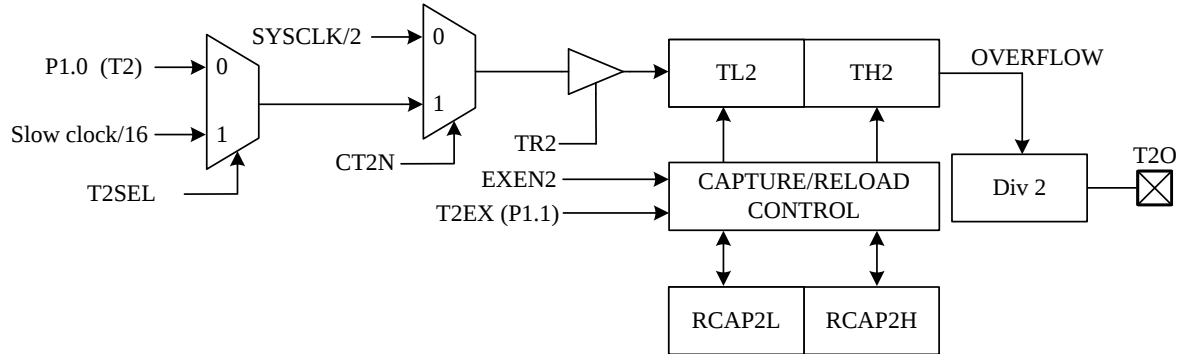
SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- F8h.1 **T1SEL:** Timer1 计数器模式 (CT1N = 1) 输入选择
0: P3.5(T1)脚(8051 标准)
1: 慢时钟除以 16 (SLOWCLK/16)

注: 另请参阅第 6 章的有关 Timer0/1 中断使能和优先级的更多信息。
注: 同时参阅第 7 章关于 T0O 引脚输出设置的详细信息。

8.2 Timer2

Timer2 通过 TCON2 寄存器存储在 TL2 和 TH2 的定时器/计数器 2 低和高字节和存储在 RCAP2L 和 RCAP2H 的 Timer2 重载/捕获寄存器的高和低字节来控制。



Timer2 结构

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

C8h.7 **TF2:** Timer2 溢出标志

当定时器/计数器 2 溢出时由 H/W 设置，除非 RCLK=1 或 TCLK=1。此位必须由 S/W 清零。

C8h.6 **EXF2:** T2EX 中断引脚下降沿标志

如果 EXEN2=1，当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。

C8h.5 **RCLK:** UART 接收时钟控制位

0: 模式 1 或 3 时使用 Timer1 溢出作为串行端口接收时钟

1: 模式 1 或 3 时使用 Timer2 溢出作为串行端口接收时钟

C8h.4 **TCLK:** UART 发送时钟控制位

0: 模式 1 或 3 时使用 Timer1 溢出作为串行端口发送时钟

1: 模式 1 或 3 时使用 Timer2 溢出作为串行端口发送时钟

C8h.3 **EXEN2:** T2EX 引脚使能

0: T2EX 引脚禁用

1: T2EX 引脚使能，如果 RCLK=TCLK=0，当检测出 T2EX 引脚的下降沿跳变，这引起捕获或重载

C8h.2 **TR2:** Timer2 运行控制

0: Timer2 停止

1: Timer2 运行

C8h.1 **CT2N:** Timer2 计数器/定时器选择位

0: 定时器模式，Timer2 的数据以 2 个系统时钟周期率增加

1: 计数器模式，Timer2 的数据在 T2 引脚的下降沿时增加

C8h.0 **CPRL2N:** Timer2 捕捉/重载控制位

0: 重载模式，如果 EXEN2=1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载

1: 捕捉模式，如果 EXEN2=1 在 T2EX 引脚上的下降沿跳变则捕捉

如果 RCLK=1 或 TCLK=1 时，CPRL2N 被忽略，Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**: Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**: Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**: Timer2 数据的低字节

SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CDh.7~0 **TH2**: Timer2 数据的高字节

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	HSNK2EN	HSNK1EN	HSNK0EN	I2CPS	-	TCOE	T2OE	T0OE
R/W	R/W	R/W	R/W	R/W	-	R/W	R/W	R/W
Reset	0	0	0	0	-	0	0	0

A6h.1 **T2OE**: Timer2 信号输出(T2O) 到 P1.0 使能

0: 禁止 Timer2 溢出除以 2 输出到 P1.0

1: 允许 Timer2 溢出除以 2 输出到 P1.0

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.2 **T2SEL**: Timer2 计数器模式 (CT2N = 1) 输入选择

0: P1.0(T2)脚(8051 标准)

1: 慢时钟除以 16 (SLOWCLK/16)

注: 另请参阅第 6 章的有关 Timer2 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T2O 引脚输出设置的详细信息。

8.3 Timer3

该芯片的 Timer3 作为时基计数器，周期性地产生中断。它会产生一个中断标志位(TF3)当时钟除以 262144, 131072, 65536, ... 或 8 取决于 TM3PSC 位。Timer3 的时钟源为慢时钟(SRC)或 FRC/512。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	–	TM3CKS	WDTPSC		ADCKS		PWM1NMSK	PWM1PMSK
R/W	–	R/W	R/W		R/W		R/W	R/W
Reset	–	0	0	0	0	0	0	0

94h.6 **TM3CKS:** Timer3时钟源选择

0: 慢时钟 (SRC)

1: FRC/512 (36KHz)

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	–	–	PCIF	TF3
R/W	R/W	R/W	R	R/W	–	–	R/W	R/W
Reset	0	0	0	0	–	–	0	0

95h.0 **TF3:** Timer3 中断标志

当 Timer3 到达 TM3PSC 设置周期时由 H/W 设置。

当程序执行中断服务程序时被自动清除。

S/W 也可以写 FEh 到 INTFLG 清除该标志。

注: S/W 可以写 0 清除 INTFLG 中的标志，但写 1 没有任何效果。

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	Warmtime	TM3PSC				–	FJMPE	FJMPS
R/W	R/W	R/W				–	R/W	R/W
Reset	0	0	0	0	0	–	0	0

EFh.6~3 **TM3PSC:** Timer3中断率控制选择

0000: 中断率是262144 Timer3时钟周期

0001: 中断率是131072 Timer3时钟周期

0010: 中断率是65536 Timer3时钟周期

0011: 中断率是32768 Timer3时钟周期

0100: 中断率是16384 Timer3时钟周期

0101: 中断率是8192 Timer3时钟周期

0110: 中断率是4096 Timer3时钟周期

0111: 中断率是2048 Timer3时钟周期

1000: 中断率是1024 Timer3时钟周期

1001: 中断率是512 Timer3时钟周期

1010: 中断率是256 Timer3时钟周期

1011: 中断率是128 Timer3时钟周期

1100: 中断率是64 Timer3时钟周期

1101: 中断率是32 Timer3时钟周期

1110: 中断率是16 Timer3时钟周期

1111: 中断率是8 Timer3时钟周期

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.6 **CLRTM3:** 设置以清除 Timer3，H/W 会在下一个时钟周期自动清除此设置

注: 另请参阅第 6 章的有关 Timer3 中断使能和优先级的更多信息。

9. UARTs

该芯片具有两个 UART，分别为 UART1 和 UART2。

UART1 是标准的 8051 全双工 UART，UART1 使用 SCON 和 SBUF 的 SFR。SCON 是控制寄存器，SBUF 是数据寄存器。数据被写入到 SBUF 用于传输，而 SBUF 被读取时，可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。

UART2 使用 SCON2 和 SBUF2 的 SFR。SCON2 是控制寄存器，SBUF2 是数据寄存器。数据被写入到 SBUF2 用于传输，而 SBUF2 被读取时，可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。UART2 支持 UART 的大部分功能，但不支持 Mode0 和 Mode2，也不支持 Timer2 模式。另一方面，对于 UART2，不使用 SMOD 选项。始终启用 UART2CON 定义新的波特率。

透过设置寄存器 UARTCON，UART1 和 UART2 均可提供不同的 TXD/TXD2 和 RXD/RXD2 引脚选项。TXD/TXD2 和 RXD/RXD2 也可以互换。该芯片还提供单线模式。如果设置单线模式则发送和接收数据均使用同一引脚。在应用上提供了更多的灵活性。

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.7 **SMOD:** UART1 双波特率控制位
0: 禁止 UART1 双波特率控制位
1: 允许 UART1 双波特率控制位

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

98h.7~6 **SM0,SM1:** UART1 串行端口模式选择位 0, 1
00: 模式 0: 8 位移位寄存器，波特率= $F_{SYSCLK}/2$
01: 模式 1: 8 位 UART1，波特率可变
10: 模式 2: 9 位 UART1，波特率= $F_{SYSCLK}/32$ 或 $/64$
11: 模式 3: 9 位 UART1，波特率可变

98h.5 **SM2:** 串行端口模式选择位 2
SM2 通过一线串行方式实现多机通信并修改上述如下。在模式 2 和 3，当 SM2 设置，如果接收到的第九位数据为 0，那么接收中断不会产生。在模式 1 中，除非有效的停止位被接收，接收中断不会产生。在模式 0 中，SM2 应为 0。

98h.4 **REN:** UART1 接收使能
0: 禁止接收
1: 允许接收

98h.3 **TB8:** 发送位 8，在模式 2 和 3 为发送第九位

98h.2 **RB8:** 接收位 8，包含模式 2 和 3 的接收第九位，如果 SM2 = 0，为模式 1 停止位

98h.1 **TI:** 发送中断标志
由 H/W 设置在模式 0 第 8 位的结束时，或在其他模式中停止位的开始时。必须通过 S/W 清零。

98h.0 **RI:** 接收中断标志
由 H/W 设置在模式 0 第 8 位的结束时，或在其他模式下停止位的取样点。必须通过 S/W 清零。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF							
R/W	R/W							
Reset	—	—	—	—	—	—	—	—

99h.7~0 **SBUF**: UART1 发送和接收数据。发送写入该位置数据和接收从该位置读取数据，但路径是独立的。

SFR 8Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON2	SM	—	—	REN2	TB82	RB82	TI2	RI2
R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W
Reset	0	—	—	0	0	0	0	0

8Eh.7 **SM**: UART2 串行端口模式选择位

0: 模式 1: 8 位 UART2, 波特率可变

1: 模式 3: 9 位 UART2, 波特率可变

(UART2 不支持 Mode0/Mode2)

8Eh.4 **REN2**: UART2 接收使能

0: 禁止接收

1: 允许接收

8Eh.3 **TB82**: UART2 传输位 8, 即在模式 3 中要传输的第 9 位

8Eh.2 **RB82**: UART2 接收位 8, 包含在模式 3 中接收到的第 9 位

8Eh.1 **TI2**: UART2 发送中断标志

在模式 1 和 3 中, 在停止位的开头通过 H/W 进行设置。必须通过 S/W 进行清除。

8Eh.0 **RI2**: UART2 接收中断标志

在模式 1 和 3 中, 在停止位的采样点由 H/W 设置。必须由 S/W 清除。

SFR 8Fh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF2	SBUF2							
R/W	R/W							
Reset	—	—	—	—	—	—	—	—

8Fh.7~0 **SBUF2**: UART2 发送和接收数据。发送写入该位置数据和接收从该位置读取数据，但路径是独立的。

SFR 9Fh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UART2CON	—	UART2BRP						
R/W	—	R/W						
Reset	—	0	0	0	0	0	0	0

9Fh.7~0 **UART2BRP**: 定义 UART2 波特率预标器。

UART2 波特率 = $F_{sys}/32/UART2BRP$

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UARTCON	UART2PS				—	UARTPS		
R/W	R/W				—	R/W		
Reset	0	0	0	1	—	0	0	1

93h.7~4 **UART2PS**: UART2 引脚选择

0000: RXD2/TXD2 = P0.0/P0.1

0001: RXD2/TXD2 = P3.5/P3.6

0010: RXD2/TXD2 = P0.1/P0.0

0011: RXD2/TXD2 = P3.6/P3.5

0100: RXD2/TXD2 = P0.1/P0.1, 单线模式

0101: RXD2/TXD2 = P3.6/P3.6, 单线模式

0110: RXD2/TXD2 = P0.0/P0.0, 单线模式

0111: RXD2/TXD2 = P3.5/P3.5, 单线模式

1000: RXD2/TXD2 = P0.2/P0.3
 1010: RXD2/TXD2 = P0.3/P0.2
 1100: RXD2/TXD2 = P0.3/P0.3, 单线模式
 1110: RXD2/TXD2 = P0.2/P0.2, 单线模式
 93h.2~0 **UARTPS:** UART 引脚选择
 0000: RXD/TXD = P3.0/P3.1
 0001: RXD/TXD = P3.2/P3.3
 0010: RXD/TXD = P3.1/P3.0
 0011: RXD/TXD = P3.3/P3.2
 0100: RXD/TXD = P3.1/P3.1, 单线模式
 0101: RXD/TXD = P3.3/P3.3, 单线模式
 0110: RXD/TXD = P3.0/P3.0, 单线模式
 0111: RXD/TXD = P3.2/P3.2, 单线模式

F_{SYSCLK} 表示系统时钟频率。

UART1 波特率设定如下

- 模式 0:
波特率= $F_{SYSCLK}/2$
- 模式 1, 3: 如果使用 Timer1 自动重载模式
波特率= $(SMOD+1) \times F_{SYSCLK}/(32 \times 2 \times (256 - TH1))$
- 模式 1, 3: 如果使用 Time2
波特率=Timer2 overflow rate/16= $F_{SYSCLK}/(32 \times (65536 - (RCP2H, RCP2L)))$
- 模式 2:
波特率= $(SMOD+1) \times F_{SYSCLK}/64$

UART2 波特率设定如下

- 模式 0: (无效)
- 模式 1, 3: 波特率= $F_{sys}/32/UART2BRP$

注: 另请参阅第 6 章的有关 UART 中断使能和优先级的更多信息。

注: 同时参阅第 8 章有关 Timer2 如何控制 UART 时钟的详细信息。

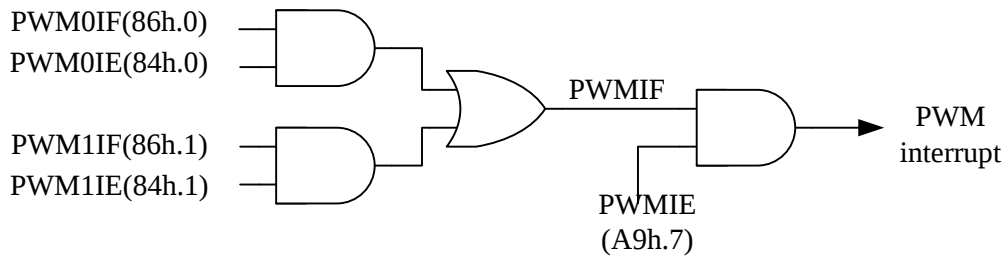
Fsys (Hz)	期望波特率(bps)	UART2BRP	实际生成波特率	频率偏差 (%)
18432000	19200	30	19200	0
18432000	28800	20	28800	0
18432000	38400	15	38400	0
18432000	57600	10	57600	0
18432000	115200	5	115200	0

10. PWMs

该芯片具有两个独立的 16 位 PWM 模块 PWM0 和 PWM1。PWM0/1 具有独立的 16 位周期。下面以 PWM0 为例进行说明。PWM 可以基于 PWM 时钟生成具有 65536 占空比分辨率的变化频率波形。PWM 时钟可以选择 FRC 双倍频率 ($FRC \times 2$)，FRC，FRC/256 或 F_{SYSCLK} 作为其时钟源。用户需留意在设定上，PWM 的 period 必须要大于 duty。

设置 SFR PINMODx 以控制 PWM 输出。如果 PINMODx 设置为模式 1011b(Bh)，将自动输出相对的 PWM。例如，PORTIDX = 1，PIMOD76 = BBh，则 PWM0P 和 PWM1P 将输出到 P1.6 和 P1.7。（参见第 7 节）

16 位周期(PWM0PRD, PWM1PRD)和占空比(PWM0D~PWM5D)寄存器均具有低字节和高字节结构。高字节可以直接访问，但低字节只能通过内部 8 位缓冲器访问，必须以特定方式对这些寄存器对进行读写。需要注意的重要一点是，只有在执行对其相应的高字节的写或读操作时，才与 8 位缓冲区及其相关的低字节进行数据传输。简而言之，先写低字节，再写高字节。首先读取高字节，然后读取低字节。

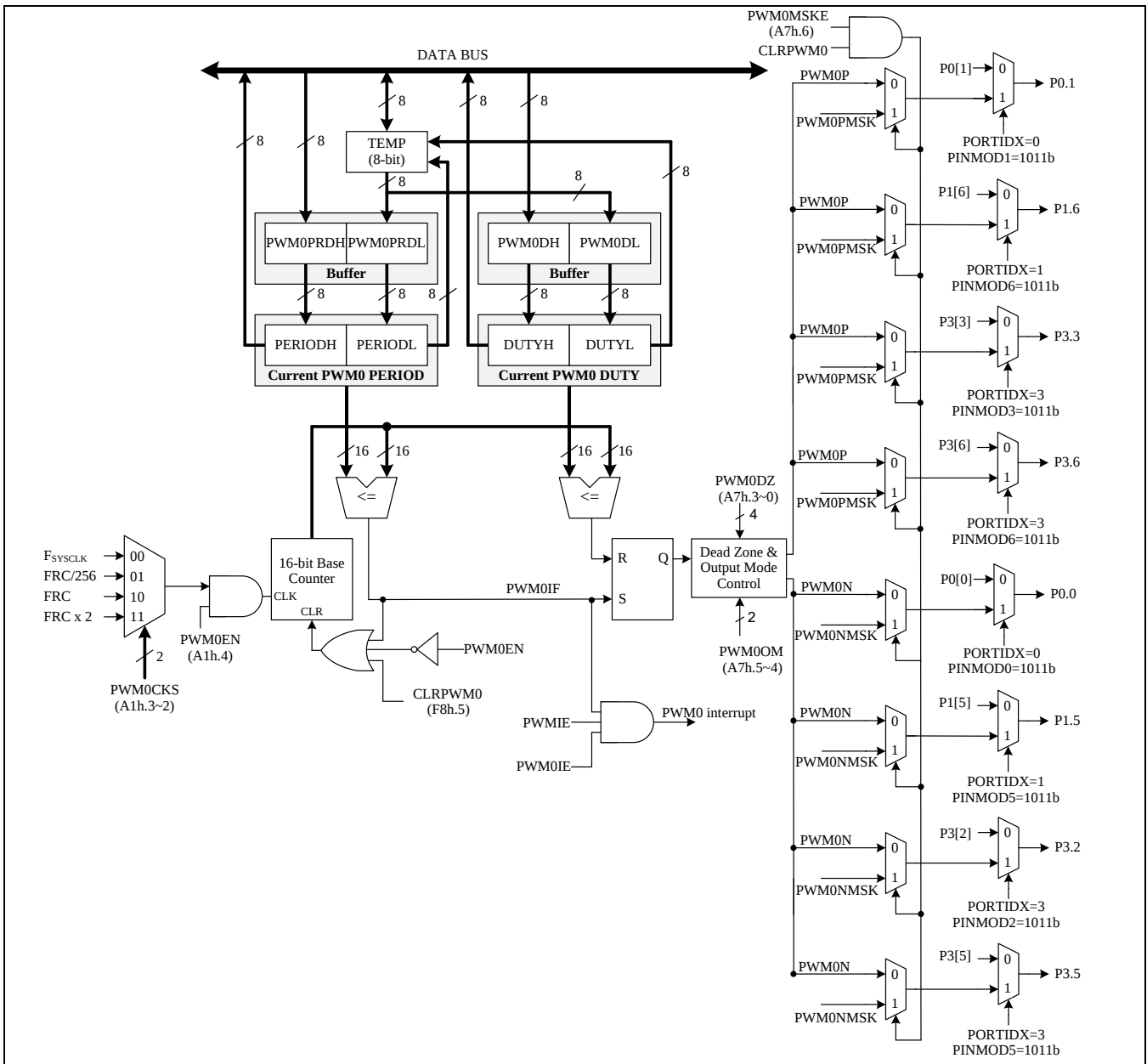


PWM 中断结构

10.1 PWM0 (PWM0P/PWM0N)

当 CLRPWM0 设置为 1 时，将清除并保持 PWM0，否则 PWM0 会维持运行。PWM0 的结构如下所示。PWM0 占空比可以通过写入 SFR PWM0DH 和 PWM0DL 来改变。每当 16 位的基数计数器与 16 位 PWM0 占空比寄存器 {PWM0DH, PWM0DL} 匹配时，PWM0 输出信号就会复位为低电平。PWM0 的周期可以通过写入 SFR PWM0PRDH 和 PWM0PRDL 来设置。写入 PWM 占空比或周期寄存器后，新值将立即保存到其自己的缓冲区中。H/W 将在当前周期结束时或在 PWM0 清零时更新这些值。PWM0 有一个相应的中断标志，在周期结束时会产生一个中断标志。

PWM0DH, PWM0DL, PWM0PRDH 或 PWM0PRDL 为 16 位操作，程序在高字节和低字节写入和读取时，应该避免发生中断。假如在读写这些 16 位的寄存器其间发生中断。而中断内又对这些寄存器做读写。则容易造成读写的错误。16 位 PWM 周期与占空比的读写，建议只在主程序内更新数据，或只在中断内更新数据，以避免可能的错误产生。PWM0 结构如下所示。

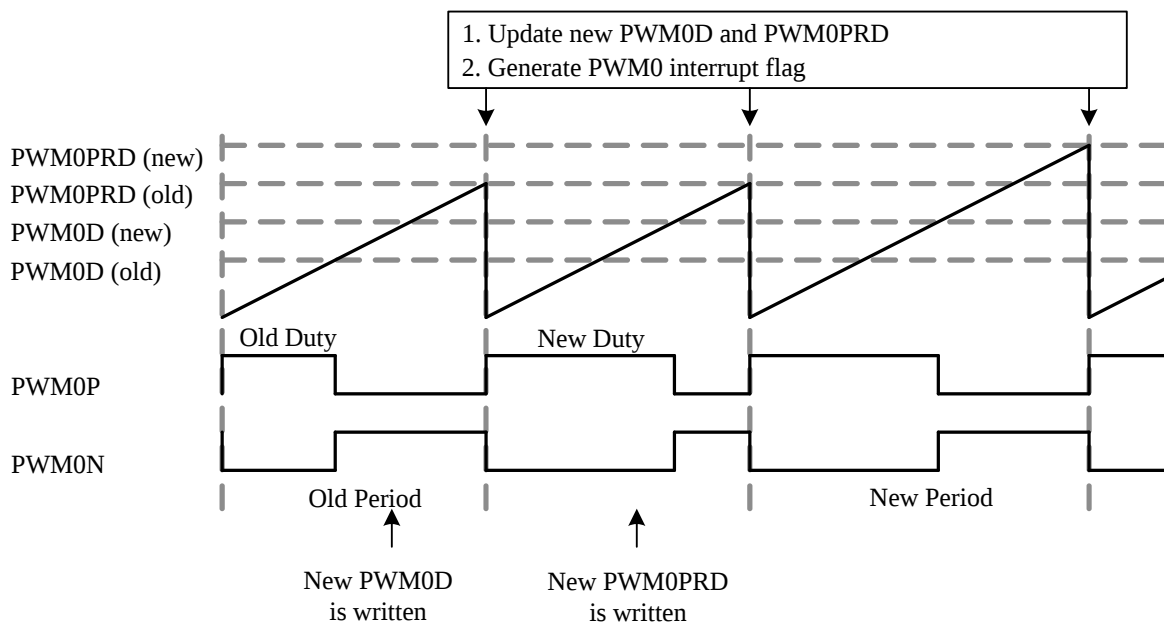


PWM0 结构

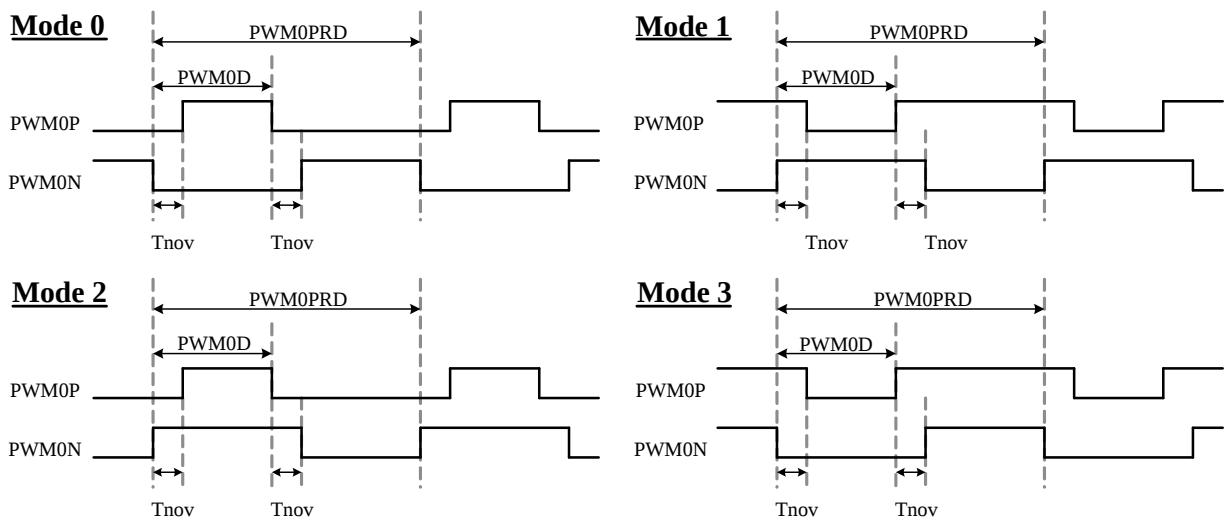
PWM0 有两种工作模式，正常模式和半桥模式。PWM0 输出信号可通过 PWM0P 和 PWM0N 输出，具有四种不同的模式。这两个输出与时间间隔 T_{nov} 不重叠。非重叠时间间隔也称为死区。通过设置 PWM0DZ 位确定 T_{nov} 。PWM0DZ 的 0~15 值分别映射到 0~15,16 个 PWM0CLK 周期。如果 PWM0DZ = 0, PWM0 输出直接传递到 PWM0P 和 PWM0N, 因此它们的波形具有相同的占空比。注意，如果 PWM0 输出的高脉冲宽度或低脉冲宽度短于 T_{nov} , 则这两个输出的实际波形将与预期波形不同。如果 PWM0MSKE 位置 1, 则可以屏蔽输出以强制输出固定信号，而 S / W 设置 CLRPWM0 位由 H / W 设置。

正常模式

正常模式 PWM0 是一种简单的结构，它以均匀的可重复间隔将其输出高和低切换。PWM0D 是输出占空比，输出周期为 $PWM0PRD + 1$ 。占空比必须满足此式：死区 $\leq$ 占空比 $\leq$ (周期-死区)。PWM0 的输出波形如下所示。



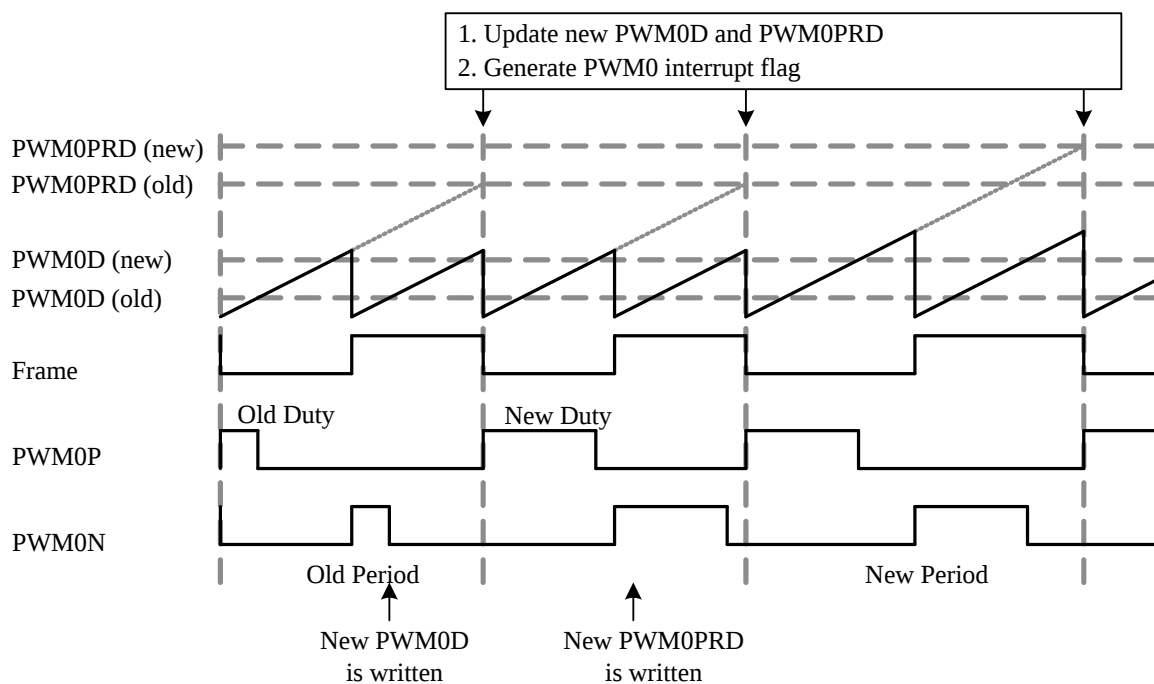
PWM0 正常模式输出波形 (PWM0OM=0, PWM0DZ=0)



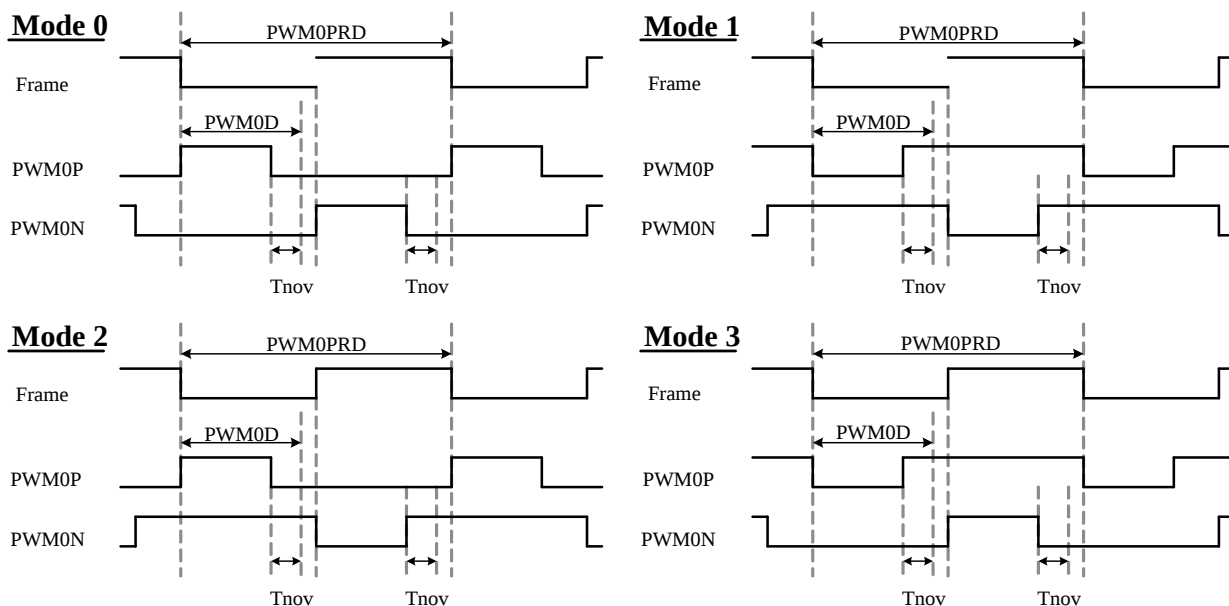
PWM0 正常模式输出模式

半桥模式

半桥模式 PWM0 类似于正常模式,但是禁用死区 (SFR PWM0DZ 必需设置为 0)。它在一个周期内有两个帧, PWM0P 仅在第一帧输出, PWM0N 仅在第二帧输出。这两个帧的宽度必须相同,因此它们的宽度是 $PWM0PRD / 2$ 的整数部分。由于每个输出通道仅在一帧中输出,因此最大占空比与帧的宽度相同。如果 PWM0D 大于 $PWM0PRD / 2$, H/W 将强制将占空比设置为 $PWM0PRD / 2$ 。下图显示了输出波形和输出模式



PWM0 半桥模式输出波形(PWM0OM=0, PWM0DZ=0)



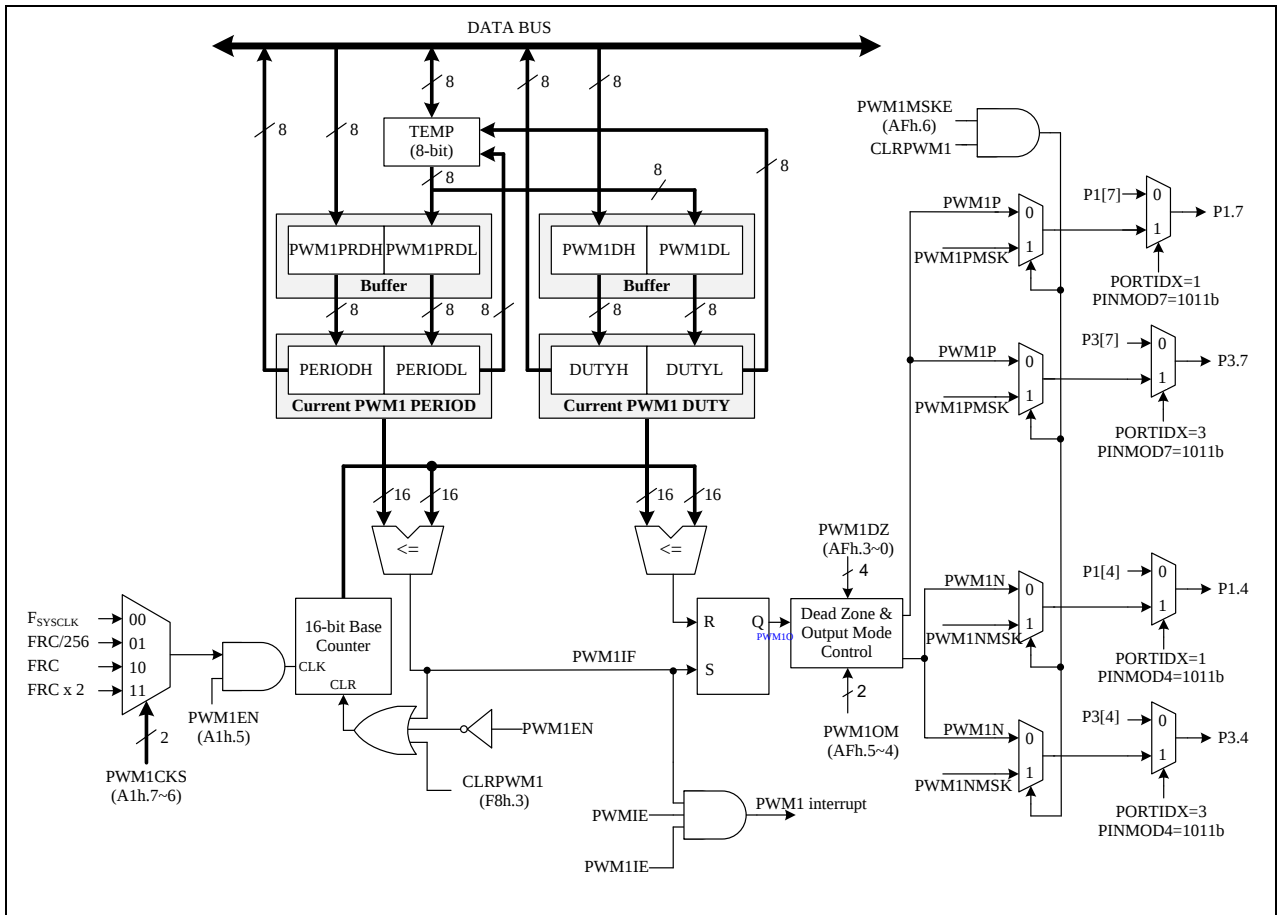
PWM0 半桥模式输出模式

10.2 PWM1 (PWM1P/PWM1N)

PWM1 和 PWM0 有相似的架构, 都有互补式的 PWM 输出 PWM1P/PWM1N。当 CLRPWM1 设置为 1 时, 将清除并保持 PWM1, 否则 PWM1 会维持运行。PWM1 的结构如下所示。PWM1 占空比可以通过写入 SFR PWM1DH 和 PWM1DL 来改变。每当 16 位的基数计数器与 16 位 PWM1 占空比寄存器 {PWM1DH, PWM1DL} 匹配时, PWM1 输出信号就会复位为低电平。PWM1 的周期可以通过写入 SFR PWM1PRDH 和 PWM1PRDL 来设置。写入 PWM 占空比或周期寄存器后,

新值将立即保存到其自己的缓冲区中。H/W 将在当前周期结束时或在 PWM1 清零时更新这些值。PWM1 有一个相应的中断标志，在周期结束时会产生一个中断标志。

PWM1DH, PWM1DL, PWM1PRDH 或 PWM1PRDL 为 16 位操作，程序在高字节和低字节写入和读取时，应该避免发生中断。假如在读写这些 16 位的寄存器其间发生中断。而中断内又对这些寄存器做读写。则容易造成读写的错误。16 位 PWM 周期与占空比的读写，建议只在主程序内更新数据，或只在中断内更新数据，以避免可能的错误产生。PWM1 结构如下所示

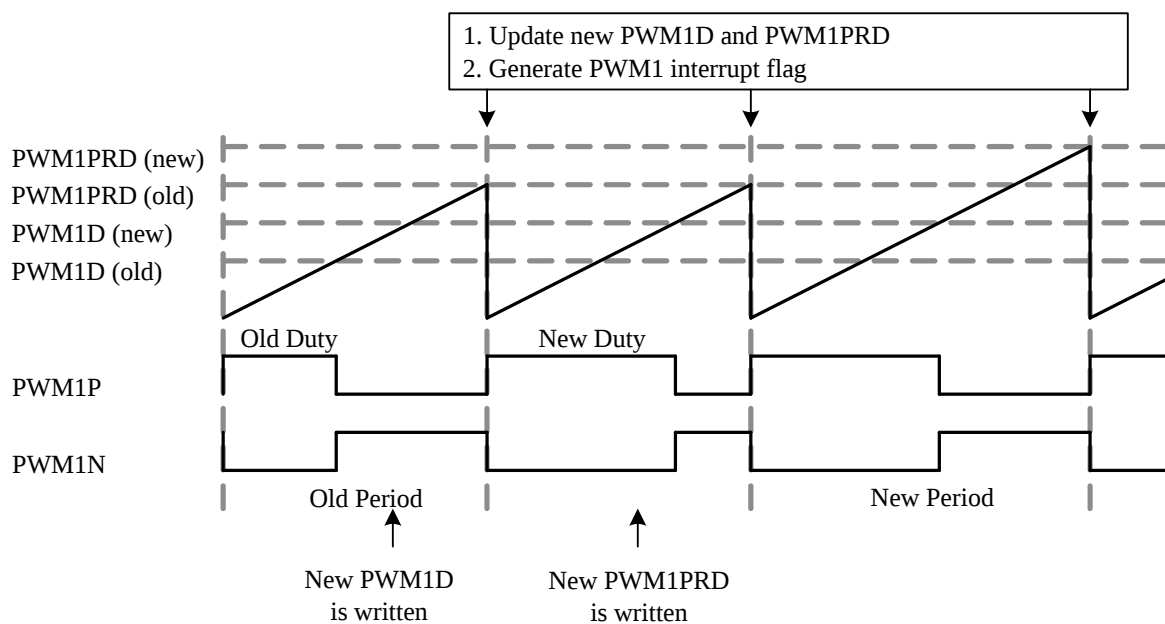


PWM1 结构

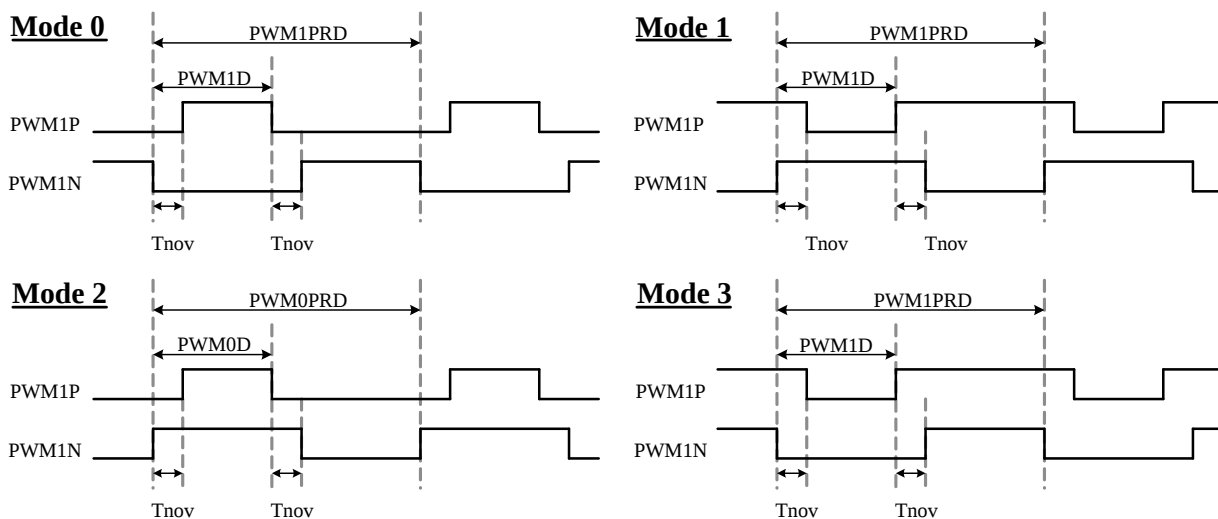
PWM1 有两种工作模式，正常模式和半桥模式。PWM1 输出信号可通过 PWM1P 和 PWM1N 输出，具有四种不同的模式。这两个输出与时间间隔 T_{nov} 不重叠。非重叠时间间隔也称为死区。通过设置 PWM1DZ 位确定 T_{nov} 。PWM1DZ 的 0~15 值分别映射到 0~15,16 个 PWM1CLK 周期。如果 PWM1DZ = 0，PWM1 输出直接传递到 PWM1P 和 PWM1N，因此它们的波形具有相同的占空比。注意，如果 PWM1 输出的高脉冲宽度或低脉冲宽度短于 T_{nov} ，则这两个输出的实际波形将与预期波形不同。如果 PWM1MSKE 位置 1，则可以屏蔽输出以强制输出固定信号，而 S/W 设置 CLR PWM1 位由 H/W 设置。

正常模式

正常模式 PWM1 是一种简单的结构，它以均匀的可重复间隔将其输出高和低切换。PWM1D 是输出占空比，输出周期为 PWM1PRD + 1。占空比必须满足此式：死区 ≤ 占空比 ≤ (周期 - 死区)。PWM1 的输出波形如下所示。



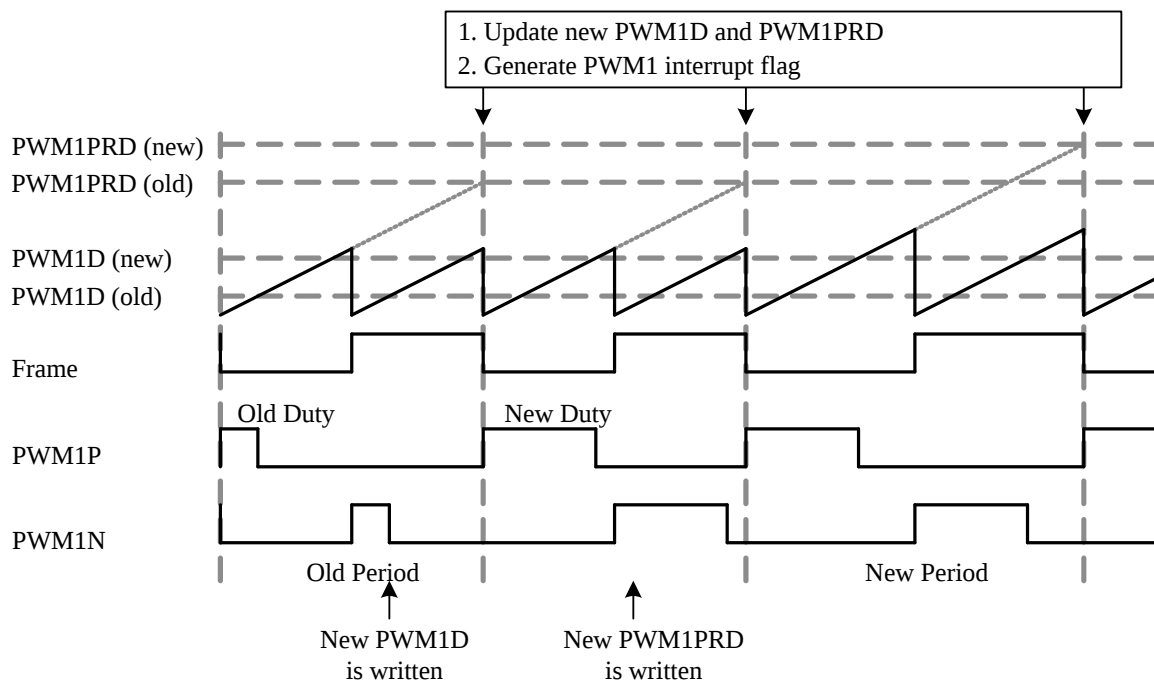
PWM1 正常模式输出波形 (PWM1OM=0, PWM1DZ=0)



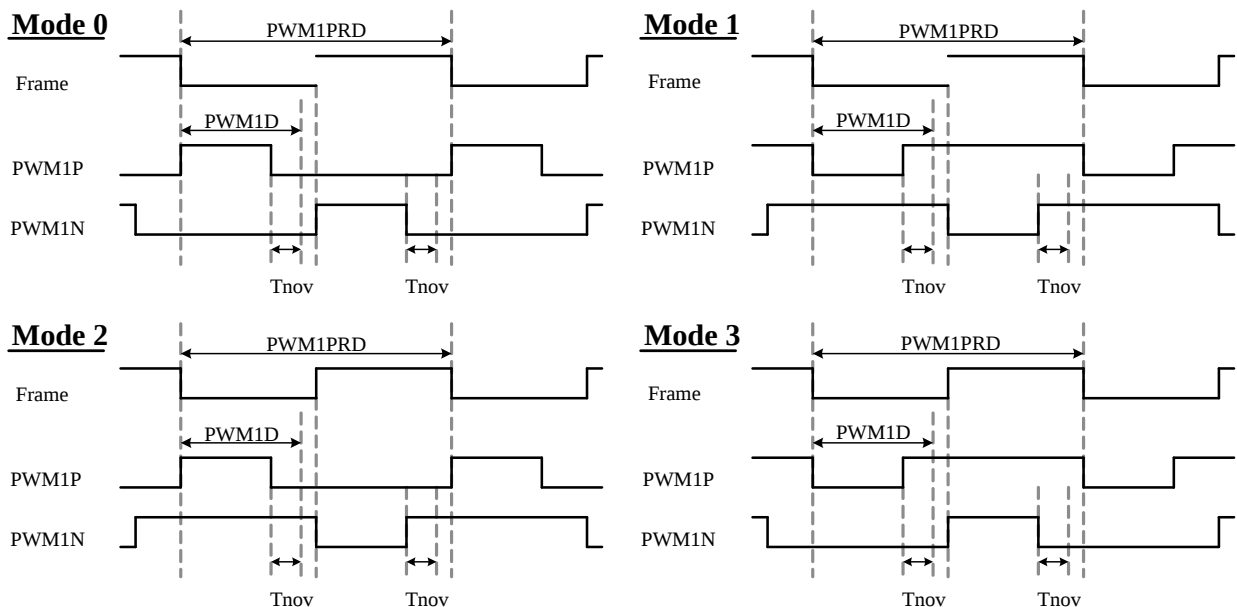
PWM0 正常模式输出模式

半桥模式

半桥模式 PWM0 类似于正常模式,但是禁用死区 (SFR PWM0DZ 必需设置为 0)。它在一个周期内有两个帧, PWM0P 仅在第一帧输出, PWM0N 仅在第二帧输出。这两个帧的宽度必须相同,因此它们的宽度是 $PWM0PRD / 2$ 的整数部分。由于每个输出通道仅在一帧中输出,因此最大占空比与帧的宽度相同。如果 PWM0D 大于 $PWM0PRD / 2$, H / W 将强制将占空比设置为 $PWM0PRD / 2$ 。下图显示了输出波形和输出模式



PWM1 半桥模式输出波形(PWM1OM=0, PWM1DZ=0)

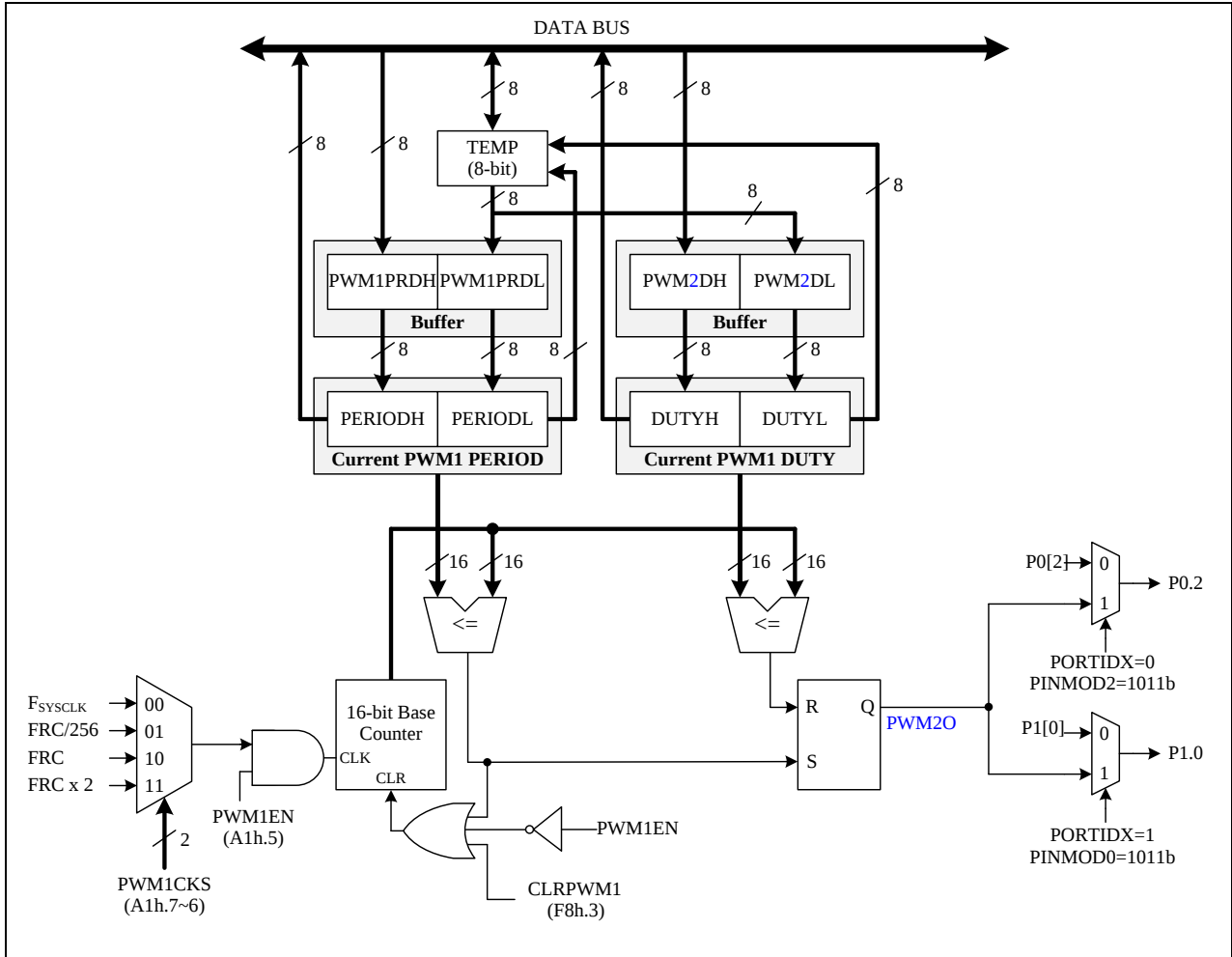


PWM1 半桥模式输出模式

10.3 PWM2~PWM5

PWM2~5 有近似于 PWM1 的架构，共享 PWM1 中断，时钟源和周期，但有各自独立使用的占空比且无死区设置。以下以 PWM2 为例进行说明。PWM2 可以根据 PWM1 时钟产生 65536 占空比分辨率的变化频率波形。PWM1 时钟可以选择双频（FRC x 2），FRC，FRC/256 或 FSYSClk 作为其时钟源。

PWM2 结构如下所示



PWM2 结构

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	I2CE	ES2	EEPIE	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.7 **PWMIE**: PWM0~1 中断使能

0: 禁止 PWM0~1 中断

1: 使能 PWM0~1 中断

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	—	—	—	—	—	PWM1IE	PWM0IE
R/W	—	—	—	—	—	—	R/W	R/W
Reset	—	—	—	—	—	—	0	0

84h.6 **PWM1IE**: PWM1 中断使能



0: 禁止

1: 使能

84h.5

PWM0IE: PWM0 中断使能

0: 禁止

1: 使能

SFR 86h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTPWM	—	—	—	—	—	—	PWM1IF	PWM0IF
R/W	—	—	—	—	—	—	R/W	R/W
Reset	—	—	—	—	—	—	0	0

86h.1

PWM1IF: PWM1 中断旗标

0: S/W 写入 0 清除

1: 周期结束由硬件设置

86h.0

PWM0IF: PWM0 中断旗标

0: S/W 写入 0 清除

1: 周期结束由硬件设置

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	PWM1CKS		PWM1EN	PWM0EN	PWM0CKS		PWM0NMSK	PWM0PMSK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A1h.7~6

PWM1CKS: PWM1 时钟源00: F_{SYSClk}

01: FRC/256

10: FRC

11: FRC x 2 (V_{CC} > 3.0V)

A1h.5

PWM1EN: PWM1~5 使能

0: PWM1~5 禁用

1: PWM1~5 使能

A1h.4

PWM0EN: PWM0 使能

0: PWM0 禁用

1: PWM0 使能

A1h.3~2

PWM0CKS: PWM0 时钟源00: F_{SYSClk}

01: FRC/256

10: FRC

11: FRC x 2 (V_{CC} > 3.0V)

A1h.1

PWM0NMSK: PWM0N 掩码数据。如果 CLRPWM0=1, PMW0MSKE=1, 则 PWM0N 将输出此掩码数据。

A1h.0

PWM0PMSK: PWM0P 掩码数据。如果 CLRPWM0=1, PMW0MSKE=1, 则 PWM0P 将输出此掩码数据。

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	PWM0MOD	PWM0MSKE	PWM0OM		PWM0DZ			
R/W	R/W	R/W	R/W		R/W			
Reset	0	0	0	0	0	0	0	0

A7h.7

PWM0MOD: PWM0 模式选择

0: 正常模式

1: 半桥模式

A7h.6

PWM0MSKE: 屏蔽输出使能

0: 禁用

1: 使能, 当 CLRPWM0 = 1 时, PWM0PMSK/PWM0NMSK 输出数据到 PWM0P/PWM0N

A7h.5~4

PWM0OM: PWM0 输出模式选择

00: Mode0

01: Mode1
10: Mode2
11: Mode3

A7h.3~0 **PWM0DZ**: PWM0 死区 (半桥模式时禁止使用死区)

0000: 禁用, $0 \times T_{PWMCLK}$

0001: $1 \times T_{PWMCLK}$

...

1111: $15 \times T_{PWMCLK}$

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON3	PWM1MOD	PWM1MSKE	PWM1OM		PWM1DZ			
R/W	R/W	R/W	R/W		R/W			
Reset	0	0	0	0	0	0	0	0

AFh.7 **PWM1MOD**: PWM1 模式选择

0: 正常模式

1: 半桥模式

AFh.6 **PWM1MSKE**: 屏蔽输出使能

0: 禁用

1: 使能, 当 CLRPWM1 = 1 时, PWM1PMSK/PWM1NMSK 输出数据到 PWM1P/PWM1N

AFh.5~4 **PWM1OM**: PWM1 输出模式选择

00: Mode0

01: Mode1

10: Mode2

11: Mode3

AFh.3~0 **PWM1DZ**: PWM1 死区 (半桥模式时禁止使用死区)

0000: 禁用, $0 \times T_{PWMCLK}$

0001: $1 \times T_{PWMCLK}$

...

1111: $15 \times T_{PWMCLK}$

SFR C1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM4DH	PWM4DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

C1h.7~0 **PWM4DH**: PWM4 占空比高字节

写入顺序: 先写 PWM4DL 再写 PWM4DH

读取顺序: 先读 PWM4DH 再读 PWM4DL

SFR C2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM4DL	PWM4DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

C2h.7~0 **PWM4DL**: PWM4 占空比低字节

写入顺序: 先写 PWM4DL 再写 PWM4DH

读取顺序: 先读 PWM4DH 再读 PWM4DL

SFR C3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM5DH	PWM5DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

C3h.7~0 **PWM5DH**: PWM5 占空比高字节

写入顺序: 先写 PWM5DL 再写 PWM5DH

读取顺序: 先读 PWM5DH 再读 PWM5DL

SFR C4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM5DL	PWM5DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

C4h.7~0 **PWM5DL**: PWM5 占空比低字节
写入顺序: 先写 PWM5DL 再写 PWM5DH
读取顺序: 先读 PWM5DH 再读 PWM5DL

SFR D1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D1h.7~0 **PWM0DH**: PWM0 占空比高字节
写顺序: 先写 PWM0DL, 然后再写 PWM0DH
读顺序: 先读 PWM0DH, 然后再读 PWM0DL

SFR D2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DL	PWM0DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D2h.7~0 **PWM0DL**: PWM0 占空比低字节
写顺序: 先写 PWM0DL, 然后再写 PWM0DH
读顺序: 先读 PWM0DH, 然后再读 PWM0DL

SFR D3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DH	PWM1DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D3h.7~0 **PWM1DH**: PWM1 占空比高字节
写顺序: 先写 PWM1DL, 然后再写 PWM1DH
读顺序: 先读 PWM1DH, 然后再读 PWM1DL

SFR D4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DL	PWM1DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D4h.7~0 **PWM1DL**: PWM1 占空比低字节
写顺序: 先写 PWM1DL, 然后再写 PWM1DH
读顺序: 先读 PWM1DH, 然后再读 PWM1DL

SFR D5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DH	PWM2DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D5h.7~0 **PWM2DH**: PWM2 占空比高字节
写顺序: 先写 PWM2DL, 然后再写 PWM2DH
读顺序: 先读 PWM2DH, 然后再读 PWM2DL

SFR D6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DL	PWM2DL							
R/W	R/W							

Reset	0	0	0	0	0	0	0	0
-------	---	---	---	---	---	---	---	---

D6h.7~0 **PWM2DL**: PWM2 占空比低字节
 写顺序: 先写 PWM2DL, 然后再写 PWM2DH
 读顺序: 先读 PWM2DH, 然后再读 PWM2DL

SFR D9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDH	PWM0PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

D9h.7~0 **PWM0PRDH**: PWM0 周期高字节
 写顺序: 先写 PWM0PRDL, 然后再写 PWM0PRDH
 读顺序: 先读 PWM0PRDH, 然后再读 PWM0PRDL

SFR DAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDL	PWM0PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DAh.7~0 **PWM0PRDL**: PWM0 周期低字节
 写顺序: 先写 PWM0PRDL, 然后再写 PWM0PRDH
 读顺序: 先读 PWM0PRDH, 然后再读 PWM0PRDL

SFR DBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDH	PWM1PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DBh.7~0 **PWM1PRDH**: PWM1 周期高字节
 写顺序: 先写 PWM1PRDL, 然后再写 PWM1PRDH
 读顺序: 先读 PWM1PRDH, 然后再读 PWM1PRDL

SFR DCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDL	PWM1PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DCh.7~0 **PWM1PRDL**: PWM1 周期低字节
 写顺序: 先写 PWM1PRDL, 然后再写 PWM1PRDH
 读顺序: 先读 PWM1PRDH, 然后再读 PWM1PRDL

SFR DDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3DH	PWM3DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

DDh.7~0 **PWM3DH**: PWM1 占空比高字节
 写顺序: 先写 PWM3DL, 然后再写 PWM3DH
 读顺序: 先读 PWM3DH, 然后再读 PWM3DL

SFR DEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3DL	PWM3DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

DEh.7~0 **PWM3DL**: PWM3 占空比低字节
 写顺序: 先写 PWM3DL, 然后再写 PWM3DH
 读顺序: 先读 PWM3DH, 然后再读 PWM3DL

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PORTIDX	—	—	—	—	—	—	PORTIDX	
R/W	—	—	—	—	—	—	R/W	
Reset	—	—	—	—	—	—	0	0

91h.1~0 **PORTIDX**: INTPIN, PINMOD10, PINMOD32, PINMOD54, PINMOD76 的引脚索引

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD10	PINMOD1				PINMOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A2h.7~4 **PINMOD1**: Px.1 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A2h.3~0 **PINMOD0**: Px.0 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD32	PINMOD3				PINMOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A3h.7~4 **PINMOD3**: Px.3 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A3h.3~0 **PINMOD2**: Px.2 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD54	PINMOD5				PINMOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A4h.7~4 **PINMOD5**: Px.5 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A4h.3~0 **PINMOD4**: Px.4 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD76	PINMOD7				PINMOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A5h.7~4 **PINMOD7**: Px.7 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A5h.3~0 **PINMOD6**: Px.6 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	1	0	1	0	0	0

F8h.5 **CLRPWM0:** PWM0 清除

0: 正在运行

1: PWM0 被清零并保持

F8h.4 **CLRPWM1:** PWM1/PWM2/PWM3/PWM4/PWM5 清除

0: PWM1/PWM2/PWM3/PWM4/PWM5 正在运行

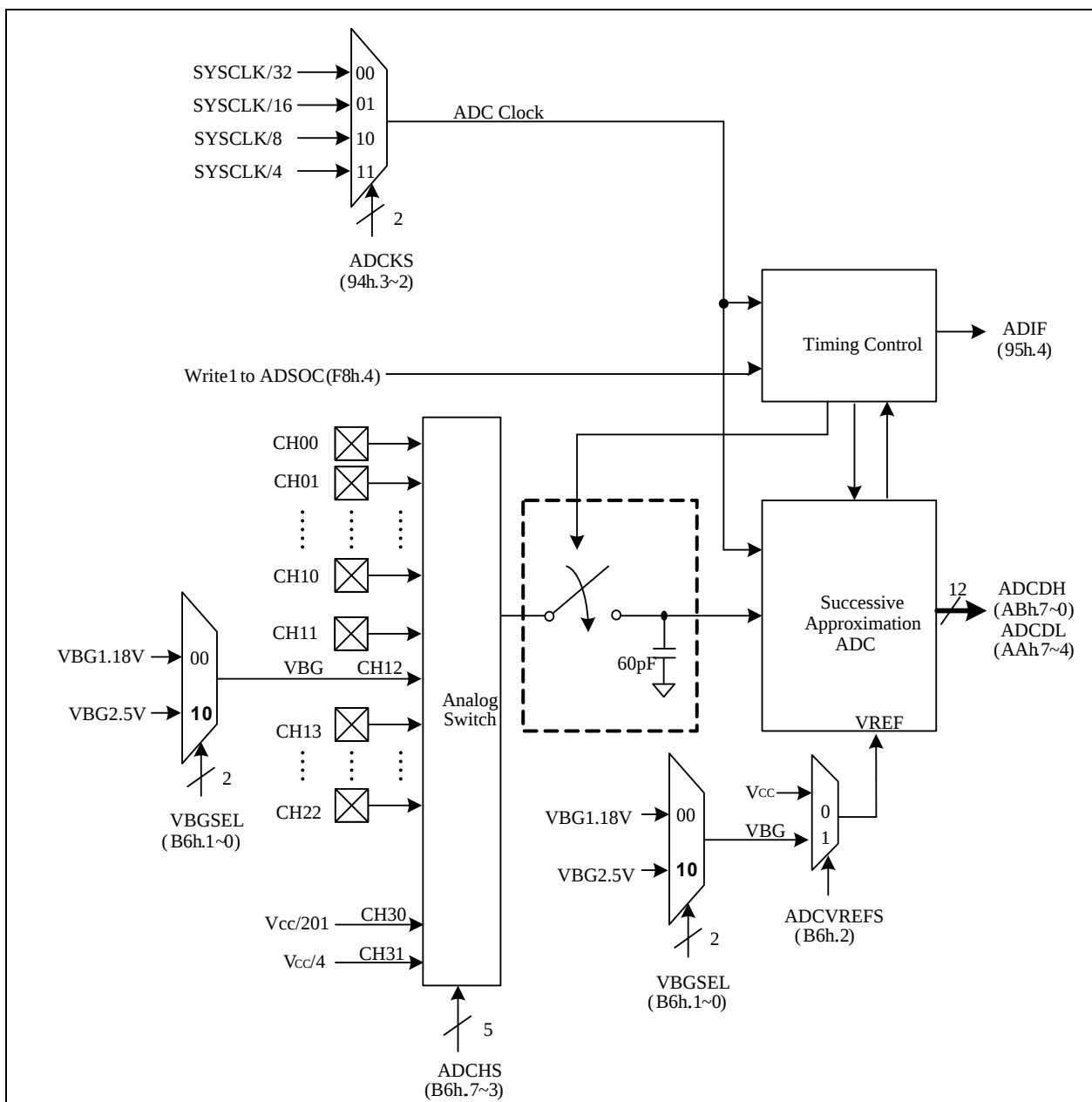
1: PWM1/PWM2/PWM3/PWM4/PWM5 被清零并保持

11. ADC

该芯片提供 12 位 ADC，由 22 通道模拟输入多路复用器、控制寄存器、时钟发生器、12 位逐次逼近寄存器和输出数据寄存器组成。通常，ADC 时钟频率小于 1 MHz，用户可以参考电气特性章节了解详细信息。

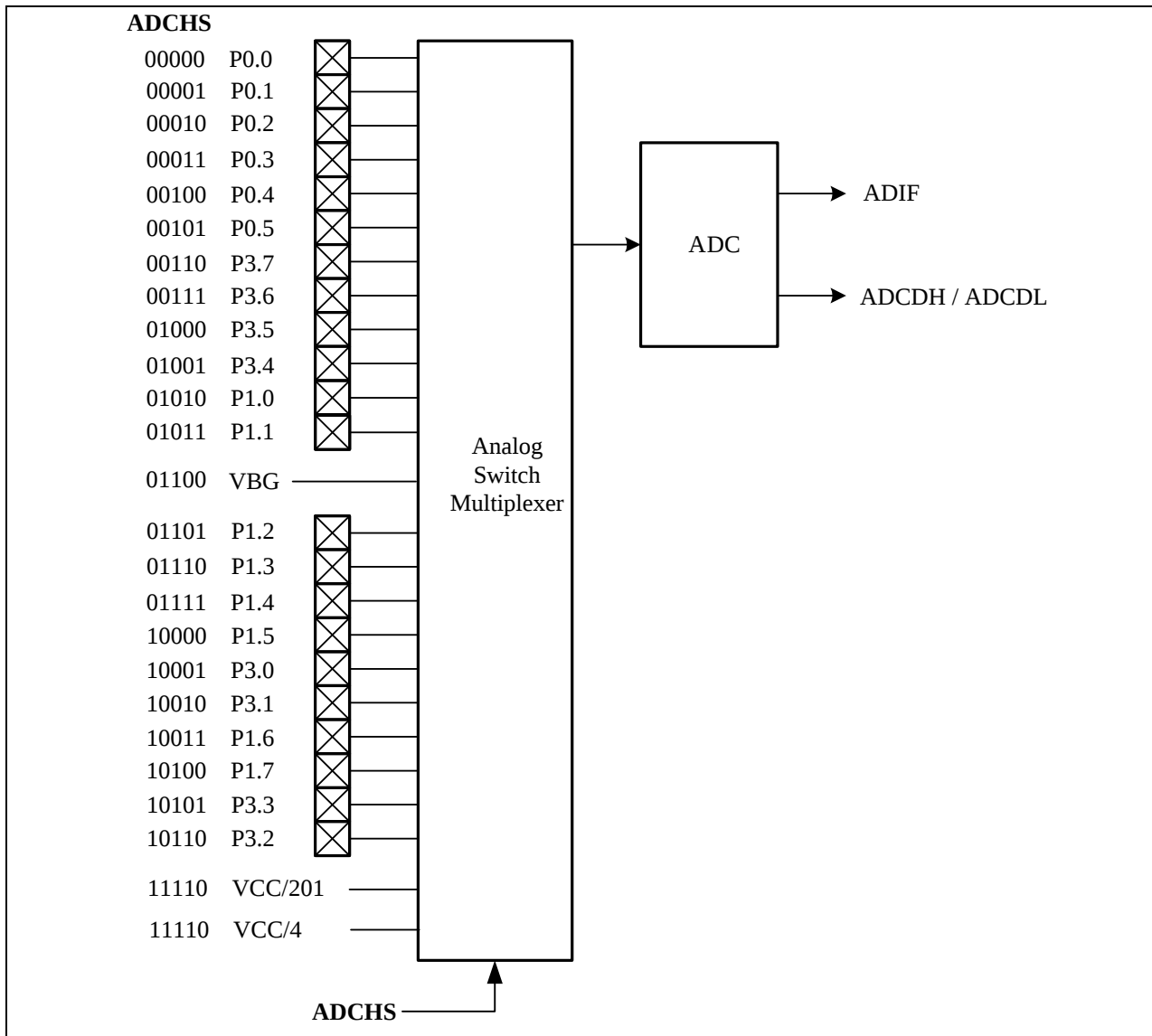
要使用 ADC，请先设置 ADCKS 位以选择合适的 ADC 时钟频率。然后，用户通过设置 ADSOC 位启动 ADC 转换，H/W 将在转换结束时自动清除它。转换结束后，如果使能 ADC 中断，H/W 将设置 ADIF 位并生成中断。ADIF 位可以通过向该位写入 0 或设置 ADSOC 位来清除。模拟输入电平必须保持在 VSS 至 VCC 的范围内。

使用 ADCVREFS 选项，ADC 内部基准电压源（VREF）可以选择为 VCC 或 VBG。当 ADCVREFS=1 时，设置 VBGSEL 来选择 VBG 为 1.18V 或 2.5V。上电复位后 VBG 初始是使用 2.5V 校准值，若要使用 VBG1.18V，F/W 需读取 SFR E4h (VBG1.18V 校准值)并且复制到 SFR F5h。



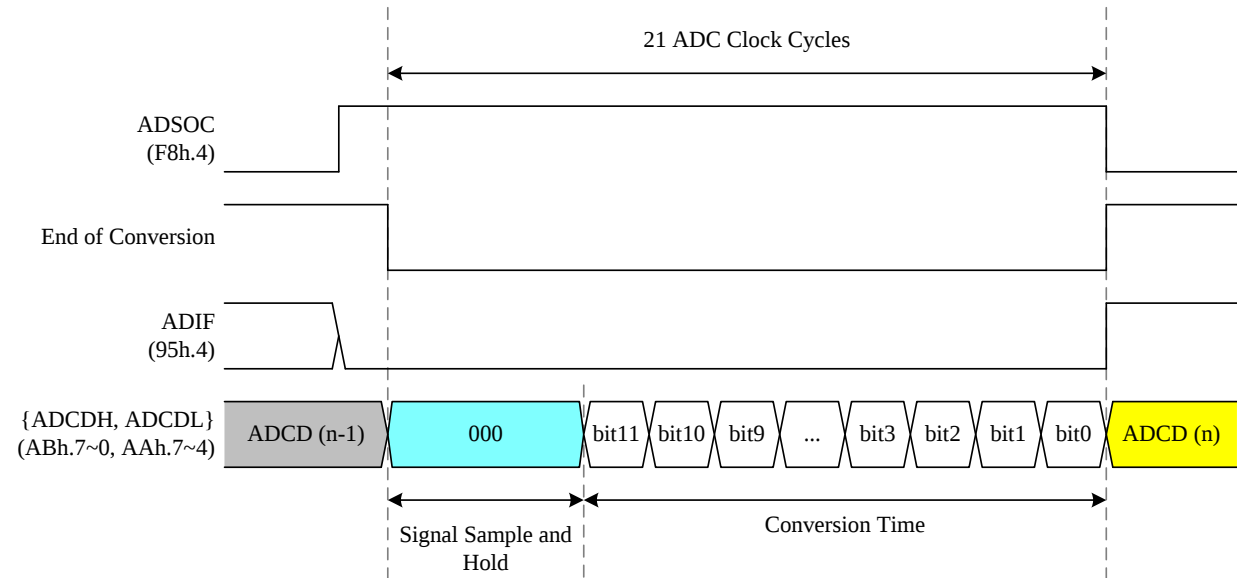
11.1 ADC 通道

ADC 通道通过类比开关多路复用器连接到类比输入引脚。类比开关多路复用器由 ADCHS 寄存器控制。该芯片提供多达 22 个 IO 输入引脚。此外，还有 4 个内部基准电压（VBG、VSS、VCC/4、VCC/201）。当 ADCHS 设置为 01100b 时，模拟输入将连接到 VBG，当 ADCHS 设置为 01101b 时，模拟输入将连接到 P1.2 输入引脚，此时还须将 P1.2 设置为 ADC 信道模式。如 PORTIDX = 1，且 PINMOD32 低 4 位设置为 0011。



11.2 ADC 转换时间

转换时间是 ADC 转换电压所需要的时间。执行完整的转换总共需要 21 个 ADC 时钟周期。当转换时间结束，H/W 会产生 ADIF 中断标志，并将 12 位 A/D 转换结果加载到 ADCDH 和 ADCDL 寄存器。



SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	I2CE	ES2	EEPIE	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.3 **ADIE**: ADC 中断使能控制
 0:禁用 ADC 中断
 1:允许 ADC 中断

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	—	TM3CKS	WDTPSC		ADCKS		PWM1NMSK	PWM1PMSK
R/W	—	R/W	R/W		R/W		R/W	R/W
Reset	—	0	0	0	0	0	0	0

94h.3~2 **ADCKS**: ADC 时钟频率选择
 00: F_{SYSClk}/32
 01: F_{SYSClk}/16
 10: F_{SYSClk}/8
 11: F_{SYSClk}/4

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	—	—	PCIF	TF3
R/W	R/W	R/W	R	R/W	—	—	R/W	R/W
Reset	0	0	0	0	—	—	0	0

95h.4 **ADIF**: ADC 中断标志
 于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

注: S/W 可以写 0 清除 INTFLG 中的标志, 但写 1 没有任何效果。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDL	ADCDL				—	—	—	—
R/W	R				—	—	—	—
Reset	—	—	—	—	—	—	—	—

AAh.7~4 **ADCDL**: ADC 数据位 3~0

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDH	ADCDH							
R/W	R							
Reset	—	—	—	—	—	—	—	—

ABh.7~0 **ADCDH**: ADC 数据位 11~4

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCHSEL	ADCHS					ADCVREFS	VBGSEL	
R/W	R/W					R/W	R/W	
Reset	1	1	1	1	1	0	0	0

B6h.4~0 **ADCHS**: ADC 通道选择

00000: CH0 (P0.0)	01101: CH13 (P1.2)
00001: CH1 (P0.1)	01110: CH14 (P1.3)
00010: CH2 (P0.2)	01111: CH15 (P1.4)
00011: CH3 (P0.3)	10000: CH16 (P1.5)
00100: CH4 (P0.4)	10001: CH17 (P3.0)
00101: CH5 (P0.5)	10010: CH18 (P3.1)
00110: CH6 (P3.7)	10011: CH19 (P1.6)
00111: CH7 (P3.6)	10100: CH20 (P1.7)
01000: CH8 (P3.5)	10101: CH21 (P3.3)
01001: CH9 (P3.4)	10110: CH22 (P3.2)
01010: CH10 (P1.0)	others: 保留
01011: CH11 (P1.1)	11110: VCC/201
01100: CH12 VBG (内部带隙参考电压源)	11111: VCC/4

B6h.2 **ADCVREFS**: ADC 参考电压选择

0: VCC
1: VBG

B6h.1~0 **VBGSEL**: VBG 电压选择

00: 1.18V (须读取 SFR E4 写到 SFR F5)
10: 2.5V

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PORTIDX	—	—	—	—	—	—	PORTIDX	
R/W	—	—	—	—	—	—	R/W	
Reset	—	—	—	—	—	—	0	0

91h.1~0 **PORTIDX**: INTPIN, PINMOD10, PINMOD32, PINMOD54, PINMOD76 的引脚索引

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD10	PINMOD1				PINMOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A2h.7~4 **PINMOD1**: Px.1 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A2h.3~0 **PINMOD0**: Px.0 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD32	PINMOD3				PINMOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A3h.7~4 **PINMOD3**: Px.3 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A3h.3~0 **PINMOD2**: Px.2 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD54	PINMOD5				PINMOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A4h.7~4 **PINMOD5**: Px.5 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A4h.3~0 **PINMOD4**: Px.4 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD76	PINMOD7				PINMOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A5h.7~4 **PINMOD7**: Px.7 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A5h.3~0 **PINMOD6**: Px.6 引脚控制，端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

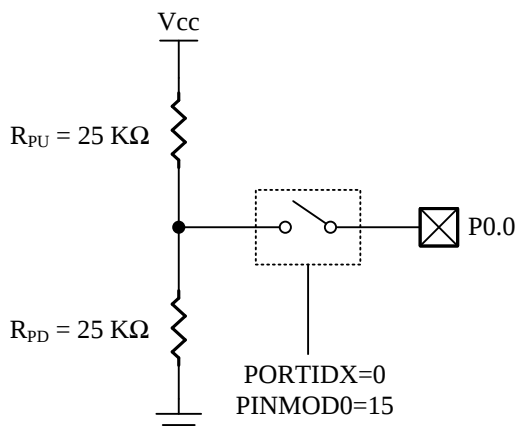
SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	1	0	1	0	0	0

F8h.4 **ADSOC**: 启动 ADC 转换

设置 ADSOC 位启动 ADC 转换，ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

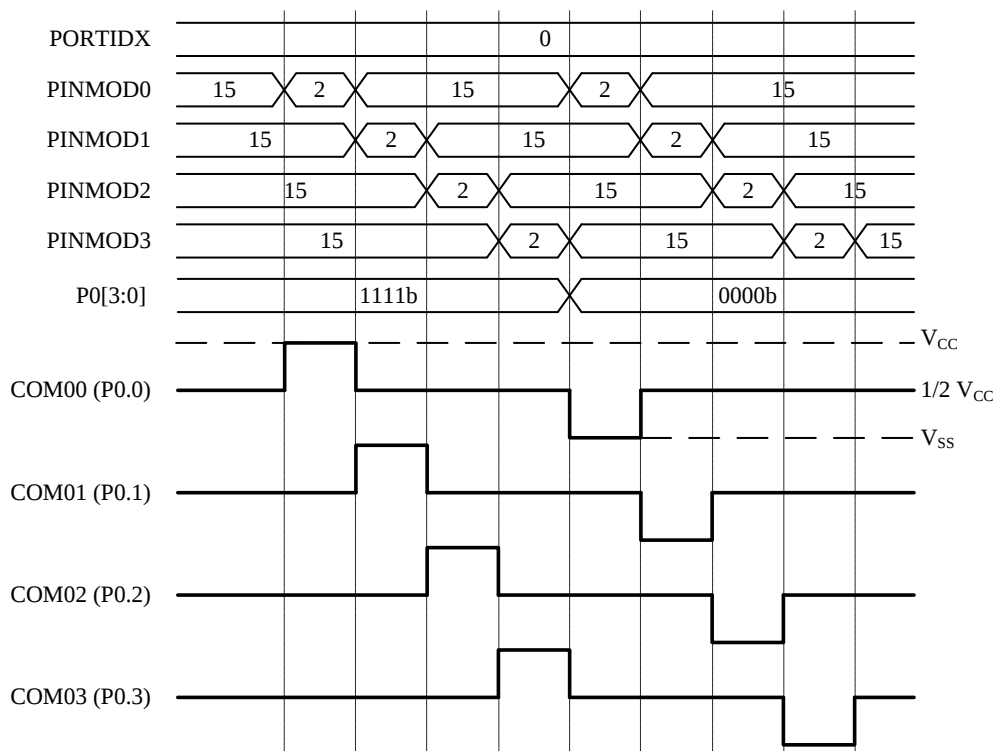
12. S/W 控制的 LCD 驱动器

TM52F5024 支持由 S/W 控制的 LCD 驱动器。所有的 I/O 引脚都能够设置为 COM，用户可以灵活调整 COM 引脚和 SEG 引脚，通过 11 个 Commons (COM) 和 11 个 Segments (SEG) 驱动 (最大)121 点的 LCD 面板。P0.0~P0.5 可设置为 COM00~COM05。P1.0~P1.7 可设置为 COM10~COM17。P3.0~P3.7 可设置为 COM30~COM37。而剩余的引脚用来当做 SEG。**TM52F5024** 的 LCD 驱动器仅能驱动 1/2 偏压，透过设置相应的引脚模式为模式 15 来达成 (参见第 7 节)。相关电路请参考下图。



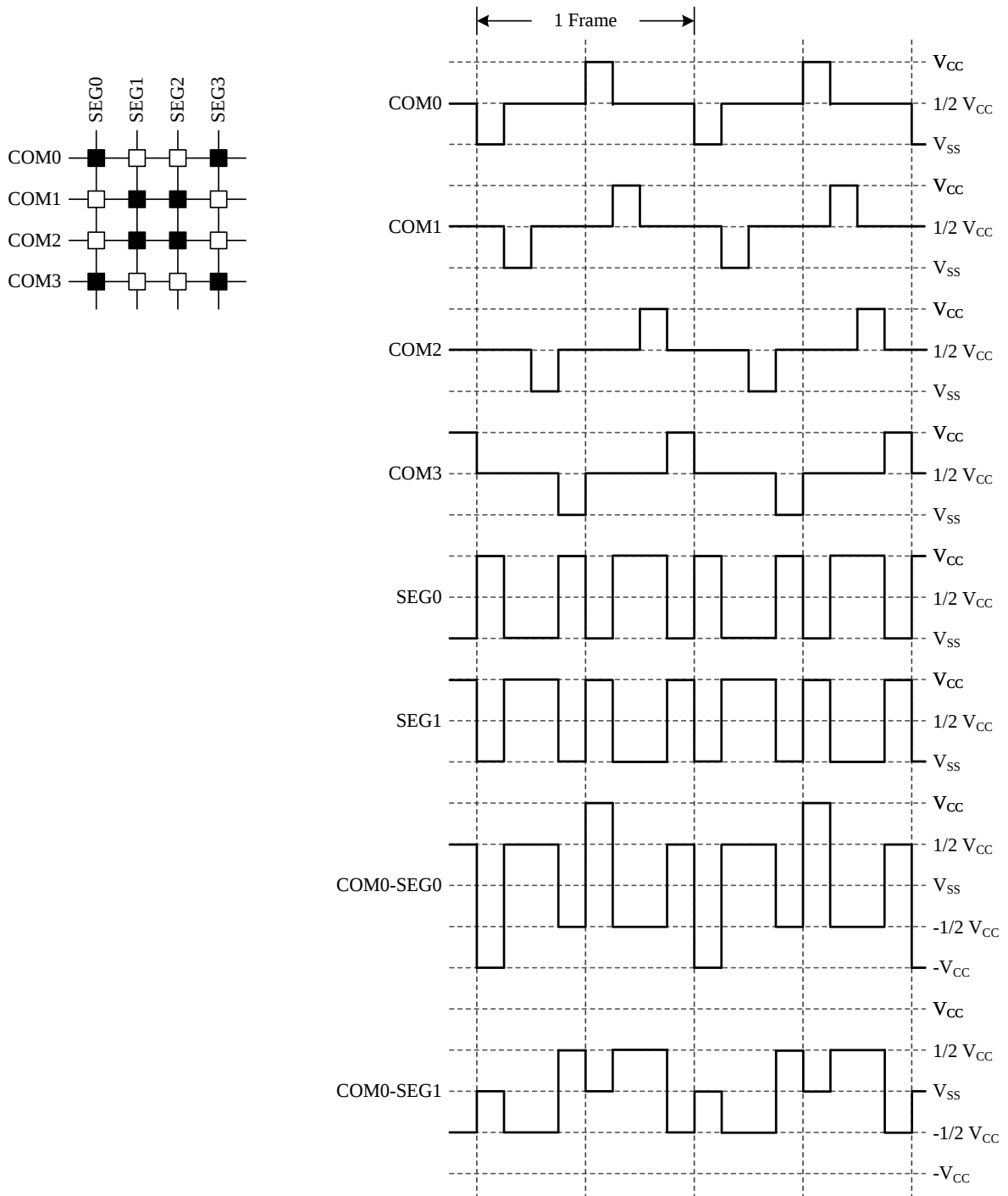
LCD COM00偏压电路

任何 COM 引脚上的重复波形输出的频率可以用来表示 LCD 的帧速率。下图显示了一个 LCD 帧。



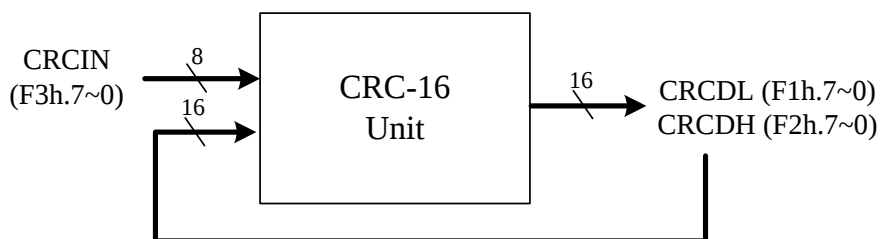
S/W 控制的 LCD COM00~03 扫描

1/4 占空比,1/2 偏压输出波形



13. 循环冗余校验码(CRC)

此芯片支持 16 位的循环冗余校验功能。循环冗余校验（CRC）计算单元是一种错误检测技术测试算法，用于验证数据传输或存储数据的正确性。CRC 计算采用 8 位数据流或数据块作为输入，并产生 16 位输出余数。数据流由同一生成多项式计算。



CRC 框图

CRC 生成器提供了基于 CRC-16-IBM 多项式的 16 位 CRC 结果计算。在这个 CRC 生成器中，只有一个多项式(如下)可用于数值计算，它不支持其他任何多项式的 16 位 CRC 计算。对 CRCIN 寄存器的每次写入操作，将被创建存储在 CRCDH 和 CRCDL 寄存器中的前一个 CRC 值的组合中，这将需要一个 MCU 指令周期来计算。

IBM 的 CRC-16 多项式表示（Modbus）： $X^{16} + X^{15} + X^2 + 1$

SFR F1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDL	CRCDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F1h.7~0 CRCDL: 16 位 CRC 校验和数据位 7~0

SFR F2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDH	CRCDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F2h.7~0 CRCDL: 16 位 CRC 校验和数据位 15~8

SFR F3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCIN	CRCIN							
W	W							
Reset	—	—	—	—	—	—	—	—

F3h.7~0 CRCIN: CRC 输入数据寄存器

14. 乘法器和除法器

该芯片提供的乘法器和除法器具有以下功能。8 位操作与标准 8051 完全兼容。

- 8 位 $\times$ 8 位 = 16 位（标准 8051）
- 8 位 $\div$ 8 位 = 8 位，余数 8 位（标准 8051）
- 16 位 $\times$ 16 位 = 32 位
- 16 位 $\div$ 16 位 = 16 位，余数 16 位
- 32 位 $\div$ 16 位 = 32 位，余数 16 位

无论是 8 位/16 位/32 位操作，都可以通过 MUL AB 和 DIV AB 指令轻松执行。对于 16 位/ 32 位乘法和除法运算，还有额外的 SFR EXA/EXA2/EXA3/EXB。对于 8 位乘法器/除法器操作，请确保 SFR 位 MULDIV16 = 0 和 DIV2 = 0。

对于 16 位乘法器操作被乘数，乘数和乘积如下。16 位乘法器需要 16 个系统时钟周期才能执行。

条件	SFR MULDIV16=1 和 DIV32=0			
乘法	字节3	字节2	字节1	字节0
被乘数	-	-	EXA	A
乘数	-	-	EXB	B
乘积	EXB	B	A	EXA
OV	乘积(EXB or B) !=0			-

对于 16 位除法器操作被除数，除数，商，余数如下。16 位除法器需要 16 个系统时钟周期来执行。

条件	SFR MULDIV16=1 和 DIV32=0			
除法	字节3	字节2	字节1	字节0
被除数	-	-	EXA	A
除数	-	-	EXB	B
商	-	-	A	EXA
余数	-	-	B	EXB
OV	除数 EXB = B =0			

对于 32 位 $\div$ 16 位运算被除数，除数，商，余数的读取方式如下。32 位除法器需要 32 个系统时钟周期来执行。

条件	SFR bit MULDIV16=1 and DIV32=1			
除法	字节3	字节2	字节1	字节0
被除数	EXA3	EXA2	EXA	A
除数	-	-	EXB	B
商	A	EXA	EXA2	EXA3
余数	-	-	B	EXB
OV	除数 EXB=B =0			

SFR CEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA2	EXA2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CEh.7~0 **EXA2:** 扩充累加器 2

SFR CFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA3	EXA3							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CFh.7~0 **EXA3:** 扩充累加器 3

SFR E6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA	EXA							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E6h.7~0 **EXA:** 扩充累加器

SFR E7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXB	EXB							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E7h.7~0 **EXB:** 扩充 B 寄存器

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.3 **DIV32:** (仅在 MULDVI16 = 1 时有效)

0: 指令 DIV 作为 16/16 位除法运算

1: 指令 DIV 作为 32/16 位除法运算

F7h.0 **MULDIV16:**

0: 指令 MUL/DIV 为 8 * 8, 8/8 操作

1: 指令 MUL/DIV 为 16 * 16、16/16 或 32/16 操作

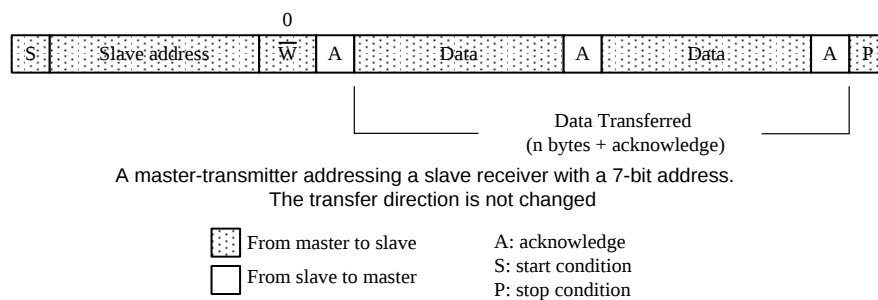
ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
MUL AB	Multiply A by B	1	8/16	A4
DIV AB	Divide A by B	1	8/16/32	84

15. 主 I²C 接口

主 I²C 接口传输模式:

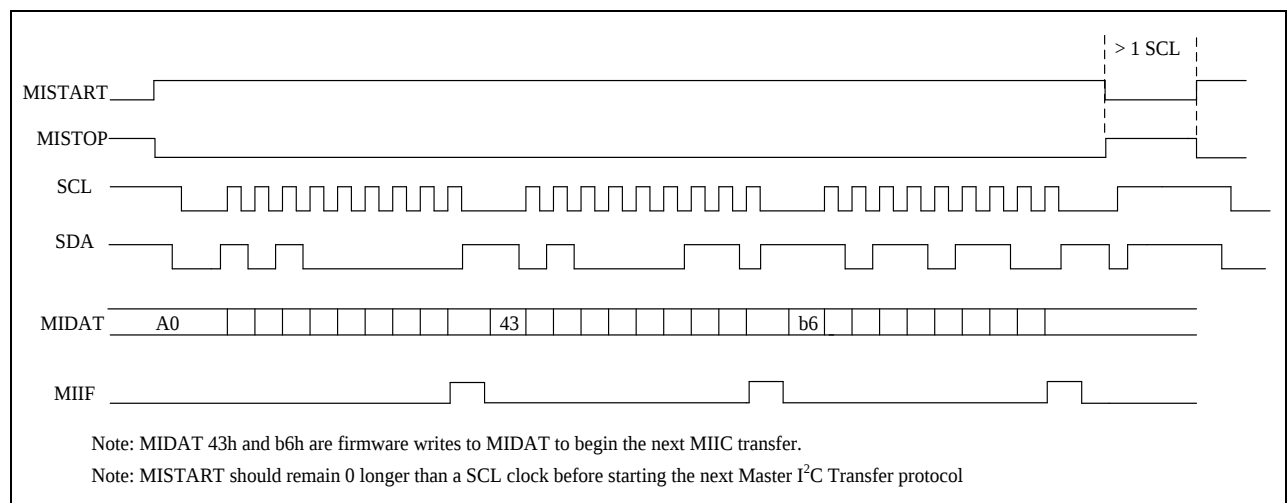
一开始先时将从机地址和方向位写入 MIDAT 并设置 MISTART。在 MISTART 设置之后，将发送 7 位从地址和一位方向位到从机。等待直到 MIIF 转换为 1 时，代表地址和方向位传输完成，用户应清除 MIIF 并写入数据到 MIDAT 以开始第一次数据传输。当 MIIF 转换为 1 时，代表数据传输到从机完成。用户可以再次写入数据到 MIDAT 以将开始下一次数据传输到从机。设置 MISTOP 以完成传送模式。主 I²C 时钟频率选择需限制在 260KHz 以下

在数据传输时，MISTART 必须保持为 1。并在最终数据发送/接收之后，设置 MISTOP 以完成发送/接收协议。在重新启动主 I²C 传送接收协议之前，MISTART 应保持为 0，且等待时间大于 SCL 时钟后才可进行下一次传送接收。SCL 时钟可通过 MICR 进行调整。



主 I²C 传送流程:

- (1) 将从机地址和方向位写入 MIDAT
- (2) 清除 MISTOP 并设置 MISTART 以启动 I²C 传输
- (3) 等到 MIIF 转换为 1 时(根据用户要求发出中断)，清除 MIIF
- (4) 将数据写入 MIDAT 以开始下一次传输(MISTART 必须保持为 1)
- (5) 等到 MIIF 转换为 1 时(根据用户要求发出中断)，清除 MIIF，循环(4)~(5)进行下一次传输
- (6) 清除 MISTART，设置 MISTOP 以停止 I²C 传输



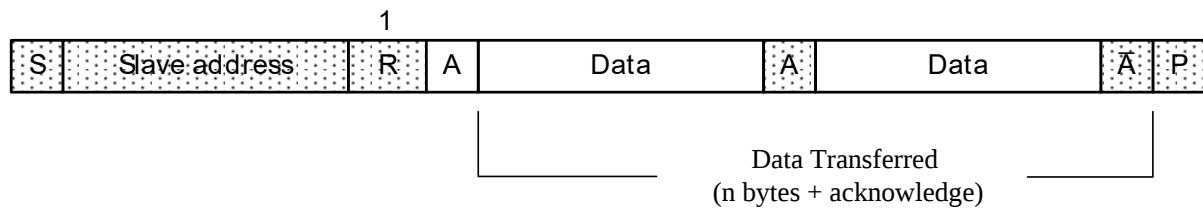
主发送时序

注：在开始下一个主 I²C 协议之前，MISTART 应该保持 0 比 SCL 周期更长。

I²C 主接口接收模式:

一开始先将从机地址和方向位写入 MIDAT 并设置 MISTART。在 MISTART 设置之后，将发送 7 位从机地址和一位方向位到从机。当 MIIF 转换为 1 时，代表地址和方向位传输完成。用户应清除 MIIF 并读取 MIDAT 以开始第一次接收数据（此时尚未完成接收数据，应丢弃读入的 MIDAT）。当 MIIF 转换为 1 时，代表对从机接收的数据已完成。用户可以读取 MIDAT 以得到接收数据，硬件会同时开始下一次接收。设置 MISTOP 以完成接收模式。

在数据传输时，MISTART 必须保持为 1。并在最终数据发送/接收之后，设置 MISTOP 以完成发送/接收协议。在重新启动主 I²C 传送接收协议之前，MISTART 应保持为 0，且等待时间大于 SCL 时钟后才可进行下一次传送接收。SCL 时钟可通过 MICR 进行调整。



A master reads a slave immediately after the first byte

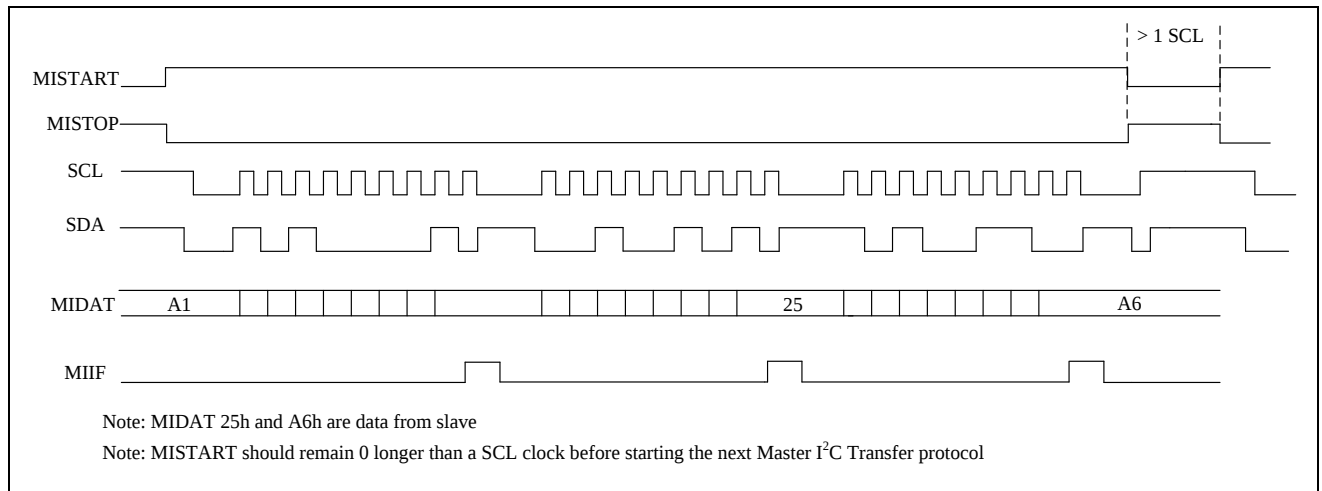
	From master to slave	A: acknowledge	$\bar{A}$: Non acknowledge
	From slave to master	S: start condition	P: stop condition

主 I²C 接收流程:

- (1) 将从机地址和方向位写入 MIDAT
- (2) 清除 MISTOP 并设置 MISTART 以启动 I²C 传输
- (3) 等到 MIIF 转换为 1 时(根据用户要求发出中断)，清除 MIIF
- (4) 读取 MIDAT 以开始第一次接收数据（此时尚未完成接收数据，应丢弃读入的 MIDAT）
- (5) 等到 MIIF 转换为 1 时(根据用户要求发出中断)，清除 MIIF
- (6) 读取 MIDAT 以得到接收数据，循环(5)~(6)进行下一次接收

如为最后 1 笔需先将 MIACKO 以及 MISTOP 設置好，再读取 MIDAT

- (7) 设置 MISTOP 以停止 I²C 传输



主接收时序

I ² C 功能引脚	PINMODxx	Px.n SFR data	引脚状态
I ² C Master SCL	0000	X	时钟输出（开漏输出）
	xx10	X	时钟输出（CMOS 推挽）
I ² C Master SDA	0000	1	数据（上拉）

主 I²C 的引脚模式设置

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	HSNK2EN	HSNK1EN	HSNK0EN	I2CPS	UART2PS		UART1PS	
R/W	R/W	R/W	R/W	R/W	R/W		R/W	
Reset	0	0	0	0	0	0	0	0

A6h.4 **I2CPS: I²C 引脚选择**
0: SCL/SDA = P0.0/P0.1
1: SCL/SDA = P3.0/P3.1

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	I2CE	ES2	—	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
Reset	0	0	0	—	0	0	0	0

A9h.6 **I2CE: I²C 中断使能**
0: 禁用 I²C 中断
1: 使能 I²C 中断

SFR E1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	0	0

E1h.7 **MIEN: 主 I²C 使能**
0: 禁用
1: 使能

E1h.6 **MIACKO: 当主 I²C 接收数据时, 向 I²C 总线发送 ACK**
0: ACK 到从机
1: NACK 到从机

E1h.5 **MIIF: 主 I²C 中断标志**
当主 I²C 发送或接收一个字节完成时, 由 H/W 设置。向该位写入"0"将清除该标志

- E1h.4 **MIACKI**: 当主 I²C 传输时, ACK 来自 I²C 总线 (只读)
0: 收到 ACK
1: 收到 NACK
- E1h.3 **MISTART**: 主 I²C 起动位
1: 启动 I²C 总线传输
- E1h.2 **MISTOP**: 主 I²C 停止位
1: 发送停止信号以停止 I²C 总线
- E1h.1~0 **MICR**: 主 I²C 时钟频率选择;
00: F_{SYSCLK}/4 (例如, 如果 F_{SYSCLK}=16MHz, I²C 时钟为 4 MHz)
01: F_{SYSCLK}/16 (例如, 如果 F_{SYSCLK}=16MHz, I²C 时钟为 1 MHz)
10: F_{SYSCLK}/64 (例如, 如果 F_{SYSCLK}=16MHz, I²C 时钟为 250 KHz)
11: F_{SYSCLK}/256 (例如, 如果 F_{SYSCLK}=16MHz, I²C 时钟为 62.5 KHz)
注意:主 I²C 时钟频率选择需限制在 260KHz 以下.
即当 F_{SYSCLK}=16MHz 时不能选择 00/01(除 4 和除 16)的选项

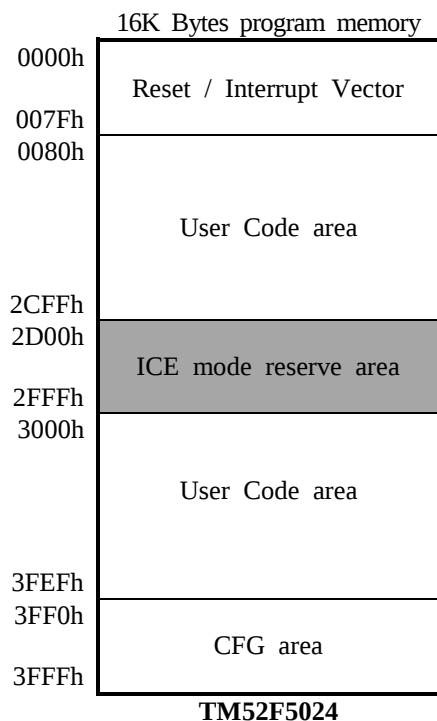
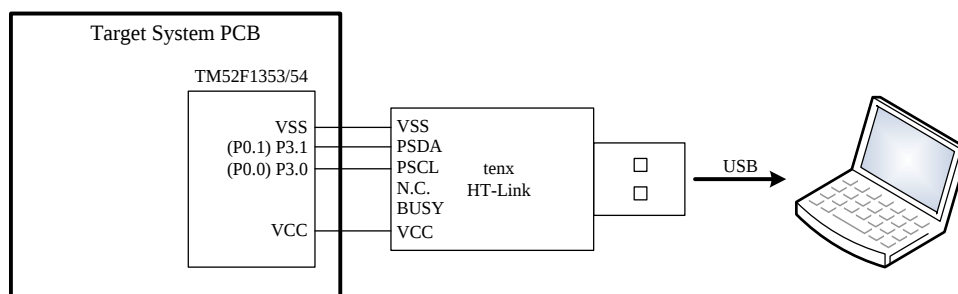
SFR E2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MIDAT	MIDAT							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- E2h.7~0 **MIDAT**: 主 I²C 数据移位寄存器
(写): 在开始条件之后和停止条件之前, 写入该寄存器将恢复向 I²C 总线的传输
(读): 在开始条件之后和停止条件之前, 读取该寄存器将恢复从 I²C 总线的接收

16. 在线仿真器(ICE)模式

该设备可以支持在线仿真模式。要使用 ICE 模式，用户只需将 P3.0 和 P3.1 引脚连接到 tenx 专有 EV 模块。好处是用户可以仿真整个系统，而无需更改板载目标设备。但是 ICE 模式有一些限制，如下所示。

1. 设备必须处于未保护状态。
2. 设备的 P3.0 和 P3.1 引脚必须在输入模式下工作。
3. Tenx EV 模块占用了程序存储器的寻址空间 2D00h~2FFFh 和 0033h~003Ah。因此，用户程序无法访问这些空间。
4. 无法模拟 HT-Link 通信引脚的功能。
5. P3.0 和 P3.1 引脚可以替换为 P0.0 和 P0.1 (仅仿真时可以替换)。
6. VDD 电平由 HT-Link 模块控制。



SFR & CFGW 映像

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	0000-0000	P0	–	–	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
84h	xxxx-xx00	INTE2	–	–	–	–	–	–	PWM1IE	PWM0IE
85h	xxxx-0x00	INTPORT	–	–	–	–	P3IF	–	P1IF	P0IF
86h	xxxx-x000	INTPWM	–	–	–	–	–	–	PWM1IF	PWM0IF
87h	0xxx-0000	PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
8Eh	0100-0000	SCON2	SM	–	–	REN2	TB82	RB82	TI2	RI2
8Fh	xxxx-xxxx	SBUF2	SBUF2							
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	xxxx-xx00	PORTIDX	–	–	–	–	–	–	PORTIDX	
93h	0000-0000	UARTCON	UART2PS				–	UARTPS		
94h	0000-0000	OPTION	–	TM3CKS	WDTPSC		ADCKS		PWM1NMSK	PWM1PMSK
95h	0000-xx00	INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	–	–	PCIF	TF3
96h	0000-0000	INTPIN	PIN7IF	PIN6IF	PIN5IF	PIN4IF	PIN3IF	PIN2IF	PIN1IF	PIN0IF
97h	xxxx-xx00	SWCMD	SWRST / IAPALL / WDTO							
98h	0000-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
99h	xxxx-xxxx	SBUF	SBUF							
9Ah	xxxx-xxxx	EEPWD0	EEPWD0							
9Bh	xxxx-xxxx	EEPWD1	EEPWD1							
9Ch	xxxx-xxxx	EEPWD2	EEPWD2							
9Dh	xxxx-xxxx	EEPWD3	EEPWD3							
9Eh	0000-0000	EEPWADR	EEPWADR							
9Fh	0000-0000	UART2CON	–	UART2BRP						
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A1h	xx10-1010	PWMCON	PWM1CKS		PWM1EN	PWM0EN	PWM0CKS		PWM0NMSK	PWM0PMSK
A2h	0001-0001	PINMOD10	PINMOD1				PINMOD0			
A3h	0001-0001	PINMOD32	PINMOD3				PINMOD2			
A4h	0001-0001	PINMOD54	PINMOD5				PINMOD4			
A5h	0001-0001	PINMOD76	PINMOD7				PINMOD6			
A6h	0000-0000	PINMOD	HSNK2EN	HSNK1EN	HSNK0EN	I2CPS	–	TCOE	T2OE	T0OE
A7h	0000-0000	PWMCON2	PWM0MOD	PWM0MSKE	PWM0OOM		PWM0DZ			
A8h	0x00-0000	IE	EA	–	ET2	ES	ET1	EX1	ET0	EX0
A9h	0000-0000	INTE1	PWMIE	I2CE	ES2	EEPIE	ADIE	LVDIE	PCIE	TM3IE

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AAh	xxxx-xxxx	ADCDL	ADCDL				—			
ABh	xxxx-xxxx	ADCDH	ADCDH							
A Eh	xxxx-x000	EEPWC ON	—	—	—	—	—	HWSTART	hw_len	
AFh	0000-0000	PWMCO N3	PWM1MOD	PWM1MSKE	PWM1OM		PWM1DZ			
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B6h	xxx1-1111	ADCHSE L	ADCHS					ADCVREFS	VBGSEL	
B8h	xx00-0000	IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
B9h	xx00-0000	IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
BAh	000x-0000	IP1	PPWM	PI2C	PS2	PEEP	PADI	PLVD	PPC	PT3
BBh	000x-0000	IP1H	PPWMH	PI2CH	PS2H	PEEPH	PADIH	PLVDH	PPCH	PT3H
BFh	000x-0000	LVDS	LVDM	LVDO	—	LVDPD	LVDSEL			
C1h	0000-0000	PWM4D H	PWM4DH							
C2h	0000-0000	PWM4D L	PWM4DL							
C3h	0000-0000	PWM5D H	PWM5DH							
C4h	0000-0000	PWM5D L	PWM5DL							
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
C9h	0000-0000	IAPWE_S FR	IAPWE / IAPTO / EEPWE / INFOWE / EEPTO							
CAh	0000-0000	RCP2L	RCP2L							
CBh	0000-0000	RCP2H	RCP2H							
CCh	0000-0000	TL2	TL2							
CDh	0000-0000	TH2	TH2							
CEh	0000-0000	EXA2	EXA2							
CFh	0000-0000	EXA3	EXA3							
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D1h	0000-0000	PWM0D H	PWM0DH							
D2h	0000-0000	PWM0D L	PWM0DL							
D3h	0000-0000	PWM1D H	PWM1DH							
D4h	0000-0000	PWM1D L	PWM1DL							
D5h	0000-0000	PWM2D H	PWM2DH							
D6h	0000-0000	PWM2D L	PWM2DL							
D8h	00x0-0011	CLKCON	—	—	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
D9h	1111-1111	PWM0PRD H	PWM0PRDH							
DAh	1111-1111	PWM0PRD L	PWM0PRDL							
DBh	1111-1111	PWM1PRD H	PWM1PRDH							
DCh	1111-1111	PWM1PRD L	PWM1PRDL							
DDh	0000-0000	PWM3D H	PWM3DH							
DEh	0000-0000	PWM3D L	PWM3DL							
DFh	0000-0011	RDCTLL	—	—	—	—	—	ATDEN	ATDT	
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
E1h	000x-0100	MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
E2h	0000-0000	MIDAT	MIDAT							
E3h	x100-0000	LVRCON	–	PORPD_SAV	PORPD	LVRPD	LVRSEL			
E4h	xxxx-xxxx	CFGBG2	–	–	–	BGTRIM2				
E5h	0000-0x00	EFTCON	EFT2CS	EFT1CS	EFT1S		EFTSLOW	–	EFTWOUT	CKHLDE
E6h	0000-0000	EXA	EXA							
E7h	0000-0000	EXB	EXB							
EFh	xx00-0000	AUX3	warmtime	TM3PSC				–	FJMPE	FJMPS
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F1h	1111-1111	CRCDL	CRCDL							
F2h	1111-1111	CRCDH	CRCDH							
F3h	0000-0000	CRCIN	CRCIN							
F5h	xxxx-xxxx	CFGBG	–	–	–	BGTRIM1				
F6h	xxxx-xxxx	CFGWL	–	FRCTRIM						
F7h	0000-0110	AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
F8h	0010-1000	AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T2SEL	T1SEL	DPSEL

Flash Address	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
3FF9	CFGBG2	–	–	–	BGTRIM2				
3FFB	CFGBG1	–	–	–	BGTRIM1				
3FFD	CFGWL	–	FTCTRIM						
3FFFh	CFGWH	PROT	XRSTE	PORSEL					–

SFR & CFGW 说明

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	FFh	Port0 data
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
84h	INTE2	1	PWM1IE	R/W	0	PWM1 Interrupt Enable 0: disable PWM1 ~ PWM5 interrupt 1: enable (note: PWMIE must be 1 at the same time to generate PWM interrupt)
		0	PWM0IE	R/W	0	PWM0 Interrupt Enable 0: disable PWM0 interrupt 1: enable (note: PWMIE must be 1 at the same time to generate PWM interrupt)
85h	INTPORT	3	P3IF	R/W	0	PORT3 Pin Change Interrupt Flag. 1: interrupt asserted, write 0 to clear int flag
		1	P1IF	R/W	0	PORT1 Pin Change Interrupt Flag. 1: interrupt asserted, write 0 to clear int flag
		0	P0IF	R/W	0	PORT0 Pin Change Interrupt Flag. 1: interrupt asserted, write 0 to clear int flag
86h	INTPWM	1	PWM1IF	R/W	0	PWM1~PWM5 interrupt Flag. Set by H/W at the end of PWM1 period, S/Wwrite 1h to clear int flag
		0	PWM0IF	R/W	0	PWM0 Interrupt Flag. Set by H/W at the end of PWM0 period, S/Wwrite 2h to clear int flag
87h	PCON	7	SMOD	R/W	0	Set 1 to enable UART1 double baud rate
		3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Power down control bit, set 1 to enter Halt/Stop mode
		0	IDL	R/W	0	Idle control bit, set 1 to enter Idle mode
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control. 1: timer runs; 0: timer stops
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control. 1:timer runs; 0:timer stops
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte
8Eh	SCON2	7	SM	R/W	0	UART2 Serial port mode select bit 0: Mode1: 8 bit UART2, Baud Rate is variable 1: Mode3: 9 bit UART2, Baud Rate is variable
		4	REN2	R/W	0	UART2 reception enable 0: Disable reception 1: Enable reception
		3	TB82	R/W	0	Transmit Bit 8, the ninth bit to be transmitted in Mode3
		2	RB82	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode3
		1	TI2	R/W	0	Transmit interrupt flag Set by H/W at the beginning of the stop bit in Mode 1 & 3. Must be cleared by S/W.
8Fh	SBUF2	7~0	SBUF2	R/W	–	Receive interrupt flag Set by H/W at the sampling point of the stop bit in Mode 1 & 3. Must be cleared by S/W.
						UART2 transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	PORTIDX	1~0	PORTIDX	R/W	00	Port index of INTPIN, PINMOD10, PINMOD32, PINMOD54, PINMOD76
93h	UARTCON	7~4	UART2PS	R/W	0000	UART2 Pin Select 0000: RXD2/TXD2 = P0.0/P0.1 0001: RXD2/TXD2 = P3.5/P3.6 0010: RXD2/TXD2 = P0.1/P0.0 0011: RXD2/TXD2 = P3.6/P3.5 0100: RXD2/TXD2 = P0.1/P0.1; 1-wire 0101: RXD2/TXD2 = P3.6/P3.6; 1-wire 0110: RXD2/TXD2 = P0.0/P0.0; 1-wire

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
						0111: RXD2/TXD2 = P3.5/P3.5; 1-wire 1000: RXD2/TXD2 = P0.2/P0.3 1010: RXD2/TXD2 = P0.3/P0.2 1100: RXD2/TXD2 = P0.3/P0.3; 1-wire 1110: RXD2/TXD2 = P0.2/P0.2; 1-wire
		2~0	UARTPS	R/W	000	UART1 Pin Select 000: RXD/TXD = P3.0/P3.1 001: RXD/TXD = P3.2/P3.3 010: RXD/TXD = P3.1/P3.0 011: RXD/TXD = P3.3/P3.2 100: RXD/TXD = P3.1/P3.1; 1-wire 101: RXD/TXD = P3.3/P3.3; 1-wire 110: RXD/TXD = P3.0/P3.0; 1-wire 111: RXD/TXD = P3.2/P3.2; 1-wire
94h	OPTION	6	TM3CKS	R/W	0	Timer3 Clock Source Select. 0: Slow clock (SRC) 1: FRC/512 (36KHz)
		5~4	WDTPSC	R/W	00	Watchdog Timer pre-scalar time select 00: 220 ms WDT overflow rate 01: 110 ms WDT overflow rate 10: 54 ms WDT overflow rate 11: 27 ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: F _{SYSClk} /32 01: F _{SYSClk} /16 10: F _{SYSClk} /8 11: F _{SYSClk} /4
		1	PWM1NMSK	R/W	0	PWM1N Mask Data, while CLRPWM1=1 and PWM1MSKE=1
		0	PWM1PMSK	R/W	0	PWM1P Mask Data, while CLRPWM1=1 and PWM1MSKE=1
95h	INTFLG	7	LVDIF	R/W	–	Low Voltage Detect Interrupt flag Set by H/W when a low voltage occurs. S/W can write 7Fh to INTFLG to clear this flag if VCC is not at Low Voltage.
		6	EEPIF	R/W	0	EEP write finish interrupt Set by H/W when write EEP finish, H/W auto clear when enter Interrupt subroutine
		5	EEPBUSY	R	0	EEP Busy Flag is set high when write EEP
		4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of ADC conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.
		1	PCIF	R/W	0	Port0~Port3 Pin change interrupt flag Set by H/W when Port0~Port3 pin state change is detected and its interrupt enable bit is set. S/W can write 0 to clear all pin interrupt flags (Port0~Port3), it will also clear PIN0IF~PIN7IF and P0IF~P3IF.
		0	TF3	R/W	0	Timer3 Interrupt Flag Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
96h	INTPIN	7	PIN7IF	R/W	0	Px.7 pin change interrupt flag, Write 0 to clear Px.7 pin change interrupt flag port number (x) define by PORTIDX
		6	PIN6IF	R/W	0	Px.6 pin change interrupt flag, Write 0 to clear Px.6 pin change interrupt flag port number (x) define by PORTIDX
		5	PIN5IF	R/W	0	Px.5 pin change interrupt flag, Write 0 to clear Px.5 pin change interrupt flag port number (x) define by PORTIDX
		4	PIN4IF	R/W	0	Px.4 pin change interrupt flag, Write 0 to clear Px.4 pin change interrupt flag port number (x) define by PORTIDX
		3	PIN3IF	R/W	0	Px.3 pin change interrupt flag, Write 0 to clear Px.3 pin change interrupt flag port number (x) define by PORTIDX
		2	PIN2IF	R/W	0	Px.2 pin change interrupt flag, Write 0 to clear Px.2 pin change interrupt flag port number (x) define by PORTIDX
		1	PIN1IF	R/W	0	Px.1 pin change interrupt flag, Write 0 to clear Px.1 pin change interrupt flag port number (x) define by PORTIDX
		0	PIN0IF	R/W	0	Px.0 pin change interrupt flag, Write 0 to clear Px.0 pin change interrupt flag port number (x) define by PORTIDX
97h	SWCMD	7~0	SWRST	W		Write 56h to generate S/W Reset
		7~0	IAPALL	W		Write 65h to set IAPEN control flag; Write other value to clear IAPALL flag. It is recommended to clear it immediately after IAP access.
		1	WDTO	R	0	WatchDog Time-Out flag
		0	IAPALL	R	0	Flag indicates Flash memory can be accessed by IAP or not. 0: Disable Flash IAP 1: Enable Flash IAP
98h	SCON	7	SM0	R/W	0	UART1 Serial port mode select bit 0, 1 (SM0, SM1) = 00: Mode0: 8 bit shift register, Baud Rate=F _{SYSClk} /2 01: Mode1: 8 bit UART1, Baud Rate is variable 10: Mode2: 9 bit UART1, Baud Rate=F _{SYSClk} /32 or /64 11: Mode3: 9 bit UART1, Baud Rate is variable
		6	SM1	R/W	0	
		5	SM2	R/W	0	Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		4	REN	R/W	0	Set 1 to enable UART1 Reception
		3	TB8	R/W	0	Transmitter bit 8, ninth bit to transmit in Modes 2 and 3
		2	RB8	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit is Mode 1 if SM2=0
		1	TI	R/W	0	Transmit Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W
		0	RI	R/W	0	Receive Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.
99h	SBUF	7~0	SBUF	R/W	—	UART1 transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
9Ah	EEPWD0	7~0	EEPWD0	W	—	H/W Write EEP 1 st byte DATA0, when EEPWCON=04h~07h
9Bh	EEPWD1	7~0	EEPWD1	W	—	H/W Write EEP 2 nd byte DATA1, when EEPWCON=05h~07h

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
9Ch	EEPWD2	7~0	EEPWD2	W	–	H/W Write EEP 3 rd byte DATA2, when EEPWCON=06h~07h
9Dh	EEPWD3	7~0	EEPWD3	W	–	H/W Write EEP 4 th byte DATA3, when EEPWCON=07h
9Eh	EEPWADR	7~0	EEPWADR	W	0	H/W Write EEP start address (00h~FFh),
A0h	P2	7~0	P2	R/W	FFh	P2 data
A1h	PWMCON	7~6	PWM1CKS	R/W	00	PWM1~5 clock source 00: F _{SYSCLK} 01: FRC/256 10: FRC 11: FRC x 2 (V _{CC} > 3.0V)
		5	PWM1EN	R/W	0	PWM1~5 Enable. 0: PWM1~5 Disable 1: PWM1~5 enable
		4	PWM0EN	R/W	0	PWM0 Enable. 0: PWM0 Disable 1: PWM0 enable
		3~2	PWM0CKS	R/W	00	PWM0 clock source 00: F _{SYSCLK} 01: FRC/256 10: FRC 11: FRC x 2 (V _{CC} > 3.0V)
		1	PWM0NMSK	R/W	0	PWM0N Mask Data. while CLRPWM0=1 and PMW0MSKE=1
		0	PWM0PMSK	R/W	0	PWM0P Mask Data. while CLRPWM0=1 and PMW0MSKE=1
A2h	PINMOD10	7~4	PINMOD1	R/W	0001	Px.1 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
		3~0	PINMOD0	R/W	0001	Px.0 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
A3h	PINMOD32	7~4	PINMOD3	R/W	0001	Px.3 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
		3~0	PINMOD2	R/W	0001	Px.2 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
A4h	PINMOD54	7~4	PINMOD5	R/W	0001	Px.5 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
		3~0	PINMOD4	R/W	0001	Px.4 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
A5h	PINMOD76	7~4	PINMOD7	R/W	0000	Px.7 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
		3~0	PINMOD6	R/W	0001	Px.6 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
A6h	PINMOD	7	HSNK2EN	R/W	0	Pin H-sink enable (Group 2: P3.0~P3.7) 0: Group 2 High-sink disable 1: Group 2 High-sink enable
		6	HSNK1EN	R/W	0	Pin H-sink enable (Group 1: P1.0~P1.7) 0: Group 1 High-sink disable 1: Group 1 High-sink enable
		5	HSNK0EN	R/W	0	Pin H-sink enable (Group 0: P0.0~P0.5) 0: Group 0 High-sink disable 1: Group 0 High-sink enable
		4	I2CPS	R/W	0	I ² C Pin Select 0: SCL/SDA = P0.0/P0.1 1: SCL/SDA = P3.0/P3.1
		2	TCOE	R/W	0	"Instruction Cycle Clock" signal output to P1.4 pin 0: disable; 1: enable
		1	T2OE	R/W	0	"Timer2 overflow divided by 2" signal output to P1.0 pin 0: disable; 1: enable
		0	T0OE	R/W	0	"Timer0 overflow divided by 64" signal output to P3.4 pin 0: disable; 1: enable
A7h	PWMCON2	7	PWM0MOD	R/W	0	PWM0 mode select 0: Normal mode 1: Half-bridge mode
		6	PWM0MSKE	R/W	0	PWM0 mask output enable 0: Disable

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
						1: Enable, PWM0P/PWM0N output data by PWM0PMSK/PWM0NMSK while CLRPWM0=1
		5~4	PWM0OM	R/W	00	PWM0 output mode select 00: Mode0 01: Mode1 10: Mode2 11: Mode3
		3~0	PWM0DZ	R/W	0000	PWM0 dead zone (Dead zone is prohibited in half-bridge mode) 0000: 0 x T _{PWMCLK} 0001: 1 x T _{PWMCLK} ... 1111: 15 x T _{PWMCLK}
A8h	IE	7	EA	R/W	0	Global interrupt enable control. 0: Disable all Interrupts. 1: Each interrupt is enabled or disabled by its own interrupt control bit.
		5	ET2	R/W	0	Set 1 to enable Timer2 interrupt
		4	ES	R/W	0	Set 1 to enable Serial Port (UART1) Interrupt
		3	ET1	R/W	0	Set 1 to enable Timer1 Interrupt
		2	EX1	R/W	0	Set 1 to enable external INT1 pin Interrupt & Halt/Stop mode wake up capability
		1	ET0	R/W	0	Set 1 to enable Timer0 Interrupt
		0	EX0	R/W	0	Set 1 to enable external INT0 pin Interrupt & Halt/Stop mode wake up capability
A9h	INTE1	7	PWMIE	R/W	0	Set 1 to enable PWM0~PWM1 interrupt
		6	I2CE	R/W	0	Set 1 to enable I ² C interrupt
		5	ES2	R/W	0	Set 1 to enable Serial Port (UART2) interrupt
		4	EEPIE	R/W	0	Set 1 to enable EEP write finish interrupt
		3	ADIE	R/W	0	Set 1 to enable ADC Interrupt
		2	LVDIE	R/W	0	Set 1 to enable LVD interrupt
		1	PCIE	R/W	0	Set 1 to enable Port0~Port3 Pin Change Interrupt
		0	TM3IE	R/W	0	Set 1 to enable Timer3 Interrupt
AAh	ADCDL	7~4	ADCDL	R	—	ADC data bit 3~0
ABh	ADCDH	7~0	ADCDH	R	—	ADC data bit 11~4
AEh	EEPWCON	2	HWSTART	W	0	HW write EEP Start control signal; 0: disable HW write EEP 1: Start to write Data (stored in 9A~9D)to EEP (adr. stored in 9E), this bit is auto clear when write finish
		1~0	HWLEN	W	0	HW write EEP data length when HWSTART is set to high 0: 1 byte; 1: 2 bytes; 2: 3 bytes; 3: 4 bytes
AFh	PWMCON3	7	PWM1MOD	R/W	0	PWM0 mode select 0: Normal mode 1: Half-bridge mode
		6	PWM1MSKE	R/W	0	PWM1 mask output enable 0: Disable 1: Enable, PWM1P/PWM1N output data by PWM1PMSK/PWM1NMSK while CLRPWM1=1
		5~4	PWM1OM	R/W	00	PWM1 output mode select 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3
		3~0	PWM1DZ	R/W	0000	PWM1 dead zone (Dead zone is prohibited in half-bridge mode) 0000: 0 x T _{PWMCLK} 0001: 1 x T _{PWMCLK} ... 1111: 15 x T _{PWMCLK}
B0h	P3	7~0	P3	R/W	FFh	Port3 data

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
B6h	ADCHS	7~3	ADCHS	R/W	1Fh	ADC Channel Select 00000: CH0 (P0.0) 00001: CH1 (P0.1) 00010: CH2 (P0.2) 00011: CH3 (P0.3) 00100: CH4 (P0.4) 00101: CH5 (P0.5) 00110: CH6 (P3.7) 00111: CH7 (P3.6) 01000: CH8 (P3.5) 01001: CH9 (P3.4) 01010: CH10 (P1.0) 01011: CH11(P1.1) 01100: CH12 V _{BG} (Internal Bandgap Reference Voltage) 01101: CH13 (P1.2) 01110: CH14 (P1.3) 01111: CH15 (P1.4) 10000: CH16 (P1.5) 10001: CH17 (P3.0) 10010: CH18 (P3.1) 10011: CH19 (P1.6) 10100: CH20 (P1.7) 10101: CH21 (P3.3) 10110: CH22 (P3.2) Others: reserved 11110: CH30(VCC/201) 11111: CH31(VCC/4)
		2	ADCVREFS	R/W	0	ADC reference voltage 0: V _{CC} 1: VBG
		1~0	VBGSEL	R/W	00	VBG voltage select, When ADCVREF is selected as VBG 00: 1.18V; 10: 2.5V;
B8h	IP	5	PT2	R/W	0	Timer2 Interrupt Priority Low bit
		4	PS	R/W	0	Serial Port (UART1) Interrupt Priority Low bit
		3	PT1	R/W	0	Timer1 Interrupt Priority Low bit
		2	PX1	R/W	0	External INT1 Pin Interrupt Priority Low bit
		1	PT0	R/W	0	Timer0 Interrupt Priority Low bit
		0	PX0	R/W	0	External INT0 Pin Interrupt Priority Low bit
B9h	IPH	5	PT2H	R/W	0	Timer2 Interrupt Priority High bit
		4	PSH	R/W	0	Serial Port (UART1) Interrupt Priority High bit
		3	PT1H	R/W	0	Timer1 Interrupt Priority High bit
		2	PX1H	R/W	0	External INT1 Pin Interrupt Priority High bit
		1	PT0H	R/W	0	Timer0 Interrupt Priority High bit
		0	PX0H	R/W	0	External INT0 Pin Interrupt Priority High bit
BAh	IP1	7	PPWM	R/W	0	PWM Interrupt Priority Low bit
		6	PI2C	R/W	0	I ² C Interrupt Priority Low bit
		5	PS2	R/W	0	Serial Port (UART2) interrupt priority low bit
		4	PEEP	R/W	0	EEP Interrupt Priority Low bit
		3	PADI	R/W	0	ADC Interrupt Priority Low bit
		2	PLVD	R/W	0	LVD Interrupt Priority Low bit
		1	PPC	R/W	0	Port0~Port3 pin change Interrupt Priority Low bit
		0	PT3	R/W	0	Timer3 Interrupt Priority Low bit
BBh	IP1H	7	PPWMH	R/W	0	PWM Interrupt Priority High bit
		6	PI2CH	R/W	0	I ² C Interrupt Priority High bit
		5	PS2H	R/W	0	Serial Port (UART2) interrupt priority high bit
		4	PEEPH	R/W	0	EEP Interrupt Priority High bit
		3	PADIH	R/W	0	ADC Interrupt Priority High bit
		2	PLVDH	R/W	0	LVD Interrupt Priority High bit
		1	PPCH	R/W	0	Port0~Port3 pin change Interrupt Priority High bit

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		0	PT3H	R/W	0	Timer3 Interrupt Priority High bit
BFh	LVDS	7	LVDM	R/W	0	0: VCC < VLVD (LVDIF = 1 while LVDO = 1) 1: VCC > VLVD (LVDIF = 1 while LVDO = 0)
		6	LVDO	R	0	LVD real-time Output
		4	LVDPD	R/W	0	LVD Power Down. 0: LVD Enable, 1: LVD Disable
		3~0	LVDSSEL	R/W	0h	Low Voltage Detect (LVD) select. (step=0.16V) 0000: Set LVD at 1.79V 0001: Set LVD at 1.95V 0010: Set LVD at 2.11V 0011: Set LVD at 2.26V 0100: Set LVD at 2.40V 0101: Set LVD at 2.56V 0110: Set LVD at 2.71V 0111: Set LVD at 2.87V 1000: Set LVD at 3.03V 1001: Set LVD at 3.18V 1010: Set LVD at 3.32V 1011: Set LVD at 3.50V 1100: Set LVD at 3.63V 1101: Set LVD at 3.80V 1110: Set LVD at 3.94V 1111: Set LVD at 4.12V
C1h	PWM4DH	7~0	PWM4DH	R/W	00h	PWM4 duty high byte
C2h	PWM4DL	7~0	PWM4DL	R/W	00h	PWM4 duty low byte
C3h	PWM5DH	7~0	PWM5DH	R/W	00h	PWM5 duty high byte
C4h	PWM5DL	7~0	PWM5DL	R/W	00h	PWM5 duty low byte

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless RCLK=1 or TCLK=1. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if EXEN2=1. This bit must be cleared by S/W.
		5	RCLK	R/W	0	UART receive clock control bit 0: Use Timer1 overflow as receive clock for serial port in mode 1 or 3 1: Use Timer2 overflow as receive clock for serial port in mode 1 or 3
		4	TCLK	R/W	0	UART transmit clock control bit 0: Use Timer1 overflow as transmit clock for serial port in mode 1 or 3 1: Use Timer2 overflow as transmit clock for serial port in mode 1 or 3
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if RCLK=TCLK=0
		2	TR2	R/W	0	Timer2 run control 0: timer stops 1: timer runs
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if EXEN2=1. 1: Capture mode, capture on negative transitions on T2EX pin if EXEN2=1. If RCLK=1 or TCLK=1, CPRL2N is ignored and timer is forced to auto-reload on Timer2 overflow.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
C9h	IAPWE_SFR	7~0	IAPWE_SFR	W	—	Write 47h or 74h to set IAPWE flag; Write 47h can write 1 byte at once, write 74h can write 2 bytes at once. Write other value to clear IAPWE flag. It is recommended to clear it immediately after IAP write. Write A1h to set INFOWE flag; write other value to clear INFOWE flag. It is recommended to clear it immediately after IAP write. Write E2h to set EEPWE flag; write other value to clear EEPWE flag. It is recommended to clear it immediately after EEPROM write.
		7	IAPWE	R	—	Flag indicates Flash memory can be written by IAP or not 0: IAP Write disable 1: IAP Write enable
		6	IAPTO	R	0	Time-Out flag of IAP write / INFO write. Set by H/W when IAP or INFO write Time-out occurs. Cleared this flag by H/W when IAPWE=0 or INFOWE=0.
		5	EEPWE	R	0	Flag indicates EEPROM memory can be written or not 0: EEPROM Write disable 1: EEPROM Write enable
		4	INFOWE	R	0	Flag indicates INFO memory can be written or not 0: INFO IAP Write disable 1: INFO IAP Write enable
		3	EEPTO	R	0	Time-Out flag of EEPROM write Set by H/W when EEPROM write Time-out occurs. Cleared this flag by H/W when EEPWE=0.
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
CEh	EXA2	7~0	EXA2	R/W	00h	Expansion accumulator 2
CFh	EXA3	7~0	EXA3	R/W	00h	Expansion accumulator 3
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	Register Bank Select bit 1
		3	RS0	R/W	0	Register Bank Select bit 0
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag
D1h	PWM0DH	7~0	PWM0DH	R/W	00h	PWM0 duty high byte
D2h	PWM0DL	7~0	PWM0DL	R/W	00h	PWM0 duty low byte
D3h	PWM1DH	7~0	PWM1DH	R/W	00h	PWM1 duty high byte
D4h	PWM1DL	7~0	PWM1DL	R/W	00h	PWM1 duty low byte
D5h	PWM2DH	7~0	PWM2DH	R/W	00h	PWM2 duty high byte
D6h	PWM2DL	7~0	PWM2DL	R/W	00h	PWM2 duty low byte
D8h	CLKCON	5	STPSCK	R/W	1	Set 1 to stop Slow clock in PDOWN mode
		4	STPPCK	R/W	0	Set 1 to stop UART/Timer0/1/2 clock in Idle mode for current reducing.
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow/Idle mode. This bit can be changed only in Slow mode.
		2	SELFCK	R/W	0	System clock select. This bit can be changed only when STPFCK=0. 0: Slow clock 1: Fast clock
		1~0	CLKPSC	R/W	11	System clock prescaler. Effective after 16 clock cycles (Max.) delay. 00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1
D9h	PWM0PRDH	7~0	PWM0PRDH	R/W	FFh	PWM0 period high byte
DAh	PWM0PRDL	7~0	PWM0PRDL	R/W	FFh	PWM0 period low byte
DBh	PWM1PRDH	7~0	PWM1PRDH	R/W	FFh	PWM1/2/3/4/5 period high byte

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
DCh	PWM1PRDL	7~0	PWM1PRDL	R/W	FFh	PWM1/2/3/4/5 period low byte
DDh	PWM3DH	7~0	PWM3DH	R/W	FFh	PWM3 duty high byte
DEh	PWM3DL	7~0	PWM3DL	R/W	FFh	PWM3 duty low byte
DFh	RDCTL	2	ATDEN	R/W	0	Flash ATD(Address Transition Detection) read control enable; 0: Flash Read always=1 1: Flash Read use ATD (for power saving at at slow clock)
		1~0	ATDT	R/W	3h	ATD timing control when ATDEN=1 0: 5.4ns@5V or 9.0ns@3V 1: 6.8ns@5V or 10.7ns@3V 2: 9.7ns@5V or 15.1ns@3V 3: 12.3ns@5V or 19.4ns@3V
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
E1h	MICON	7	MIEN	R/W	0	Master I ² C enable 0: disable 1: enable
		6	MIACKO	R/W	0	When Master I ² C receive data, send acknowledge to I ² C Bus 0: ACK to slave device 1: NACK to slave device
		5	MIIF	R/W	0	Master I ² C Interrupt flag 0: write 0 to clear it 1: Master I ² C transfer one byte complete
		4	MIACKI	R	—	When Master I ² C transfer, acknowledgement from I ² C bus (read only) 0: ACK received 1: NACK received
		3	MISTART	R/W	0	Master I ² C Start bit 1: start I ² C bus transfer
		2	MISTOP	R/W	1	Master I ² C Stop bit 1: send STOP signal to stop I ² C bus
		1~0	MICR	R/W	00	Master I ² C (SCL) clock frequency selection 00: F _{SYSClk} /4 (ex. If F _{SYSClk} =16MHz, I ² C clock is 4M Hz) 01: F _{SYSClk} /16 (ex. If F _{SYSClk} =16MHz, I ² C clock is 1M Hz) 10: F _{SYSClk} /64 (ex. If F _{SYSClk} =16MHz, I ² C clock is 250K Hz) 11: F _{SYSClk} /256 (ex. If F _{SYSClk} =16MHz, I ² C clock is 62.5K Hz)
E2h	MIDAT	7~0	MIDAT	R/W	00	Master I ² C data shift register (W): After Start and before Stop condition, write this register will resume transmission to I ² C bus (R): After Start and before Stop condition, read this register will resume receiving from I ² C bus
E3h	LVRCON	6	PORPD_SAV	R/W	1	0: POR disable at PDOWN 1: POR enable at PDOWN
		5	PORPD	R/W	0	POR Power Down. 0: POR Enable, 1: POR Disable
		4	LVRPD	R/W	0	LVR Power Down. 0: LVR Enable, 1: LVR Disable
		3~0	LVRSEL	R/W	0	Low Voltage Reset (LVR) select. (step=0.16V) 0000: Set LVR at 1.79V 0001: Set LVR at 1.95V 0010: Set LVR at 2.11V 0011: Set LVR at 2.26V 0100: Set LVR at 2.40V 0101: Set LVR at 2.56V 0110: Set LVR at 2.71V 0111: Set LVR at 2.87V 1000: Set LVR at 3.03V 1001: Set LVR at 3.18V 1010: Set LVR at 3.32V 1011: Set LVR at 3.50V 1100: Set LVR at 3.63V 1101: Set LVR at 3.80V 1110: Set LVR at 3.94V 1111: Set LVR at 4.12V

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
E4h	CFGBG2	4~0	BGTRIM2	R/W	-	VBG trimming2 value (VBG 1.18V)
E5h	EFTCON	7	EFT2CS	R/W	0	EFT2 Detector enable 0: Disable EFT2 1: Enable EFT2
		6	EFT1CS	R/W	0	EFT1 Detector enable 0: Disable EFT1 1: Enable EFT1
		5~4	EFT1S	R/W	00	EFT1 Detector sensitivity adjustment
		3	EFTSLOW	R/W	0	Force SYSCLK to SLOWCLK while EFT detected 0: Disable 1: Enable
		1	EFTWOUT	R/W	0	EFTWAIT output to pin 0: P3.6 = normal I/O 1: P3.6 = EFTWAIT
		0	CKHLDE	R/W	0	clock hold enable 0: Disable 1: Enable
E6h	EXA	7~0	EXA	R/W	00h	Expansion accumulator
E7h	EXB	7~0	EXB	R/W	00h	Expansion B register
EFh	AUX3	6~3	TM3PSC	R/W	0000	Timer3 Interrupt rate 0000: Timer3 Interrupt rate is 262144 Timer3 clock cycle 0001: Timer3 Interrupt rate is 131072 Timer3 clock cycle 0010: Timer3 Interrupt rate is 65536 Timer3 clock cycle 0011: Timer3 Interrupt rate is 32768 Timer3 clock cycle 0100: Timer3 Interrupt rate is 16384 Timer3 clock cycle 0101: Timer3 Interrupt rate is 8192 Timer3 clock cycle 0110: Timer3 Interrupt rate is 4096 Timer3 clock cycle 0111: Timer3 Interrupt rate is 2048 Timer3 clock cycle 1000: Timer3 Interrupt rate is 1024 Timer3 clock cycle 1001: Timer3 Interrupt rate is 512 Timer3 clock cycle 1010: Timer3 Interrupt rate is 256 Timer3 clock cycle 1011: Timer3 Interrupt rate is 128 Timer3 clock cycle 1100: Timer3 Interrupt rate is 64 Timer3 clock cycle 1101: Timer3 Interrupt rate is 32 Timer3 clock cycle 1110: Timer3 Interrupt rate is 16 Timer3 clock cycle 1111: Timer3 Interrupt rate is 8 Timer3 clock cycle
		1	FJMPE	R/W	0	FRC frequency auto-change enable 0: FRC frequency define by CFGWL 1: FRC frequency auto-change enable
		0	FJMPS	R/W	0	RC frequency auto-change selection 0: (trim+0, +1, +2, +3, +0, -1, -2, -3; Exchange trim value every 10us) 1: (trim+0, +2, +4, +6, +0, -2, -4, -6; Exchange trim value every 10us)
F0h	B	7~0	B	R/W	00h	B register
F1h	CRCDL	7~0	CRCDL	R/W	FFh	16-bit CRC data bit 7~0
F2h	CRCDH	7~0	CRCDH	R/W	FFh	16-bit CRC data bit 15~8
F3h	CRCIN	7~0	CRCIN	W	-	CRC input data
F5h	CFGBG1	4~0	BGTRIM1	R/W	-	VBG trimming1 value (VBG 2.5V)
F6h	CFGWL	6~0	FRCTRIM	R/W	-	FRC frequency adjustment 00h: lowest frequency 7Fh: highest frequency
F7h	AUX2	7~6	WDTE	R/W	00	Watchdog Timer Reset control 0x: WDT disable 10: WDT enable in Fast/Slow mode, disable in Idle/Halt/Stop mode 11: WDT always enable
		5	PWRSAPV	R/W	0	Set 1 to reduce the chip's power consumption at Idle/Halt/Stop Mode.
		4	VBGOUT	R/W	0	Bandgap voltage output control 0: P3.2 as normal I/O 1: Bandgap voltage output to P3.2 pin

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		3	DIV32	R/W	0	only active when MULDIV16 =1 0: instruction DIV as 16/16 bit division operation 1: instruction DIV as 32/16 bit division operation
		2~1	IAPTE	R/W	00	IAP/EEP watchdog timer enable 00: Disable 01: wait 6.9 ms trigger watchdog time-out flag 10: wait 27.5ms trigger watchdog time-out flag 11: wait 55 ms trigger watchdog time-out flag
		0	MULDIV16	R/W	0	0: instruction MUL/DIV as 8*8, 8/8 operation 1: instruction MUL/DIV as 16*16, 16/16 or 32/16 operation
F8h	AUX1	7	CLRWDT	R/W	0	Set 1 to clear WDT, H/W auto clear it at next clock cycle
		6	CLRTM3	R/W	0	Set 1 to clear Timer3, HW auto clear it at next clock cycle.
		5	CLRPWM0	R/W	0	PWM0 clear enable 0: PWM0 is running 1: PWM0 is cleared and held
		4	ADSOC	R/W	0	ADC Start of Conversion Set 1 to start ADC conversion. Cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		3	CLRPWM1	R/W	0	PWM1 clear enable 0: PWM1 is running 1: PWM1 is cleared and held
		2	T2SEL	R/W	0	Timer2 counter mode (CT2N=1) input select 0: P1.0 (T2) pin (8051standard) 1: Slow clock divide by 16 (SLOWCLK/16)
		1	T1SEL	R/W	0	Timer1 counter mode (CT1N=1) input select 0: P3.5 (T1) pin (8051 standard) 1: Slow clock divide by 16 (SLOWCLK/16)
		0	DPSEL	R/W	0	Active DPTR Select

Adr	Flash	Bit#	Bit Name	Description
3FF9h	CFGBG2	4~0	BGTRIM2	VBG2 adjustment. VBG2 is trimmed to 1.18V in chip manufacturing.
3FFBh	CFGBG1	4~0	BGTRIM1	VBG adjustment. VBG is trimmed to 2.5V in chip manufacturing.
3FFDh	CFGWL	6~0	FRCTTRIM	FRC frequency adjustment. FRC is trimmed to 18.432 MHz in chip manufacturing.
3FFFh	CFGWH	7	PROT	Flash Code Protect, 1=Protect
		6	XRSTE	External Pin Reset enable, 1=enable.
		5	PORSEL	0: POR always on (when PORPD=0) 1: POR turn on 2ms (1/8duty when PORPD=0)
		4~0		Reserved

注：上表列出所有的 SFR,特地保留原始英文,以供使用者交互参考。

指令集

指令都是 1, 2 或 3 个字节长如“字节”列所示。每条指令需要 2~8 个系统时钟周期来执行如“周期”列中所示。

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A, Rn	Add register to A	1	2	28-2F
ADD A, dir	Add direct byte to A	2	2	25
ADD A, @Ri	Add indirect memory to A	1	2	26-27
ADD A, #data	Add immediate to A	2	2	24
ADDC A, Rn	Add register to A with carry	1	2	38-3F
ADDC A, dir	Add direct byte to A with carry	2	2	35
ADDC A, @Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A, #data	Add immediate to A with carry	2	2	34
SUBB A, Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A, dir	Subtract direct byte from A with borrow	2	2	95
SUBB A, @Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A, #data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8 / 16	A4
DIV AB	Divide A by B	1	8/16/32	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A, Rn	AND register to A	1	2	58-5F
ANL A, dir	AND direct byte to A	2	2	55
ANL A, @Ri	AND indirect memory to A	1	2	56-57
ANL A, #data	AND immediate to A	2	2	54
ANL dir, A	AND A to direct byte	2	2	52
ANL dir, #data	AND immediate to direct byte	3	4	53
ORL A, Rn	OR register to A	1	2	48-4F
ORL A, dir	OR direct byte to A	2	2	45
ORL A, @Ri	OR indirect memory to A	1	2	46-47
ORL A, #data	OR immediate to A	2	2	44
ORL dir, A	OR A to direct byte	2	2	42
ORL dir, #data	OR immediate to direct byte	3	4	43
XRL A, Rn	Exclusive-OR register to A	1	2	68-6F
XRL A, dir	Exclusive-OR direct byte to A	2	2	65
XRL A, @Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A, #data	Exclusive-OR immediate to A	2	2	64
XRL dir, A	Exclusive-OR A to direct byte	2	2	62
XRL dir, #data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4
SWAP A	Swap Nibbles of A	1	2	C4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
RL A	Rotate A left	1	2	23
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A, Rn	Move register to A	1	2	E8-EF
MOV A, dir	Move direct byte to A	2	2	E5
MOV A, @Ri	Move indirect memory to A	1	2	E6-E7
MOV A, #data	Move immediate to A	2	2	74
MOV Rn, A	Move A to register	1	2	F8-FF
MOV Rn, dir	Move direct byte to register	2	4	A8-AF
MOV Rn, #data	Move immediate to register	2	2	78-7F
MOV dir, A	Move A to direct byte	2	2	F5
MOV dir, Rn	Move register to direct byte	2	4	88-8F
MOV dir, dir	Move direct byte to direct byte	3	4	85
MOV dir, @Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir, #data	Move immediate to direct byte	3	4	75
MOV @Ri, A	Move A to indirect memory	1	2	F6-F7
MOV @Ri, dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri, #data	Move immediate to indirect memory	2	2	76-77
MOV DPTR, #data	Move immediate to data pointer	3	4	90
MOVC A, @A+DPTR	Move code byte relative DPTR to A	1	8	93
MOVC A, @A+PC	Move code byte relative PC to A	1	8	83
MOVB A, @Ri	Move external data (A8) to A	1	8	E2-E3
MOVB A, @DPTR	Move external data (A16) to A	1	8	E0
MOVB @Ri, A	Move A to external data (A8)	1	8	F2-F3
MOVB @DPTR, A	Move A to external data (A16)	1	8	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A, Rn	Exchange A and register	1	2	C8-CF
XCH A, dir	Exchange A and direct byte	2	2	C5
XCH A, @Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A, @Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C, bit	AND direct bit to carry	2	4	82
ANL C, /bit	AND direct bit inverse to carry	2	4	B0
ORL C, bit	OR direct bit to carry	2	4	72
ORL C, /bit	OR direct bit inverse to carry	2	4	A0
MOV C, bit	Move direct bit to carry	2	2	A2
MOV bit, C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	opcode
ACALL addr 11	Absolute jump to subroutine	2	6	11-F1
LCALL addr 16	Long jump to subroutine	3	6	12
RET	Return from subroutine	1	6	22
RETI	Return from interrupt	1	6	32
AJMP addr 11	Absolute jump unconditional	2	6	01-E1
LJMP addr 16	Long jump unconditional	3	6	02
SJMP rel	Short jump (relative address)	2	6	80
JC rel	Jump on carry = 1	2	4 (or 6)	40
JNC rel	Jump on carry = 0	2	4 (or 6)	50
JB bit, rel	Jump on direct bit = 1	3	4 (or 6)	20
JNB bit, rel	Jump on direct bit = 0	3	4 (or 6)	30
JBC bit, rel	Jump on direct bit = 1 and clear	3	4 (or 6)	10
JMP @A+DPTR	Jump indirect relative DPTR	1	6	73
JZ rel	Jump on accumulator = 0	2	4 (or 6)	60
JNZ rel	Jump on accumulator ≠ 0	2	4 (or 6)	70
CJNE A, dir, rel	Compare A, direct, jump not equal relative	3	4 (or 6)	B5
CJNE A, #data, rel	Compare A, immediate, jump not equal relative	3	4 (or 6)	B4
CJNE Rn, #data, rel	Compare register, immediate, jump not equal relative	3	4 (or 6)	B8-BF
CJNE @Ri, #data, rel	Compare indirect, immediate, jump not equal relative	3	4 (or 6)	B6-B7
DJNZ Rn, rel	Decrement register, jump not zero relative	2	4 (or 6)	D8-DF
DJNZ dir, rel	Decrement direct byte, jump not zero relative	3	4 (or 6)	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

在上表中，如 E8-EF 中的指令操作码(十六进制)指示用于一个连续的块的 8 个不同的寄存器，寄存器编号，由其相应的操作码的最低 3 位定义。码的不连续的块，如 11-F1(举例)，用于绝对跳转和调用，码的前 3 位用于指示目的地址的顶部 3 位。

电气特性

1. 最大绝对额定值($T_A=25^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS}-0.3 \sim V_{SS}+5.5$	V
输入电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
输出电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
全部引脚高电位输出电流	-80	
全部引脚低电位输出电流	+150	V
最大工作电压	5.5	
工作温度	$-40 \sim +105$	
储存温度	$-65 \sim +150$	

2. DC 特性($T_A=25^{\circ}\text{C}, V_{CC}=2.0\text{V} \sim 5.5\text{V}$)

参数	符号	条件		最小值	典型值	最大值	单位
工作电压	V _{CC}	F _{SYSCLK} =18.432 MHz		2.4	—	5.5	V
输入高电压	V _{IH}	所有输入	V _{CC} =5V	0.6V _{CC}	—	—	V
			V _{CC} =3V	0.6V _{CC}	—	—	V
输入低电压	V _{IL}	所有输入	V _{CC} =5V	—	—	0.2V _{CC}	V
			V _{CC} =3V	—	—	0.2V _{CC}	V
I/O 端口 拉电流	I _{OH}	相关引脚 (P0.0~P0.5, P1.0~P1.7, P3.0~P3.7)	V _{CC} =5V, V _{OH} =0.9V _{CC}	6	11	—	mA
			V _{CC} =5V, V _{OH} =0.6V _{CC}	10	33	—	
			V _{CC} =3V, V _{OH} =0.9V _{CC}	2.5	4.8	—	
			V _{CC} =3V, V _{OH} =0.66V _{CC}	5	13	—	
I/O 端口 灌电流	I _{OL}	所有输出	V _{CC} =5V, V _{OL} =0.1V _{CC} HSNKxEN=1	56	70	—	mA
			V _{CC} =5V, V _{OL} =0.1V _{CC} HSNKxEN=0	32	40	—	
			V _{CC} =3V, V _{OL} =0.1V _{CC} HSNKxEN=1	24	32	—	
			V _{CC} =3V, V _{OL} =0.1V _{CC} HSNKxEN=0	9	18	—	
电源电流	I _{DD}	快钟模式 V _{CC} =5V, No Load	FRC=18.432 MHz	—	7	—	mA
			FRC=9.216 MHz	—	4.5	—	
		快钟模式 V _{CC} =3V, No Load	FRC=18.432 MHz	—	3.7	—	
			FRC=9.216 MHz	—	2.5	—	
		慢钟模式 No Load	V _{CC} =5V	—	45	—	μA
			V _{CC} =3V	—	22	—	

参数	符号	条件		最小值	典型值	最大值	单位
		空闲模式 PWRSAV=0 No Load	SRC, $V_{CC}=5V$ POR ON	—	16	—	μA
			SRC, $V_{CC}=5V$ LVR ON		68		
			SRC, $V_{CC}=3V$ POR ON	—	8	—	
			SRC, $V_{CC}=3V$ LVR ON		44		
		空闲模式 PWRSAV=1 No Load	SRC, $V_{CC}=5V$	—	16	—	
			SRC, $V_{CC}=3V$	—	8	—	
		停止模式 PWRSAV=1 No Load	$V_{CC}=5V$	0.3	—	—	
			$V_{CC}=3V$	0.1	—	—	
		暂停模式 PWRSAV=1 No Load	$V_{CC}=5V$ (Timer3=0.5 秒唤醒)	8	—	—	
			$V_{CC}=3V$ (Timer3=0.5 秒唤醒)	3	—	—	
系统时钟频率	F_{SYSCLK}	$V_{CC} > LVR_{TH}$	$V_{CC}=2.4V$	—	—	18.432	MHz
LVR 参考电压	V_{LVR}	$T_A=25^{\circ}C$		—	4.12	—	V
				—	3.94	—	
				—	3.80	—	
				—	3.63	—	
				—	3.50	—	
				—	3.32	—	
				—	3.18	—	
				—	3.03	—	
				—	2.87	—	
				—	2.71	—	
				—	2.56	—	
				—	2.40	—	
				—	2.26	—	
				—	2.11	—	
				—	1.95	—	
				—	1.79	—	

参数	符号	条件		最小值	典型值	最大值	单位
LVD 参考电压	V_{LVD}	$T_A=25^{\circ}\text{C}$		—	4.12	—	V
				—	3.94	—	
				—	3.80	—	
				—	3.63	—	
				—	3.50	—	
				—	3.32	—	
				—	3.18	—	
				—	3.03	—	
				—	2.87	—	
				—	2.71	—	
				—	2.56	—	
				—	2.40	—	
				—	2.26	—	
				—	2.11	—	
				—	1.95	—	
				—	1.79	—	
LVR 滞后电压	V_{HYST}	$T_A=25^{\circ}\text{C}$		—	± 0.1	—	V
低电压 检测时间	t_{LVR}	$T_A=25^{\circ}\text{C}$		100	—	—	μs
上拉电阻	R_{PU}	$V_{IN}=0\text{V}$	$V_{CC}=5\text{V}$	—	25	—	$\text{K}\Omega$
			$V_{CC}=3\text{V}$	—	25	—	
下拉电阻	R_{PD}	$V_{IN}=0\text{V}$	$V_{CC}=5\text{V}$	—	25	—	
			$V_{CC}=3\text{V}$	—	25	—	

3. 时钟时序($T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$)

参数	条件	最小值	典型值	最大值	单位
内部 RC 频率	25 $^{\circ}\text{C}$, $V_{CC}=5.0\text{V}$	-1%	18.432	+1%	MHz
	-40 $^{\circ}\text{C} \sim 105^{\circ}\text{C}$, $V_{CC}=5.0\text{V}$	-1.5%	18.432	+1.5%	
	-40 $^{\circ}\text{C} \sim 105^{\circ}\text{C}$, $V_{CC}=3.0 \sim 5.0\text{V}$	-2.5%	18.432	+2.5%	

4. 复位时序特性($T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$)

参数	条件	最小值	典型值	最大值	单位
RESET 输入低电平宽度	Input $V_{CC}=5\text{V} \pm 10\%$	30	—	—	μs
WDT 时间	$V_{CC}=5\text{V}$, WDT $\text{PSC}=11$	—	220	—	ms
	$V_{CC}=3\text{V}$, WDT $\text{PSC}=11$	—	250	—	
CPU 启动时间	$V_{CC} = 5\text{V}$	—	15.6	—	ms

5. ADC 电气特性($T_A = 25^{\circ}\text{C}$, $V_{CC} = 3.0\text{V} \sim 5.5\text{V}$, $V_{SS} = 0\text{V}$)

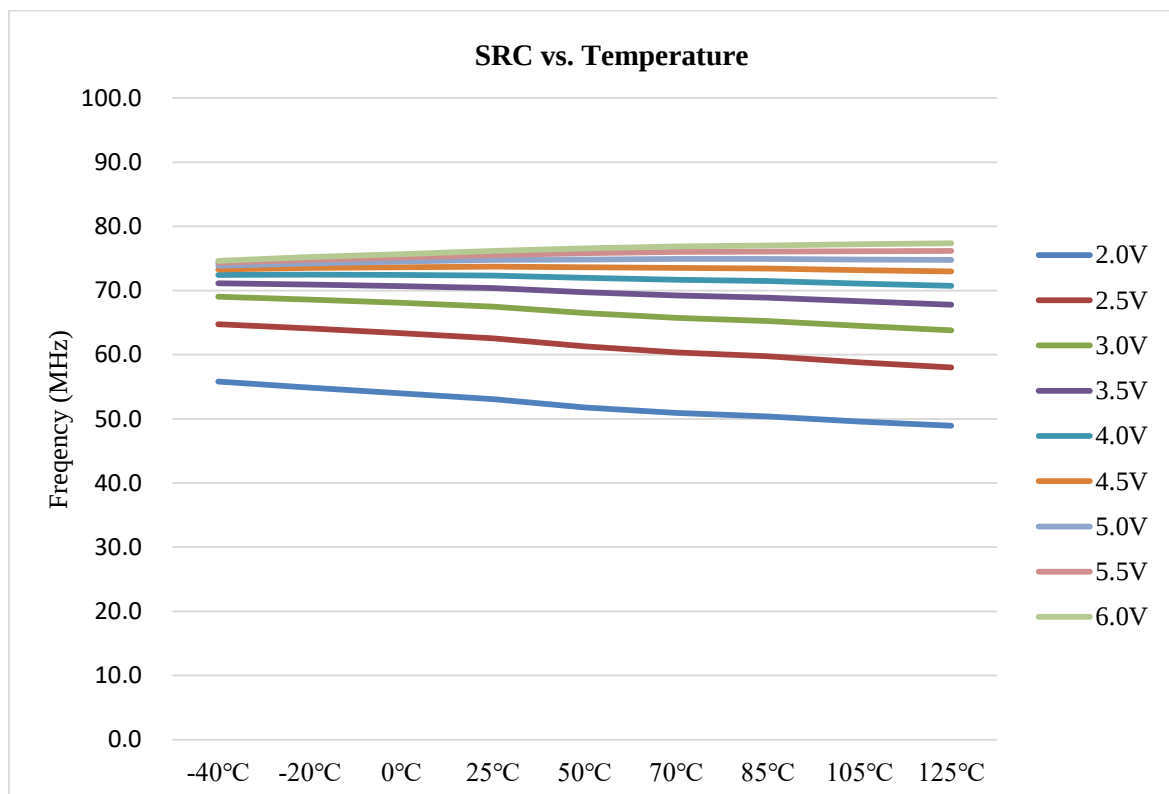
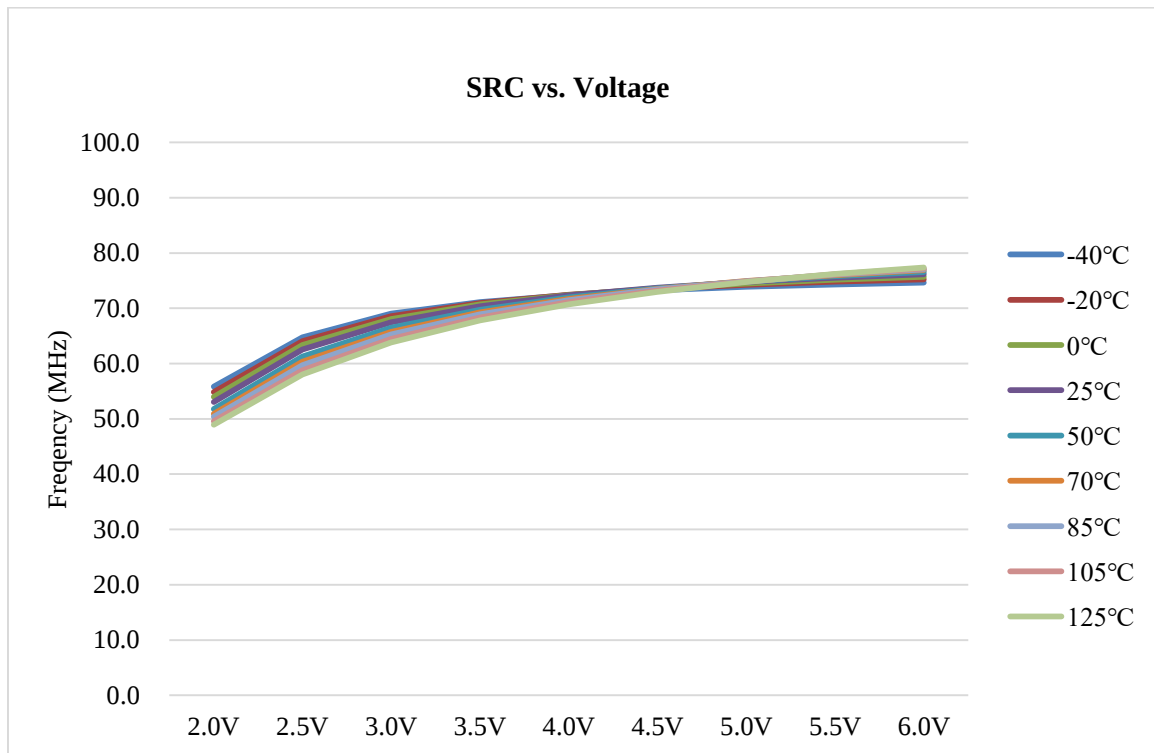
参数	条件		最小值	典型值	最大值	单位
总绝对误差	V _{CC} =5.12 V,V _{SS} =0V		—	±2.5	±4	LSB
积分非线性误差			—	±3.2	±5	
最大输入时钟(f _{ADC})	信号驱动源阻抗(Rs < 10K omh)		—	—	2	MHz
	信号驱动源阻抗(Rs < 20K omh)		—	—	1	
	信号驱动源阻抗(Rs < 50K omh)		—	—	0.5	
	信号来号是 V _{BG} (ADCHS=01100b)		—	—	2.3	
转换时间	F _{ADC} = 1MHz		—	21	—	μs
带隙基准电压 (V _{BG})	—	V _{CC} =2.5V~5.5V -40°C ~105°C	-1.5%	1.18	+1.5%	V
ADC 参考电压 (V _{ADC})	ADCVREFS=1	V _{CC} =2.5V~5.5V -40°C ~105°C	-1.5%	2.5	+1.5%	
VCC/4 基准电压 (V _{1/4})	—	V _{CC} =5V,25°C	-0.8%	1.26	+0.8%	
		V _{CC} =3.6V,25°C	-0.8%	0.907	+0.8%	
输入电压	—		V _{SS}	—	V _{CC}	

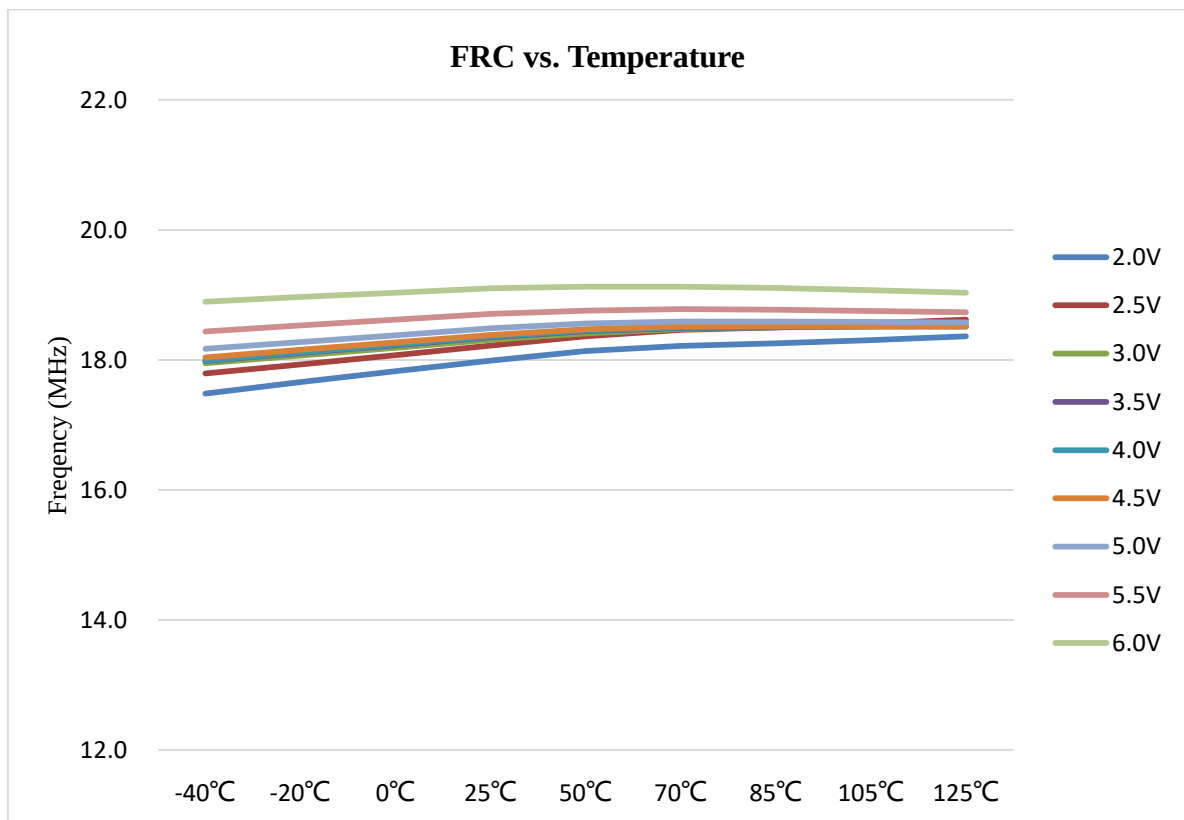
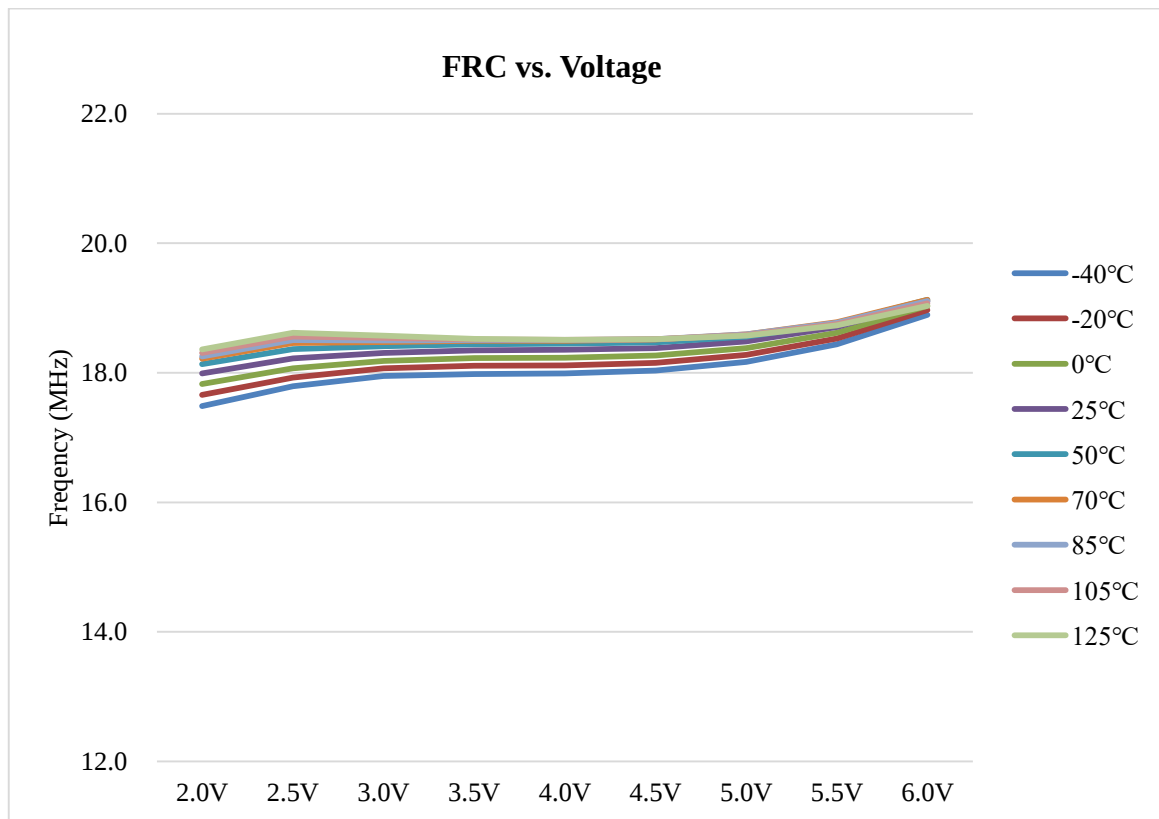
6. EEPROM 特性

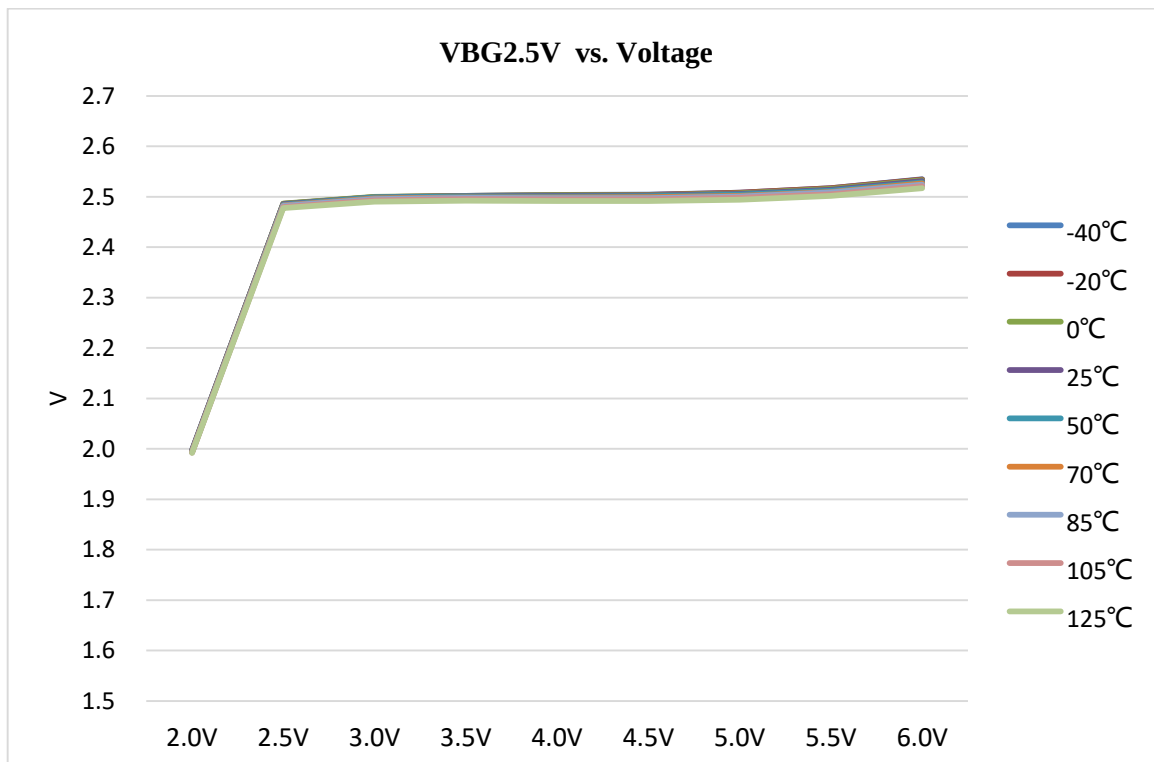
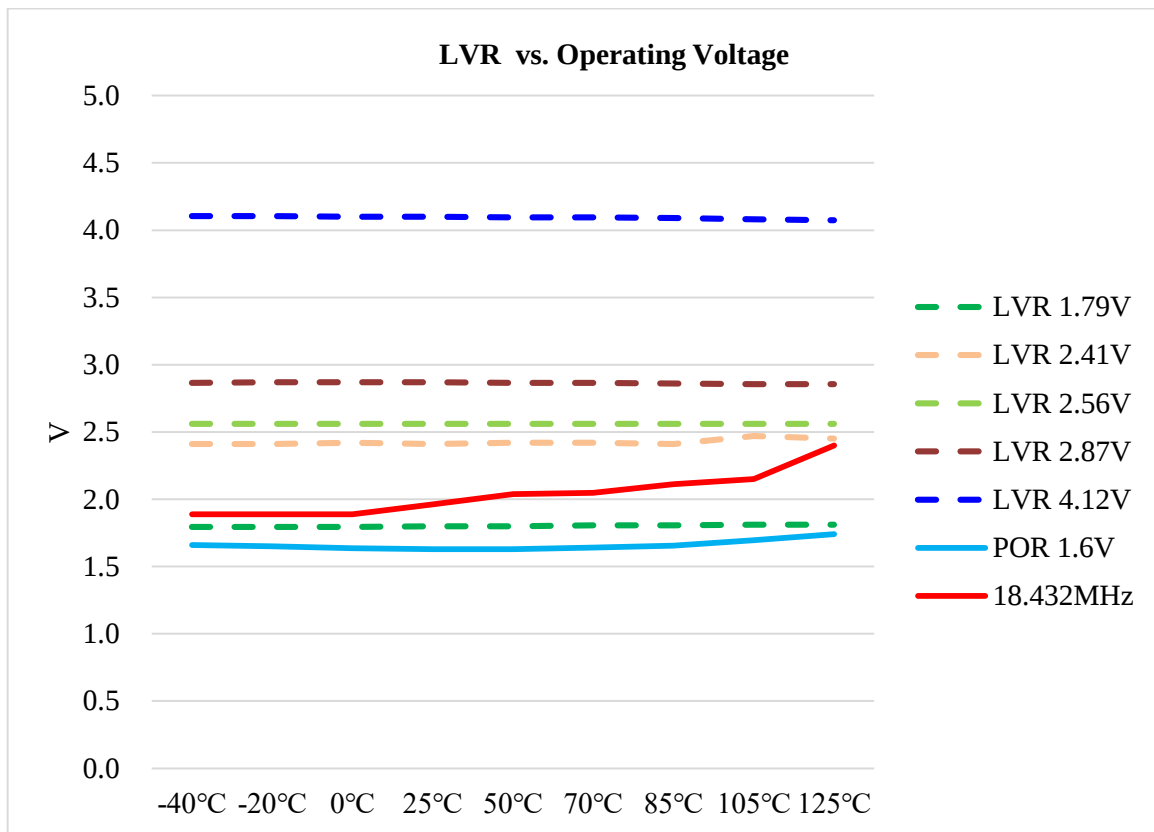
参数	条件	最小值	典型值	最大值	单位
写电压 V_{EEWR}	-40 $^{\circ}\text{C} \sim 105^{\circ}\text{C}$ $F_{\text{sys}}=\text{FRC}/1$, $V_{CC}/47\mu\text{F}$	2.9		5.5	V
	-40 $^{\circ}\text{C} \sim 105^{\circ}\text{C}$ $F_{\text{sys}}=\text{FRC}/2$, $V_{CC}/47\mu\text{F}$	2.5		5.5	
读电压 V_{EERD}	-40 $^{\circ}\text{C} \sim 105^{\circ}\text{C}$ $F_{\text{sys}}=\text{FRC}/1$, $V_{CC}/47\mu\text{F}$	2.0		5.5	
*写耐用性 N_{EE}	$V_{CC} = 2.5 \sim 5.5\text{V}$, -40 $^{\circ}\text{C} \sim 105^{\circ}\text{C}$	20K	—	—	周期数
	$V_{CC} = 2.5 \sim 5.5\text{V}$, -20 $^{\circ}\text{C} \sim 85^{\circ}\text{C}$	30K	—	—	
写时间 T_{EEWR}	$V_{CC}=5.0\text{V}$, 25 $^{\circ}\text{C}$, WDT disable		1.5		mS
	$V_{CC}=2.5\text{V}$, 25 $^{\circ}\text{C}$, WDT disable		4		
	$V_{CC}=3.0\text{V}$, 105 $^{\circ}\text{C}$, WDT disable		15		
数据保存 Y_{RET}		10			Year

注：此参数数值是基于测试样本的特性值。

7. 特性曲线图







封装说明

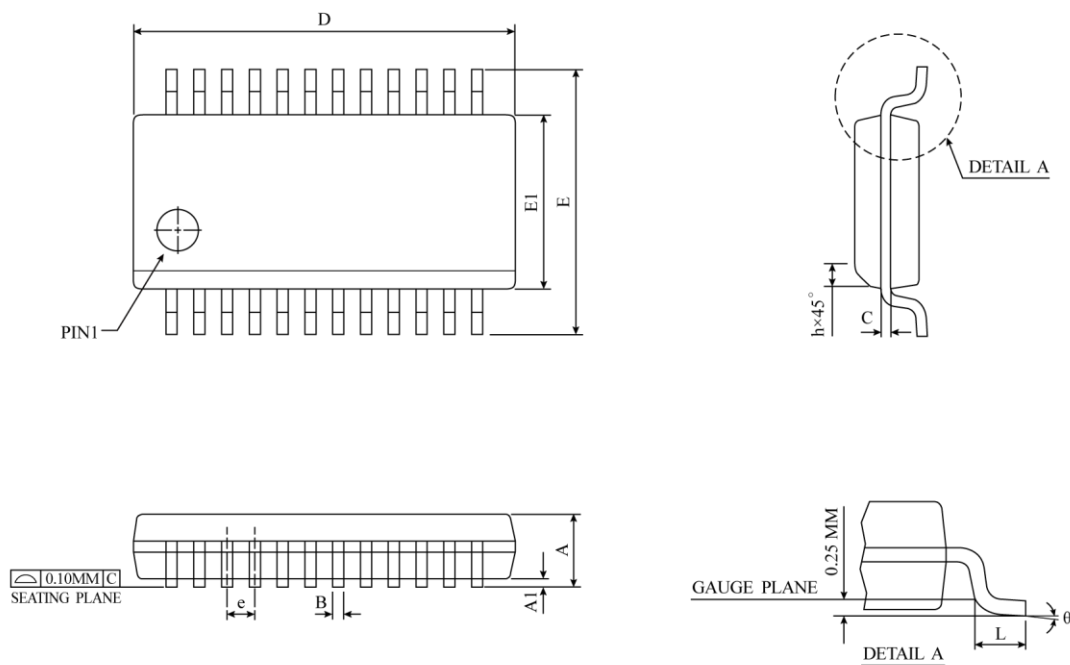
请注意，此处提供的包装信息仅供参考。 由于此信息经常更新，因此用户可以联系销售人员以咨询最新的包装信息和库存。

订购须知

Ordering number	Package
TM52F50243T	TSSOP20 (173 mil)
TM52F50244E	SSOP 24-pin (150 mil)
TM52F50243E	SSOP 20-pin (150 mil)
TM52F50243S1	SOP 20-pin(300 mil)
TM52F50242S	SOP 16-pin (150 mil)
TM52F50244Q	QFN 24-pin (3x3x0.75 mm) (L=0.3mm)
TM52F50243Q	QFN 20-pin (3x3x0.75 mm) (L=0.25mm)

包装信息

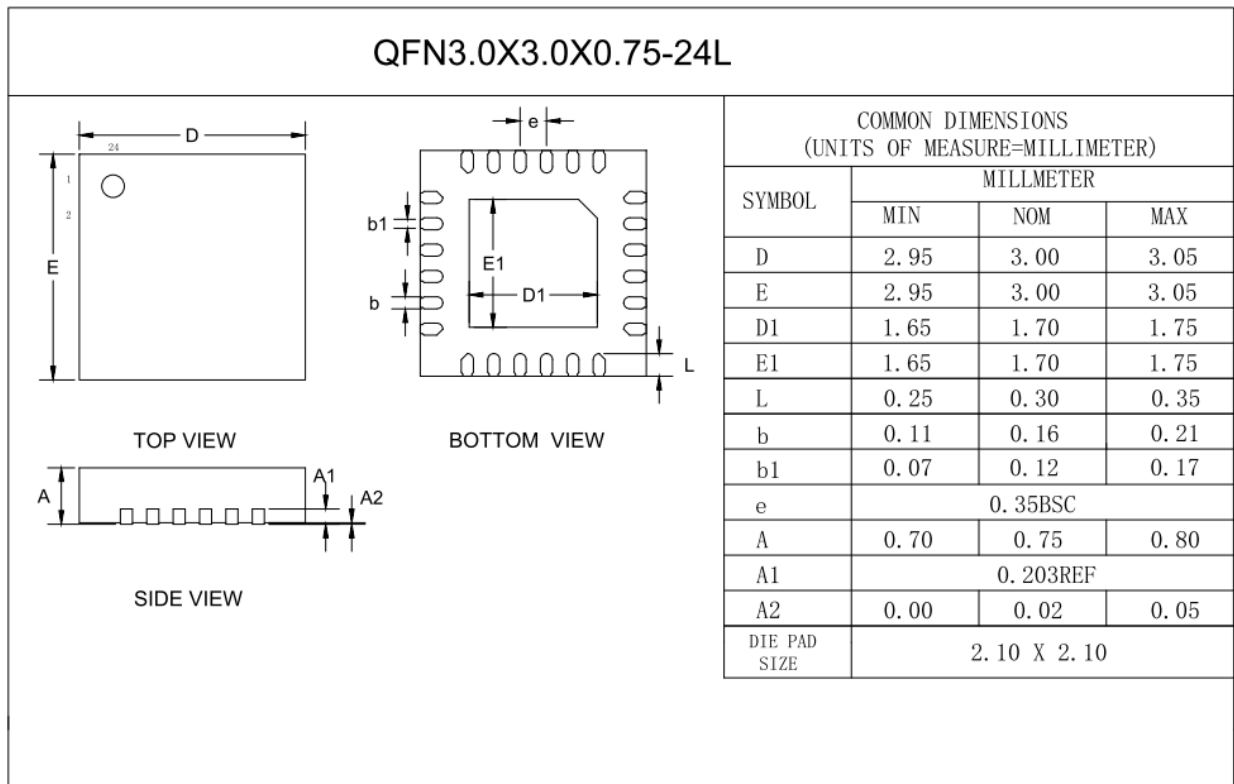
SSOP-24 引脚 (150mil) 包装尺寸



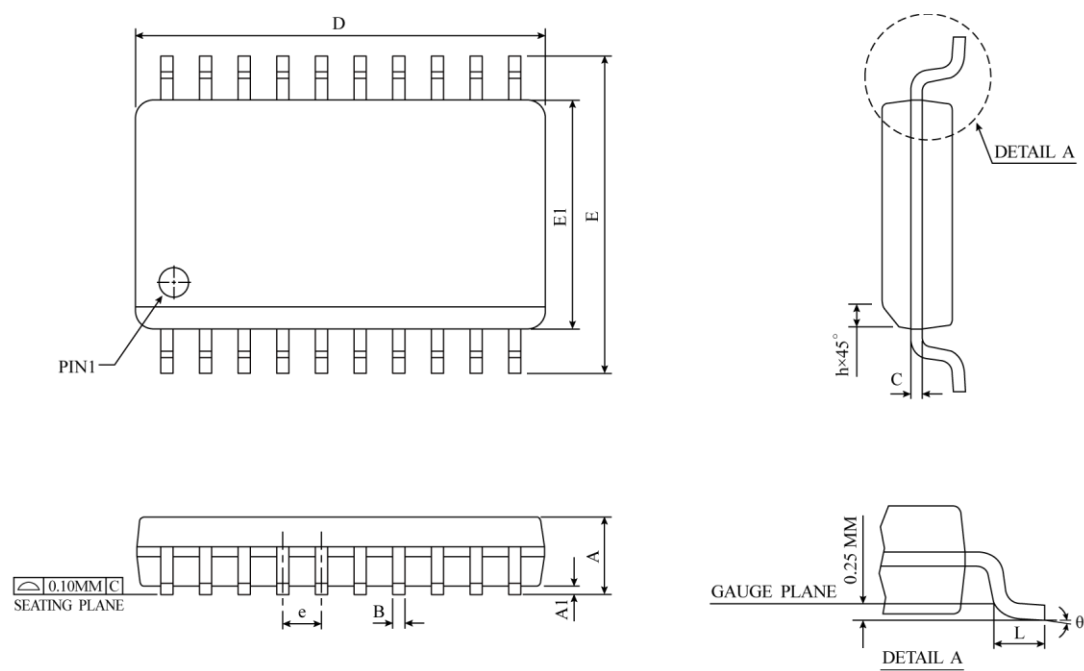
SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.053	0.061	0.069
A1	0.10	0.18	0.25	0.004	0.007	0.010
A2	-	-	1.50	-	-	0.059
B	0.20	0.25	0.30	0.008	0.010	0.012
C	0.18	0.22	0.25	0.007	0.009	0.010
D	8.56	8.65	8.74	0.337	0.341	0.344
E	5.79	6.00	6.20	0.228	0.236	0.244
E1	3.81	3.90	3.99	0.150	0.154	0.157
e	0.635 BSC			0.025 BSC		
L	0.41	0.84	1.27	0.016	0.033	0.050
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137 (AE)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD PROTRUSIONS OR GAT BURRS.
MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE.

QFN-24 引脚(3x3x0.75 mm) (L=0.3mm) 包装尺寸

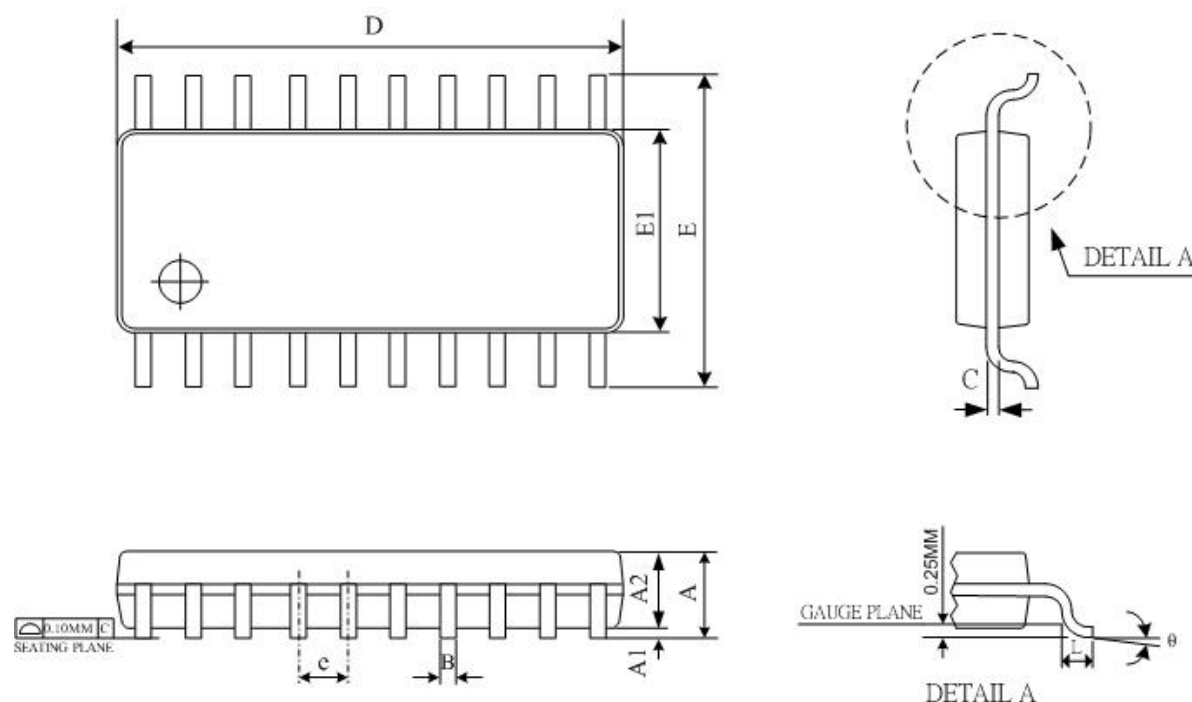


SOP-20 引脚 (300mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	12.60	12.80	13.00	0.4961	0.5040	0.5118
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

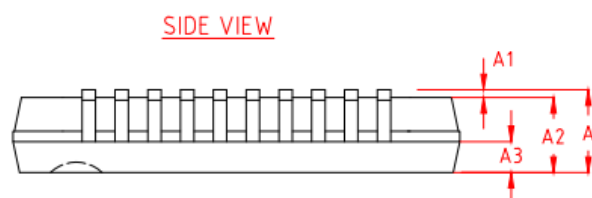
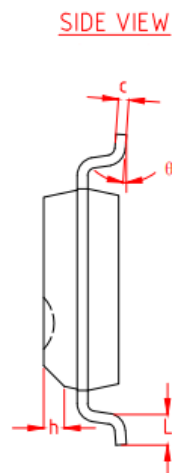
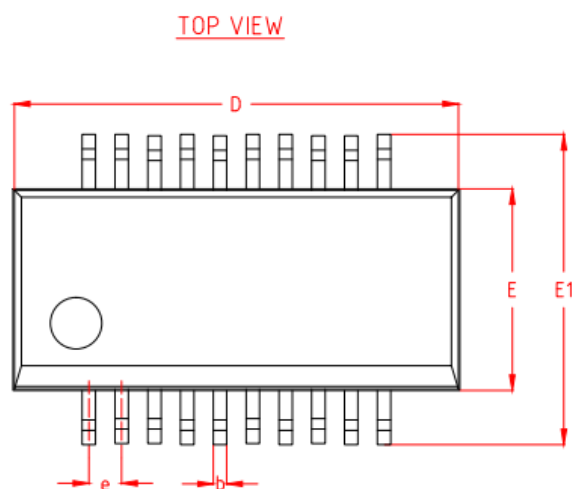
TSSOP-20 引脚 (173mil) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	1.2	-	-	0.047
A1	0.05	0.10	0.15	0.002	0.004	0.006
A2	0.8	0.93	1.05	0.031	0.036	0.041
B	0.19	-	0.3	0.007	-	0.012
D	6.4	6.5	6.6	0.252	0.256	0.260
E	6.25	6.4	6.55	0.246	0.252	0.258
E1	4.3	4.4	4.5	0.169	0.173	0.177
e	0.65 BSC			0.026 BSC		
L	0.45	0.60	0.75	0.018	0.024	0.030
θ	0 °		8 °	0 °		8 °
JEDEC	MO-153 AC REV.F					

Notes :

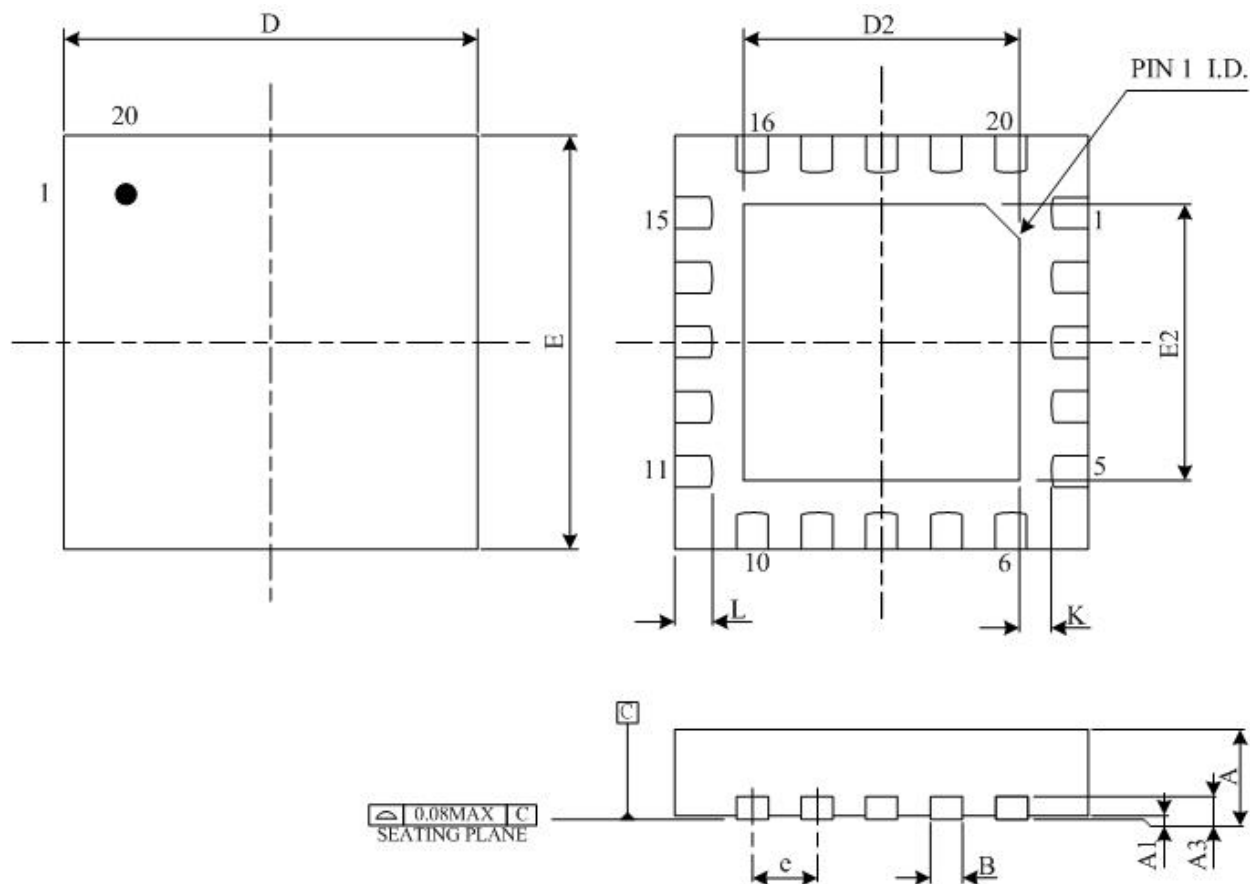
- 1.DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 PER SIDE.
- 2.DIMENSION "E1" DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 PER SIDE.
- 3.DIMENSION "B" DOES NOT INCLUDE DAMBAR PROTRUSION.ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08MM TOTAL IN EXCESS OF THE "B" DIMENSION AT MAXIMUM METERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND ADJACENT LEAD IS 0.07MM.

SSOP-20 (150mil) Package Dimension



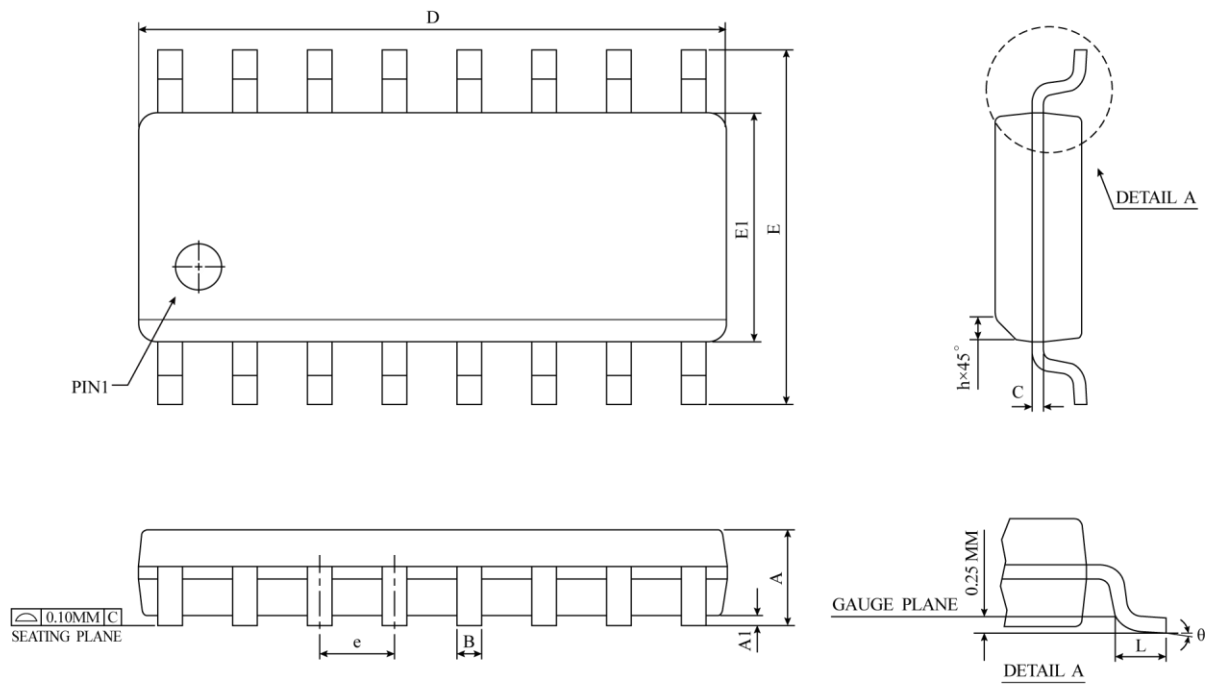
Dimensions/mm			
字符 SYMBOL	最小值 MIN	典型值 NOMINAL	最大值 MAX
A	-	-	1.75
A1	0.05	-	0.08
A2	1.35	1.45	1.55
A3	0.60	0.65	0.70
b	0.23	-	0.31
c	0.19	-	0.25
D	8.50	8.60	8.70
E	3.80	3.90	4.00
E1	5.80	6.00	6.20
e	0.635 BSC		
h	0.30	-	0.50
L	0.40	-	0.80
θ	0°	-	8°

QFN-20 引脚 (3x3x0.75-0.4mm) (L=0.25mm) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.02	0.05	0.00	0.001	0.002
A3	0.203 REF			0.008 REF		
B	0.15	0.20	0.25	0.006	0.008	0.010
D	3 BSC			0.118 BSC		
E	3 BSC			0.118 BSC		
D2	1.80	1.90	2.00	0.071	0.075	0.079
E2	1.80	1.90	2.00	0.071	0.075	0.079
e	0.40 BSC			0.016 BSC		
L	0.15	0.25	0.35	0.006	0.010	0.014
K	0.30 REF			0.012 REF		
JEDEC	MO-220					

SOP-16 引脚 (150mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.0532	0.0610	0.0688
A1	0.10	0.18	0.25	0.0040	0.0069	0.0098
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.19	0.22	0.25	0.0075	0.0087	0.0098
D	9.80	9.90	10.00	0.3859	0.3898	0.3937
E	5.80	6.00	6.20	0.2284	0.2362	0.2440
E1	3.80	3.90	4.00	0.1497	0.1536	0.1574
e	1.27 BSC			0.050 BSC		
h	0.25	0.38	0.50	0.0099	0.0148	0.0196
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-012 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

产品命名规则

MCU 产品编号规则

