



十速

TM52F4974

规格书 Rev 1.1

(使用前请阅读第二页的注意事项)

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **tenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **tenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **tenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **tenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **tenx** was negligent regarding the design or manufacture of the part.

使用注意事项

1. 如果 INTn 引脚是低电平且该 INTn 唤醒功能启用，则芯片不能进入暂停/停止模式。(INTn=0, EXn=1, n=0~2)
2. 上电时需要先设置 SFR.LVRCON (E3h)
3. 若 TKPD=0, TK0 必须设为 TK 脚。

修改记录

Version	Date	Description
V1.0	Jun, 2024	新颁
V1.1	Oct, 2024	1. 修正 SOP-20 封装 Pin3、Pin4 脚位标示错误 2. 修改订购须知封装型号 3. 新增 ADC、TK 工作电流 4. 其他描述错误修正

目录

使用注意事项.....	2
修改记录.....	3
概述.....	6
基本功能.....	7
引脚图.....	12
引脚描述.....	13
引脚汇总.....	14
功能描述.....	15
1. CPU 核心.....	15
1.1 累加器 (ACC).....	15
1.2 B 寄存器 (B).....	15
1.3 堆栈指针 (SP).....	16
1.4 数据指针 (DPTRs).....	16
1.5 程序状态字 (PSW).....	17
2. 存储器.....	18
2.1 程序存储器.....	18
2.2 EEPROM 数据存储器.....	23
2.3 EEPROM 操作注意事项.....	24
2.4 信息存储器.....	26
2.5 数据存储器.....	28
3. LVR 和 LVD 设置.....	31
4. 复位.....	33
4.1 上电复位 (POR).....	33
4.2 外部引脚复位 (XRST).....	33
4.3 软件复位 (SWRST).....	33
4.4 看门狗定时器复位 (WDTR).....	33
4.5 低电压复位 (LVR).....	33
5. 时钟电路和操作模式.....	36
5.1 系统时钟.....	36
5.2 操作模式.....	38
6. 中断和唤醒.....	40
6.1 中断使能和优先级控制.....	41
6.2 子程序中断建议.....	41
6.3 引脚中断和 LVD 中断.....	44
6.4 空闲模式唤醒和中断.....	48
6.5 暂停/停止模式唤醒和中断.....	48
7. I/O 端口.....	50
7.1 端口 0~端口 3.....	50

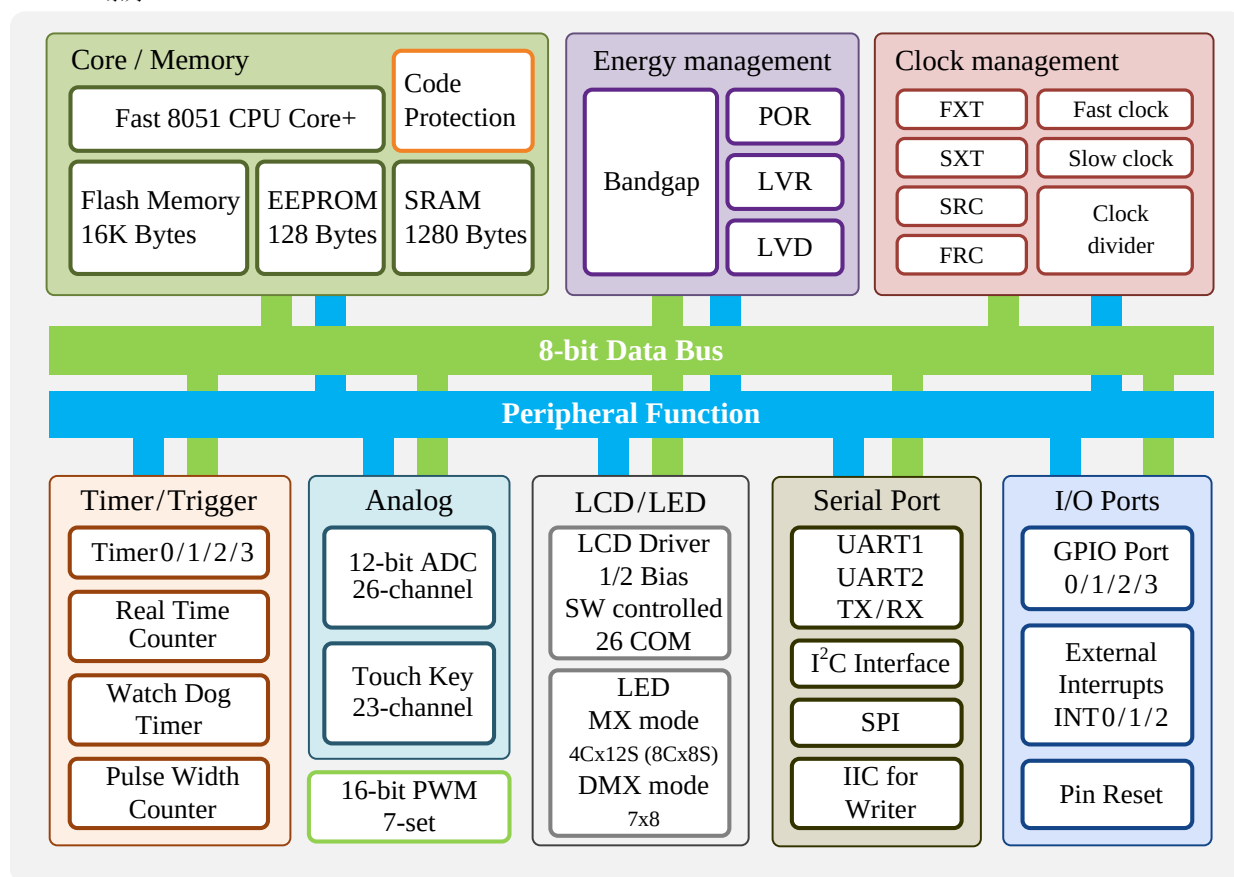
8. Timers	65
8.1 Timer0 / Timer1	65
8.2 Timer2	67
8.3 Timer3	69
8.4 T0O, T1O 和 T2O 输出控制	70
9. UARTs	71
10. PWMs	74
10.1 PWM0	75
10.2 PWM1~PWM6	78
11. ADC	85
11.1 ADC 通道	86
11.2 ADC 转换时间	87
12. 触摸按键 (FTK)	90
13. S/W 控制的 LCD 驱动器	98
14. LED 控制器/驱动	103
14.1 LED 矩阵 (MX) 模式	103
14.2 LED 点阵 (DMX) 模式	104
15. 串行外设接口 (SPI)	112
16. 循环冗余校验码(CRC)	118
17. 乘除法器	119
18. 主 I ² C 接口	121
19. 从机 I ² C 接口	125
20. 在线仿真器(ICE)模式	128
SFR & CFGW 映像	130
SFR & CFGW 说明	133
指令集	151
电器特性	154
1. 最大绝对额定值	154
2. DC 特性	154
3. 时钟时序	155
4. 复位时序特性	155
5. LVR 电路特性	156
6. LVD 电路特性	156
7. ADC 电气特性	157
8. TK 电气特性	157
9. EEPROM 特性	157
10. 特性曲线图	158
封装-说明	161

概述

TM52 系列 F4974 是一个新的,快速的 8051 架构,与业界标准 8051 指令集完全兼容的 8 位单片机,并保持了 8051 外围的功能模块。通常情况下,TM52 执行指令,比传统的 8051 架构快六倍。

TM52-F4974 通过集成多种功能在芯片上,提供更高的性能,更低的成本,能快速进入市场,包括 16K 字节的闪存(Flash)程序存储器, 128 字节的 EEPROM 数据存储器,1280 字节 SRAM,低电压复位 (LVR),低电压检测(LVD),双时钟省电工作模式,8051 标准 UART 和定时器 Timer0/Timer1/Timer2,实时计时器 Timer3, LCD/LED 驱动器,7 组 16 位脉冲宽度调制器(PWM),26 通道的 12 位模数转换器(ADC),123 通道触摸按键,I²C 接口, SPI 接口,和看门狗定时器(WDT)。它的高可靠性和低功耗的特性,可广泛适用于消费电子及家用电器产品。

TM52 系列 F4974



基本功能

1. 标准 8051 指令集,快速的机器周期

- 指令执行比传统 8051 快六倍

2. Flash 程序存储器

- 16K 字节闪存程序存储器
- 支持 ICP(在线编程)或 ISP(在系统编程)的闪存程序码
- 在 IAP(在应用编程)模式可以作为 EEPROM,以字节的方式存取
- 程序码保护功能
- 至少 1 万次的擦写次数
- 至少 10 年的数据保存时间

3. 128 字节 EEPROM 数据存储器

- 至少 5 万次的擦写次数
- 至少 10 年的数据保存时间

4. 总计 1536 字节 SRAM(IRAM+XRAM)

- 256 字节 IRAM 在 8051 内部数据存储器区
- 1280 字节 XRAM 在 8051 外部数据存储器区(由 MOVX 指令存取)

5. 4 种系统时钟类型选择

- 快时钟使用外部 1~18 MHz 晶体(FXT)
- 快时钟使用内部 RC(FRC, 18.432 MHz)
- 慢时钟使用外部 32768 Hz 晶体(SXT)
- 慢时钟使用内部 RC(SRC, 41 KHz)
- 系统时钟可以通过 1/2/4/16 选项除频

6. 8051 标准定时器 – Timer0/1/2

- 16 位 Timer0,支持 T0O 时钟输出供蜂鸣器应用
- 16 位 Timer1,支持 T1O 时钟输出供蜂鸣器应用
- 16 位 Timer2,支持 T2O 时钟输出供蜂鸣器应用

7. 24 位 Timer3 时钟

- 时钟源为慢时钟或者 FRC/512
- 带重载功能
- 具有清除和保持功能

8. UARTs

- UART1, 8051 标准 UART
- UART2 是第二种 UART, 仅支持 Mode1 和 Mode3
- 额外波特率生成器选项
- 具有 UART 引脚选择选项

9. 7 个 16-bit PWMs

【16-bit PWM0 P+N】

- 具有周期调整/缓冲加载/清除和保持功能
- 非重叠持续时间可调
- 半桥相控输出
- FRC*2 (36.864MHz)、FRC (18.432MHz) 或系统时钟源可选

【16-bit PWM1~6】

- 分享周期
- 具有周期调整/缓冲加载/清除和保持功能
- FRC*2 (36.864MHz)、FRC (18.432MHz) 或系统时钟源可选

10. I²C 接口 (主/从)

- 具有 I²C 引脚选择选项

11. SPI 接口

- 可选择主或从模式
- 可编程传输比特率
- 串行时钟相位和极性选项
- 可选择 MSB-first 或 LSB-first

12. 12 位 ADC, 具有 26 个通道的外部引脚输入和 2 通道内部基准电压

- 内部参考电压: V_{BG} , $1/4V_{CC}$
- ADC 参考电压: V_{BG} / V_{CC}

13. 23 通道触摸键 (FTK)

- 内部参考按键
- 具备 4 种扫描方式

14. LCD 驱动器

- 软件控制 COM00~07, COM10~17, COM20~21, COM30~37 (最多 26 引脚)
- 1/2 LCD 偏压

15. LED 控制器/驱动程序

- 带死区时间的 COM
- 8 级亮度选择
- 亮度均匀/增强选项
- 【矩阵 (MX) 模式】
- 4Cx12S ~ 8Cx8S 可选, 最多 16 引脚, 最大 48~64 点
- 【点阵 (DMX) 模式】
- 4Cx4S, 5Cx5S, 6Cx6S, 6Cx7S, 7Cx7S, 7Cx8S, 最多 8 个引脚, 最多 56 个点

16. 14 个源, 4 级优先中断

- Timer0/Timer1/Timer2/Timer3 中断
- INT0 /INT1 引脚降边/低电平中断
- INT2 引脚下降沿中断
- 端口 0/1/2/3 引脚电平变化中断
- UART1 TX/RX 中断
- UART2 TX/RX 中断
- ADC/触控键中断
- I²C/SPI 中断
- LVD 中断
- PWM0 /PWM1 中断

17. 引脚中断可以唤醒 CPU 从暂停/停止模式

- P3.2/P3.3 (INT0/INT1)中断和唤醒
- P3.7 (INT2)中断和唤醒
- 每个端口 0/1/2/3 引脚可定义为中断和唤醒引脚(通过引脚电平变化)

注: 如果 INTn 引脚低且启用唤醒, 则芯片不能进入暂停/停止模式。(INTn=0, EXn=1, n=0~2)

18. 最大 26 可编程 I/O 引脚

- CMOS 推挽输出
- 伪开漏或开漏输出
- 施密特触发输入
- 引脚上拉可以使能/禁止
- 所有引脚带高灌电流选项 ($80\text{mA}@V_{CC}=5\text{V}, V_{OL}=0.1V_{CC}$)

19. 独立的 RC 振荡看门狗定时器

- 400ms/200ms/100ms/50ms 可选择的看门狗超时选项

20. 5 种复位

- 上电复位
- 可选的外部引脚复位
- 可选的看门狗复位
- 软件命令复位
- 可选的低电压复位

21. 16 级低电压复位 (LVR)

- 2.05V/2.19V/2.33V/2.47V/2.61V/2.75V/2.89V/3.03V/
- 3.17V/3.31V/3.45V/3.59V/3.73V/3.87V/4.01V/4.15V (step=0.14V)

22. 16 级低电压检测 (LVD)

- 2.05V/2.19V/2.33V/2.47V/2.61V/2.75V/2.89V/3.03V/
- 3.17V/3.31V/3.45V/3.59V/3.73V/3.87V/4.01V/4.15V (step=0.14V)
- LVD 检测极性选项
- LVD 迟滞 30mV~80mV

23. 5 种电源工作模式

- 快钟模式/慢钟模式/空闲模式/暂停模式/停止模式

24. 集成的 16 位循环冗余校验功能

25. 乘除法器

- 8 位硬件乘除法器 (标准 8051)
- 16 位硬件乘除法器
- 32 位 ÷ 16 位硬件除法器

26. 在板仿真/ICE 接口

- 使用 P3.0/P3.1 引脚或 P0.0/P0.1 引脚
- 与 ICP 编程引脚共享
- 量产烧录器仅支持 P3.0/P3.1

27. 工作电压和电流

- $V_{CC} = 2.2V \sim 5.5V$ @ $F_{SYSCLK}=18.432MHz$ ($-40^{\circ}C \sim +105^{\circ}C$)
- $I_{CC} = 0.2\mu A$ @停止模式, $PWRSV=1$, $V_{CC}=3V$
- $I_{CC} = 2.4\mu A$ @暂停模式, $PWRSV=1$, $V_{CC}=3V$
- $I_{CC} = 3.6\mu A$ @空闲模式, $PWRSV=1$, $PORPD=1$, $V_{CC}=3V$

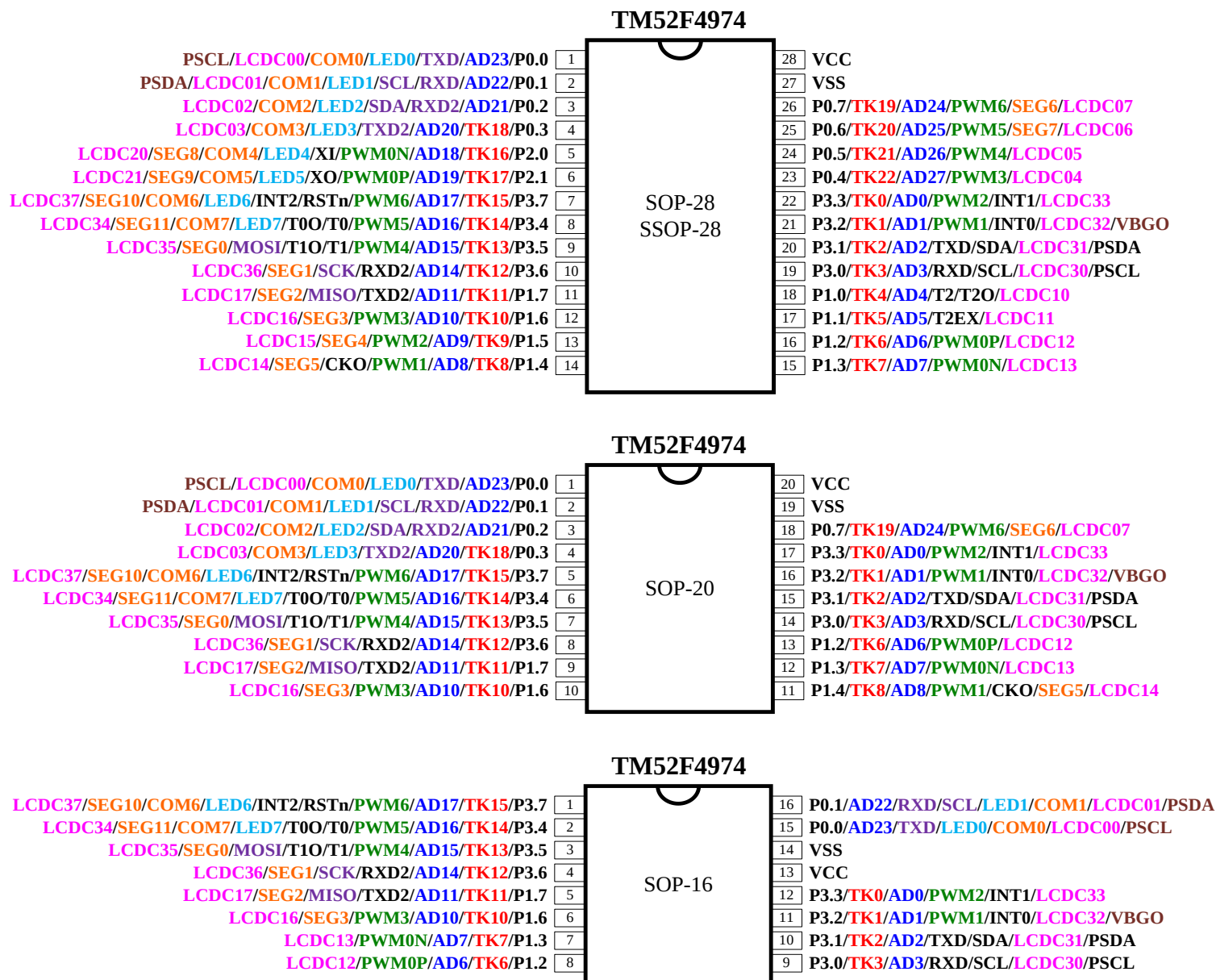
28. 工作温度范围

- $-40^{\circ}C \sim +105^{\circ}C$

29. 封装类型

- 28-pin SOP (300 mil)
- 28-pin SSOP (150 mil)
- 20-pin SOP (300 mil)
- 16-pin SOP (150 mil)

引脚图



引脚描述

引脚名称	输入/输出	引脚描述
P0.0~P0.7 P1.0~P1.7 P2.0~P2.1 P3.3~P3.7	I/O	位编程输入/输出端口,可施密特触发输入,CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。 这些引脚的电平变化可以唤醒 CPU 的空闲/暂停/停止模式。
P3.0~P3.2	I/O	位编程输入/输出端口,可施密特触发输入,CMOS 推挽输出或”伪开漏输出”。上拉电阻是由软件分配。 这些引脚的电平变化可以唤醒 CPU 的空闲/暂停/停止模式。
INT0, INT1	I	外部低电平或下降沿中断输入,空闲/暂停/停止模式唤醒输入
INT2	I	外部下降沿中断输入,空闲/暂停/停止模式唤醒输入
RXD	I/O	UART1 模式 0 发送及接收数据,模式 1/2/3 接收数据
RXD2	I/O	UART2 模式 1/3 接收数据
TXD	I/O	UART1 模式 0 发送时钟,模式 1/2/3 发送数据。
TXD2	I/O	UART2 模式 1/3 发送数据
T0, T1, T2	I	Timer0, Timer1, Timer2 事件计数引脚输入
T2EX	I	Timer2 外部触发输入
T0O	O	Timer0 溢出除以 64 输出
T1O	O	Timer1 溢出除以 2 输出
T2O	O	Timer2 溢出除以 2 输出
CKO	O	系统时钟除以 2 输出
VBGO	O	带隙基准电压输出
PWM1~PWM6 PWM0P/PWM0N	O	16 位 PWM 输出
AD0~AD11, AD14~AD27	I	ADC 输入
TK0~TK22	I	触摸键输入
LCD00~LCD07 LCD10~LCD17 LCD20~LCD21 LCD30~LCD37	O	LCD 1/2 偏压输出
COM0~COM7	O	LED 矩阵模式 COM 输出
SEG0~SEG11	O	LED 矩阵模式 SEG 输出
LED0~LED7	O	LED 点阵模式输出
SCK	I/O	用于主机的 SPI 时钟输出或用于从机模式的时钟输入
MISO	I/O	SPI 数据输入用于主模式, 数据输出用于从模式
MOSI	I/O	SPI 数据输出用于主机模式, 数据输入用于从机模式
SCL	I/O	I ² C SCL
SDA	I/O	I ² C SDA
PSCL	I/O	I ² C SCL 烧录脚
PSDA	I/O	I ² C SDA 烧录脚
RSTn	I	外部低电平有效复位输入, 上拉电阻固定使能
XI, XO	—	晶振/谐振器振荡器连接, 用于系统时钟 (FXT 或 SXT)
VCC, VSS	P	电源输入引脚和接地

引脚汇总

Pin #	SOP-28	引脚名称	类型	初始状态	输入			输出			交替功能								其它
					上拉电阻	唤醒	外部中断	推挽	伪开漏	开漏	LCD	LED 矩阵模式	LED 点阵模式	ADC	触摸按键	PWM	定时器	I ² C / SPI / UART	
1		PSCL/LCDC00/COM0/LED0/TXD/AD23/P0.0	I/O	Hi-Z	●	●	●	●		●	●	●	●	●				●	PSDL
2		PSDA/LCDC01/COM1/LED1/SCL/RXD/AD22/P0.1	I/O	Hi-Z	●	●	●	●		●	●	●	●	●				●	PSDA
3		LCDC02/COM2/LED2/SDA/RXD/AD21/P0.2	I/O	Hi-Z	●	●	●	●		●	●	●	●	●				●	
4		LCDC03/COM3/LED3/TXD2/AD20/TK18/P0.3	I/O	Hi-Z	●	●	●	●		●	●	●	●	●	●			●	
5		LCDC20/SEG8/COM4/LED4/XI/PWM0N/AD18/TK16/P2.0	I/O	Hi-Z	●	●	●	●		●	●	●	●	●	●	●			Crystal
6		LCDC21/SEG9/COM5/LED5/XO/PWM0P/AD19/TK17/P2.1	I/O	Hi-Z	●	●	●	●		●	●	●	●	●	●	●			Crystal
7		LCDC37/SEG10/COM6/LED6/INT2/RSTn/PWM6/AD17/TK15/P3.7	I/O	Hi-Z	●	●	●	●		●	●	●	●	●	●	●			Reset
8		LCDC34/SEG11/COM7/LED7/T0O/T0/PWM5/AD16/TK14/P3.4	I/O	Hi-Z	●	●	●	●		●	●	●	●	●	●	●	●		T0O
9		LCDC35/SEG0/MOSI/T1O/T1/PWM4/AD15/TK13/P3.5	I/O	Hi-Z	●	●	●	●		●	●	●		●	●	●	●	●	T1O
10		LCDC36/SEG1/SCK/RXD2/AD14/TK12/P3.6	I/O	Hi-Z	●	●	●	●		●	●	●		●	●			●	
11		LCDC17/SEG2/MISO/TXD2/AD11/TK11/P1.7	I/O	Hi-Z	●	●	●	●		●	●	●		●	●			●	
12		LCDC16/SEG3/PWM3/AD10/TK10/P1.6	I/O	Hi-Z	●	●	●	●		●	●	●		●	●	●			
13		LCDC15/SEG4/PWM2/AD9/TK9/P1.5	I/O	Hi-Z	●	●	●	●		●	●	●		●	●	●			
14		LCDC14/SEG5/CKO/PWM1/AD8/TK8/P1.4	I/O	Hi-Z	●	●	●	●		●	●	●		●	●	●			CKO
15		LCDC13/PWM0N/AD7/TK7/P1.3	I/O	Hi-Z	●	●	●	●		●	●			●	●	●			
16		LCDC12/PWM0P/AD6/TK6/P1.2	I/O	Hi-Z	●	●	●	●		●	●			●	●	●			
17		LCDC11/T2EX/AD5/TK5/P1.1	I/O	Hi-Z	●	●	●	●		●	●			●	●		●		
18		LCDC10/T2O/T2/AD4/TK4/P1.0	I/O	Hi-Z	●	●	●	●		●	●			●	●		●		T2O
19		PSCL/LCDC30/SCL/RXD/AD3/TK3/P3.0	I/O	Hi-Z	●	●	●	●	●	●	●			●	●			●	PSCL
20		PSDA/LCDC31/SDA/TXD/AD2/TK2/P3.1	I/O	Hi-Z	●	●	●	●	●	●	●			●	●			●	PSDA
21		VBGO/LCDC32/INT0/PWM1/AD1/TK1/P3.2	I/O	Hi-Z	●	●	●	●	●	●	●			●	●	●			VBGO
22		LCDC33/INT1/PWM2/AD0/TK0/P3.3	I/O	Hi-Z	●	●	●	●		●	●			●	●	●			
23		LCDC04/PWM3/AD27/TK22/P0.4	I/O	Hi-Z	●	●	●	●		●	●			●	●	●			
24		LCDC05/PWM4/AD26/TK21/P0.5	I/O	Hi-Z	●	●	●	●		●	●			●	●	●			
25		LCDC06/SEG7/PWM5/AD25/TK20/P0.6	I/O	Hi-Z	●	●	●	●		●	●	●		●	●	●			
26		LCDC07/SEG6/PWM6/AD24/TK19/P0.7	I/O	Hi-Z	●	●	●	●		●	●	●		●	●	●			
27		VSS	P																
28		VCC	P																

功能描述

1. CPU 核心

采用 8051 的架构, C 语言作为开发平台。TM52 装置拥有一个快速 8051 内核的高度集成微控制器, 可以使开发人员实现比传统 8051 芯片更高的性能。TM52 系列微控制器提供标准 8051 指令集兼容的完整的二进制代码, 以确保一个简单的移植路径, 以加快系统产品的开发速度。CPU 核心包括了 ALU, 程序状态字 (PSW), 累加器 (ACC), B 寄存器, 堆栈指针 (SP), 数据指针, 编程计数器, 指令译码器, 以及核心的特殊功能寄存器 (SFR)。

1.1 累加器 (ACC)

该寄存器提供了一个运算数供给大多数的 ALU 操作。累加器通常被称为 A 或 ACC 和有时被称为寄存器 A。在本文档中, 累加器被表示为 “A” 或 “ACC”, 包括指令表。累加器, 正如其名称所示, 被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果, 以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 ACC: 累加器

1.2 B 寄存器 (B)

“B” 寄存器和 ACC 是非常相似的, 可容纳 1 个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则, 它可被用作一个暂存寄存器。B 寄存器只有用于两个 8051 的指令, MUL 和 DIV。当 A 乘或除以另一个数, 结果数存储在 B。对于 MUL 和 DIV 指令, 有必要将这两个运算数放在 A 和 B。

ex: DIV AB

当执行该指令, A 里面的数会除以 B 的数, 得到的答复是存储在 A。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 B: B 寄存器

1.3 堆栈指针 (SP)

SP 寄存器包含堆栈指针。执行 LCALL, ACALL 和 PUSH 指令时, 堆栈指针先加 1, 再将程序计数器加载到堆栈中。执行 RET, RETI 和 POP 指令时, 堆栈数据退回程序计数器后, 堆栈指针再减 1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP**: 堆栈指针

1.4 数据指针 (DPTRs)

TM52 装置有两个数据指针, 它们共享相同的 SFR 地址。每个 DPTR 的大小是 16 位, 有两个数据指针寄存器: 高字节 (DPH) 和低字节 (DPL)。该 DPTR 用于 16 位地址的外部存储器存取, 偏移字节代码读取和偏移程序跳转。设置 DPSEL 控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL**: 数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH**: 数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	—	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W
Reset	0	0	0	0	1	1	—	0

F8h.0 **DPSEL**: 活动DPTR选择

1.5 程序状态字(PSW)

该寄存器包含 CPU 和 ALU 操作导致的状态信息。会影响 PSW 的指令如下所示。

指令	标志		
	C	OV	AC
ADD	X	X	X
ADDC	X	X	X
SUBB	X	X	X
MUL	0	X	
DIV	0	X	
DA	X		
RRC	X		
RLC	X		
SETB C	1		

指令	标志		
	C	OV	AC
CLR C	0		
CPL C	X		
ANL C, bit	X		
ANL C, /bit	X		
ORL C, bit	X		
ORL C, /bit	X		
MOV C, bit	X		
CJNE	X		

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**: ALU 进位标志

D0h.6 **AC**: ALU 辅助进位标志

D0h.5 **F0**: 通用的使用者定义标志

D0h.4~3 **RS1, RS0**: (RS1, RS0) 的内容所启动之工作寄存器存储区为:

00: 存储区 0 (00h~07h)

01: 存储区 1 (08h~0Fh)

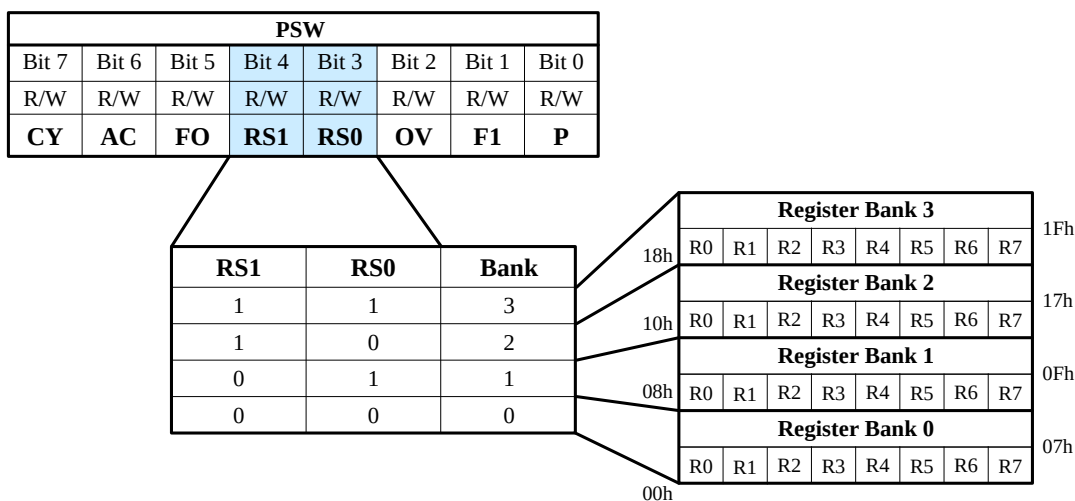
10: 存储区 2 (10h~17h)

11: 存储区 3 (18h~1Fh)

D0h.2 **OV**: ALU 溢出标志

D0h.1 **F1**: 通用的使用者定义标志

D0h.0 **P**: 奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



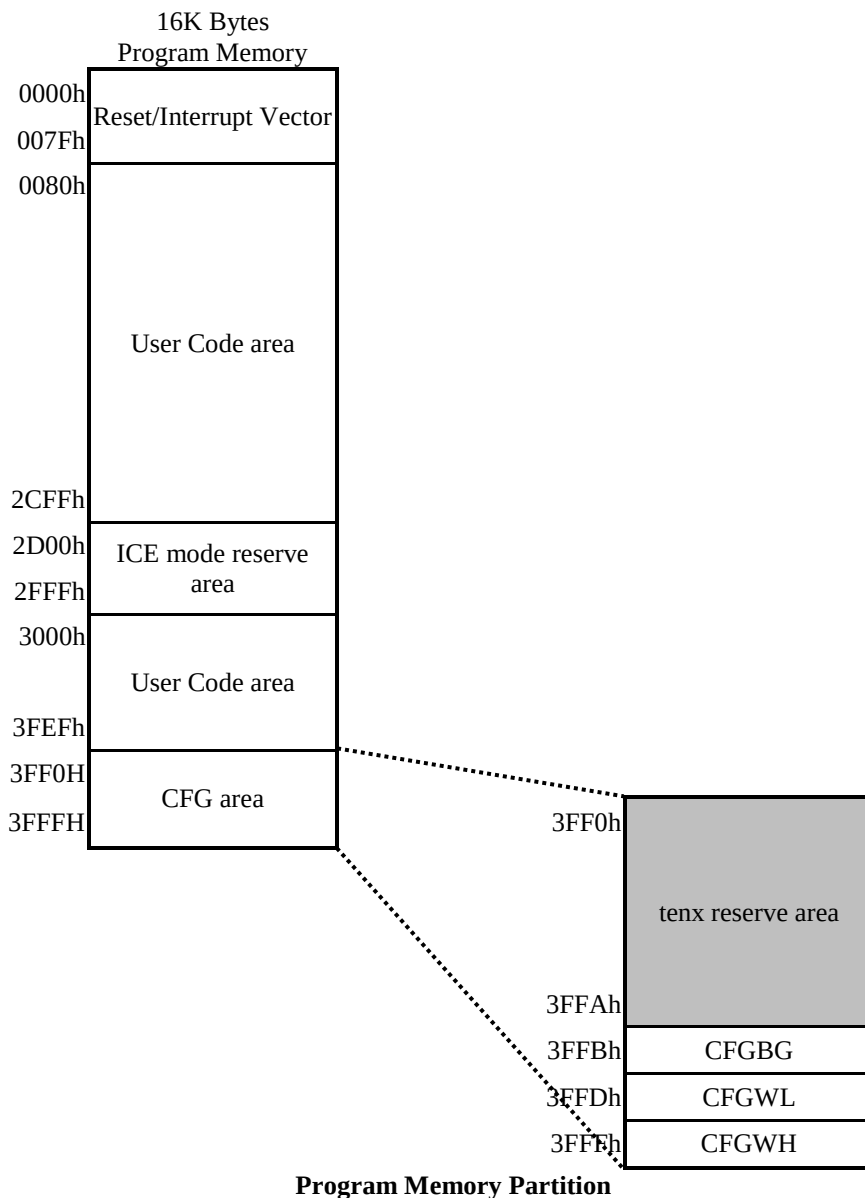
2. 存储器

2.1 程序存储器

该芯片有 16K 字节的闪存程序存储器,可支持在线编程(ICP),在应用编程(IAP)和在系统编程(ISP)功能模式。此闪存可反复擦写至少 1 万次以上。闪存程序存储器的连续地址空间(0000h~3FFFh)被划分到多个扇区的设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后 16 个字节(3FF0h~3FFFh)被定义为芯片配置字(CFGW),在上电复位(POR)时,它会被装载到装置控制寄存器。0000h~007Fh 被标准 8051 定义为复位/中断向量。在线仿真(ICE)模式下,用户还需要预留 2D00h~2FFFh 的地址空间以供 ICE 系统通讯使用。CRC16H/L 是校验和的保留区域。Tenx 可以提供 CRC 验证子程序。用户可以通过 CRC 校验子程序计算校验和, 以与 CRC16H/L 进行比较, 并检查 ROM 代码的有效性。



2.1.2 闪存 ICP 模式

闪存存储器可以通过 **tenx** 专有的烧录器(TWR99/TWR100),这需要至少四根线(VCC,VSS,P3.0 和 P3.1 引脚)连接到该芯片以进行编程。如果用户想在目标电路板上的闪存进行编程(在电路编程,ICP),这些引脚必须保留足够的自由来连接到烧录器,最好不要连接电路;如果要连接电路的话,请参考相关 AP 资料。

连接线数目	连接管脚
4 线	VCC, VSS, P3.0, P3.1

2.1.3 闪存 IAP 模式

该芯片具有“在应用编程”(IAP)功能,它允许软件在 CPU 运行时对闪存存储器读/写数据,就像对 EEPROM 存取数据一样方便。IAP 功能是单字节的写入,这意味着芯片并不需要在写入前擦除一整个闪存页面。IAP 可用数据空间是芯片复位后 240 个字节,并且可以由“IAPALL”控制寄存器重新定义,如下所示。

16K Bytes Flash Program memory		Flash memory	IAPALL	MOVC Accessible	MOVX (IAP) Accessible
0000h	IAP-All area	0000h~3EFFh	0	Yes	No
3EFFh			1	Yes	Yes
3F00h	IAP-Free area	3F00h~3FEFh	X	Yes	Yes
3FEFh	CFGW area	3FF0h~3FF7h	X	Yes	Yes
3FF0h		3FF8h~3FFEh	0	Yes	No
			1	Yes	Yes
3FFFh		3FFFh	X	Yes	No

在 IAP 模式下,程序闪存分为三个扇区:IAP-All 区域、IAP-Free 区域和 CFGW 区域。这三个扇区受到不同的管制。

IAP-All 区域受 IAPALL 寄存器保护,以防止 IAP 模式将应用程序数据写入程序区域,导致无法修复的程序代码错误。该区域的大小为 16128 字节。启用 IAPALL 需要将 65h 写入 SFR SWCMD 97h 以设置 IAPALL 控制标志。然后,软件可以使用 MOVX 指令将应用数据写入闪存 0000h 至 3EFFh。如果用户想要禁用 IAPALL 功能,用户可以向 SFR SWCMD 97h 写入其他值以清除 IAPALL 控制标志。用户必须小心,不要覆盖已驻留在同一闪存区域的程序代码。

IAP-Free 区域没有控制位来保护。它可以可靠地存储系统运行期间需要一次性或定期编程的系统应用数据。闪存的其他区域可以用来存储数据,但这个区域通常更好。该区域的大小为 240 字节,相当于一个 EEPROM。额外提供了一个实体 128 字节的 EEPROM,比起闪存,EEPROM 拥有较广泛的写入电压以及擦写次数,建议优先使用 EEPROM 来存储数据。

CFGW 区域有 3 个数据字节 (CFGWH、CFGWL 和 CFGBG)，它位于 Flash 存储器的最后 16 个地址。IAP 无法访问 CFGWH，而在设置了 IAPALL 标志的情况下，IAP 可以读取或写入 CFGWL 和 CFGBG。上电复位后，CFGWL 被复制到 SFR F6h，CFGBG 被复制到 SFR F5h，然后软件可以通过修改 SFR F6h 和 F5h 来接管 CFGWL 和 CFGBG 的控制能力。

2.1.4 闪存 IAP 模式存取程序

IAP 闪存写入通过“MOVX @DPTR,A”指令来实现,数据指针 (DPTR) 包含闪存的目标地址 (0000h~3FFEh),ACC 包含要写入的数据。该芯片只有在 IAPWE SFR 使能时才会接受 IAP 写入命令。IAP 闪存写入大约需要 1 ms @V_{CC}=5.0V。同时,CPU 处于等待状态,但所有外设模块(定时器等)在写入期间继续运行。软件必须在 IAP 写完后处理期间产生的中断。同时该芯片内建一个 IAP 看门狗定时器,用以离开当写入失败的卡死状态。IAP 闪存写入需要设定系统时钟跑 FRC/2(含以下)且 V_{CC} > 4.0V。

由于程序存储器和 IAP 数据共享同一个实体空间,只要目标地址指向 0000h~3FFFh 区域,IAP 可以通过“MOVX @ A,DPTR”或“MOVC”指令读取闪存,可联络 FAE 取得详细信息。闪存的 IAP 读取不需要额外的 CPU 等待时间。

; IAP示例代码 (汇编)

; 需要4.0V < V_{CC} < 5.5V

```
ANL    AUX2, #3Fh      ; Disable WDT
MOV     DPTR, #3F00h    ; DPTR=3F00h=target IAP address
MOV     A, #5Ah         ; A=5Ah=target IAP write data
MOV     IAPWE, #47h     ; IAP write enable
ORL     AUX2, #02h      ; IAP Time-Out function enable
MOVX    @DPTR, A        ; Flash[3F00h] =5Ah, after IAP write
                        ; 1ms~2ms H/W writing time, CPU wait
MOV     IAPWE, #00h     ; IAP write disable, immediately after IAP write
CLR     A               ; A=0
MOVX    A, @DPTR        ; A=5Ah
CLR     A               ; A=0
MOVC    A, @A+DPTR      ; A=5Ah
```

; IAP示例代码 (C语言)

; 需要4.0V < V_{CC} < 5.5V

```
unsigned char xdata PROM[4096] _at_ 0x2000 // 0x2000 = start address
```

```
unsigned char code CODE[4096] _at_ 0x2000 // 0x2000 = start address
```

```
IAPALL = 0x65;
IAPWE = 0x47;
PROM[0x02] = wdata; // write data into ROM[0x2002]
IAPWE = 0x00;
IAPALL = 0x00;
```

```
rdata = CODE[0x105]; // read data from ROM[0x2105]
```

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
R/W	W							
Reset	—							

97h.7~0 **IAPALL(W)**:写入 65h 以设置 IAPALL 控制标志,写入其它值则清除 IAPALL 标志。建议 IAP 写入命令完成后, 立即清除 IAPALL 标志。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	—						WDTO	IAPALL
R/W	R						R	R
Reset	0						0	0

97h.0 **IAPALL (R)**:该标志指示闪存扇区可否通过 IAP 进行存取

0: 闪存 IAP 禁用

1: 闪存 IAP 启用

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPCON							
R/W	W							
Reset	—	—	—	—	—	—	—	—

C9h.7~0 **IAPCON (W)**:

写入 47h 或 74h 设置 IAPWE 标志;写 47h 一次可以写 1 字节, 写 74h 一次可以写 2 字节。

写入其他值以清除 IAPWE 标志。建议在 IAP 写入后立即清除它。

写 A1h 设置 INFOWE 标志;写其他值清除 INFOWE 标志。建议在 IAP 写入后立即清除它。

写 E2h 设置 EEPWE 标志;写入其他值以清除 EEPWE 标志。建议在写入 EEPROM 后立即清除。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPWE	IAPTO	EEPWE	INFOWE	—	—	—	—
R/W	R	R	R	R	—	—	—	—
Reset	0	0	0	0	—	—	—	—

C9h.7 **IAPWE (R)**: 写标志表示闪存是否可以被 IAP 写入

0: 禁用 IAP 写功能

1: 启用 IAP 写功能

C9h.6 **IAPTO (R)**: IAP 写/EEPROM 写/INFO 写超时标志。当 IAP 或 EEPROM 写或 INFO 写超时, 由 H/W 设置。当 IAPWE=0 或 EEPWE=0 或 INFOWE=0 时, H/W 清除该标志。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.2~1 **IAPTE**: 使能 IAP 写/EEPROM 写/INFO 写看门狗定时器

00: 禁用

01: 等待 3ms 触发看门狗超时标志, 退出写失败状态

10: 等待 6ms 触发看门狗超时标志, 退出写失败状态

11: 等待 25ms 触发看门狗超时标志, 退出写失败状态

2.1.5 闪存 ISP 模式

“在系统编程” (ISP) 的用法和 IAP 类似，但目的是为了更新程序代码。用户可以使用 UART/SPI 或其他方法从外部主机来获得新的程序代码，然后用 IAP 相同的方式写入代码。ISP 操作复杂；基本上它需要指定一个启动代码区，不受 ISP 过程而被改变的 flash 区。

2.2 EEPROM 数据存储器

该芯片包含了一个 128 字节的 EEPROM 数据存储器。它被组织为一个单独的数据空间，可以读取和写入单个字节。EEPROM 具有至少 5 万次的写入/擦除周期耐久性。

EEPROM Memory	
EE00h	EEPROM[0]
EE02h	EEPROM[1]
EE04h	.
EEFCh	EEPROM[126]
EEFEh	EEPROM[127]

(只使用偶数地址，奇数地址无效)

EEPROM 数据写入使用类似闪存 IAP 的方式，通过“MOVX @DPTR,A”指令来实现,数据指针 (DPTR)包含 EEPROM 的目标地址(EE00h~EEFEh,地址每次跳 2，即 $Addr.=Addr.+2$),ACC 包含要写入的数据。写入大约需要 2 ms @ $V_{CC}=3.5V$, 1 ms @ $V_{CC}=5.0V$ 。同时,CPU 处于等待状态,但所有外设模块(定时器, LED 等)在写入期间继续运行。软件必须在 EEPROM 数据写入完成后处理期间产生的中断。同时该芯片内建一个 EEPROM 看门狗定时器(与 IAP 看门狗定时器共享),用以离开当写入失败的卡死状态。EEPROM 数据写入需要 $V_{CC} > 3.5V$ 。

通过“MOVX A,@ DPTR”指令，只要将目标地址指向 EE00h~EEFEh 区域，便可以读取 EEPROM 数据。EEPROM 数据读取大约需要 300ns。

```

; EEPROM示例代码
; 需要 3.5V < VCC < 5.5V
ANL      AUX2, #3Fh          ; Disable WDT
MOV      DPTR, #0EE00h       ; DPTR=EE00h=target EEPROM[0] address
MOV      A, #0A5h            ; A=A5h=target EEPROM[0] write data
MOV      EEPWE, #0E2h        ; EEPROM write enable
ORL      AUX2, #04h          ; EEPROM Time-Out function select
MOVX     @DPTR, A             ; EEPROM[0]=A5h, after EEPROM write
                                ; 1ms~2ms H/W writing time, CPU wait
MOV      EEPWE, #000h        ; EEPROM write disable, immediately after EEPROM write
CLR      A                    ; A=0
MOVX     A, @DPTR             ; A=A5h
    
```

2.3 EEPROM 操作注意事项

2.3.1 关于 EEPROM 的烧写特性

- (1) EEPROM 烧写时间不是固定的，烧写不同的数据需要的时间不同。
- (2) 烧写时间与电压、温度、数据转换条件皆有影响，较高的电压烧写时间较短，高温及数据烧写 0 数据较多时，烧写时间也相对较长。
- (3) EEPROM 烧写途中 CPU 处于等待状态，但所有外设模块(定时器等)仍继续运行。软件必须在 EEPROM 数据写入完成后处理期间产生的中断。
- (4) 此芯片内置一个写入超时看门狗定时器保护写超时，确保系统能正常执行程序。

2.3.2 关于 EEPROM 的烧写次数

程序 EEPROM 的烧写次数,与电压、温度、烧写次数有关。

至少 5 万次擦写寿命 ($F_{SYS}=FRC/2$, $3.5V<电压<5.5V$, $-20^{\circ}C\sim105^{\circ}C$)

2.3.3 写校验

根据具体的应用，一般要求将写入程序 EEPROM 的值读回对比校验。

2.3.4 避免误写的保护

写操作的启动时，以下操作可防止发生误写操作：

- (1) 欠压侦测，写 EEPROM 时，电压必须 $>3.5V$ ，可以使用 LVD 功能监控电压
(LVD 监控电压建议 $>3.7V$ ，以防断电时，给写 EEPROM 留充足的时间)
- (2) 每写一个字节，清系统看门狗(WDT)，防止多字节连续写时，导致系统看门狗复位。
- (3) 写数据时，暂时关闭总中断，完成后再恢复。
- (4) 软件故障，程序里添加 EEPROM 回读机制确保数据正确写入。
- (5) 超时保护，程序里开启写入超时看门狗(IAPTE)，保护写超时系统不卡死。
- (6) 电源毛刺，根据波形在 VCC 与 VSS 引脚处并联电容可稳定系统电源。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPCON							
R/W	W							
Reset	—	—	—	—	—	—	—	—

C9h.7~0 IAPCON (W):

写入 47h 或 74h 设置 IAPWE 标志;写 47h 一次可以写 1 字节, 写 74h 一次可以写 2 字节。

写入其他值以清除 IAPWE 标志。建议在 IAP 写入后立即清除它。

写 A1h 设置 INFOWE 标志;写其他值清除 INFOWE 标志。建议在 IAP 写入后立即清除它。

写 E2h 设置 EEPWE 标志;写入其他值以清除 EEPWE 标志。建议在写入 EEPROM 后立即清除。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPWE	IAPTO	EEPWE	INFOWE	—	—	—	—
R/W	R	R	R	R	—	—	—	—
Reset	0	0	0	0	—	—	—	—

C9h.6 **IAPTO (R):** IAP 写/EEPROM 写/INFO 写超时标志。当 IAP 或 EEPROM 写或 INFO 写超时, 由 H/W 设置。当 IAPWE=0 或 EEPWE=0 或 INFOWE=0 时, H/W 清除该标志。

C9h.5 **EEPWE (R):** 标志指示 EEPROM 存储器是否可以被写入

0: 禁用 EEPROM 写功能

1: 启用 EEPROM 写功能

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.2~1 **IAPTE:** 使能 IAP 写/EEPROM 写/INFO 写看门狗定时器

00: 禁用

01: 等待 3ms 触发看门狗超时标志, 退出写失败状态

10: 等待 6ms 触发看门狗超时标志, 退出写失败状态

11: 等待 25ms 触发看门狗超时标志, 退出写失败状态

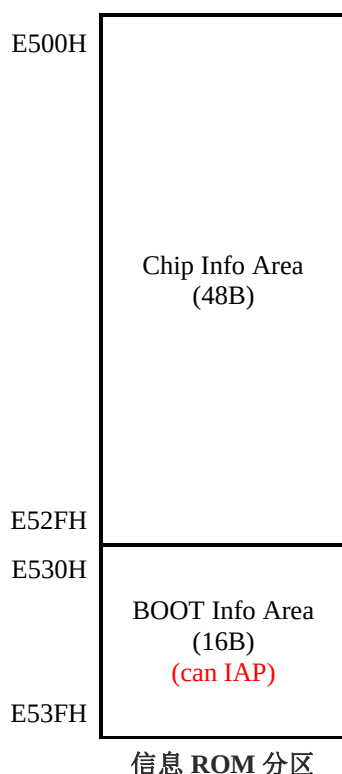
2.4 信息存储器

芯片有一个 64 字节的信息存储器。信息内存地址连续空间(E500h~E53Fh)被划分为多个扇区，用于设备操作。

芯片信息区是一个保留的区域，定义为生产信息，如 ID，特殊规定，编码号码，校验和。BOOT Info 区域允许 IAP 写入，用户可以在 Flash IAP 后在该区域存储新的校验和代码。此外 S/W 必须在 IAP 写入之前禁用 WDT。

要使用 IAP 功能，用户需要满足以下条件：

1. 只有引导信息区域可以由 IAP 编写；
2. 设置 INFOWE = 1。



Info ROM IAP 写入：

简单地通过“MOVX @DPTR, a”指令实现，而 DPTR 包含目标 Flash 地址，ACC 包含正在写入的数据。Flash 写入大约需要 0.6 ms @V_{CC}=4.0V~5.5V, V_{CC} 电容大于 220uF。在 IAP 期间，CPU 处于等待状态，但所有外设模块在写入时间内继续运行。软件必须在 IAP 写入完成后处理期间产生的中断。芯片内置 IAPTE(F7h.2~1)选择的写超时功能，可避开写失败状态。

Info ROM IAP 读取：

只要目标地址指向 E500h~E53Fh 区域，就可以由“MOVX”指令执行。Info ROM 的 IAP 读取不需要额外的 CPU 等待时间。

Info ROM IAP示例代码:

; 需要 $4.0V < V_{CC} < 5.5V$

```
ANL      AUX2, #3Fh      ; Disable WDT
MOV      DPTR, #E530h    ; DPTR=E530h=target IAP address
MOV      A, #5Ah         ; A=5Ah=target IAP write data
ORL      AUX2, #04h      ; IAP Time-Out function select
MOV      IAPCON, #A1h    ; Info ROM IAP write enable.
MOVX     @DPTR, A        ; IAP Write Info ROM
                        ; Info ROM[E530h] =5Ah after IAP write
MOV      IAPCON, #00h    ; IAP write disable, immediately after IAP write
ANL      PWRCON, #7Fh    ; IVC Enable
MOVX     A, @DPTR        ; Read Info ROM. A=5Ah
```

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPCON							
R/W	W							
Reset	—	—	—	—	—	—	—	—

C9h.7~0 **IAPCON (W):**

写入 47h 或 74h 设置 IAPWE 标志;写 47h 一次可以写 1 字节, 写 74h 一次可以写 2 字节。

写入其他值以清除 IAPWE 标志。建议在 IAP 写入后立即清除它。

写 A1h 设置 INFOWE 标志;写其他值清除 INFOWE 标志。建议在 IAP 写入后立即清除它。

写E2h设置EEPWE标志;写入其他值以清除EEPWE标志。建议在写入EEPROM后立即清除。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPWE	IAPTO	EEPWE	INFOWE	—	—	—	—
R/W	R	R	R	R	—	—	—	—
Reset	0	0	0	0	—	—	—	—

C9h.6 **IAPTO (R):** IAP写/EEPROM写/INFO写超时标志。当IAP或EEPROM写或INFO写超时, 由 H/W设置。当IAPWE=0或EEPWE=0或INFOWE=0时, H/W清除该标志。

C9h.4 **INFOWE (R):** 标志指示 INFO 存储器是否可以被写入

0: 禁用 INFO IAP 写功能

1: 启用INFO IAP写功能

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.2~1 **IAPTE:** 使能 IAP 写/EEPROM 写/INFO 写看门狗定时器

00: 禁用

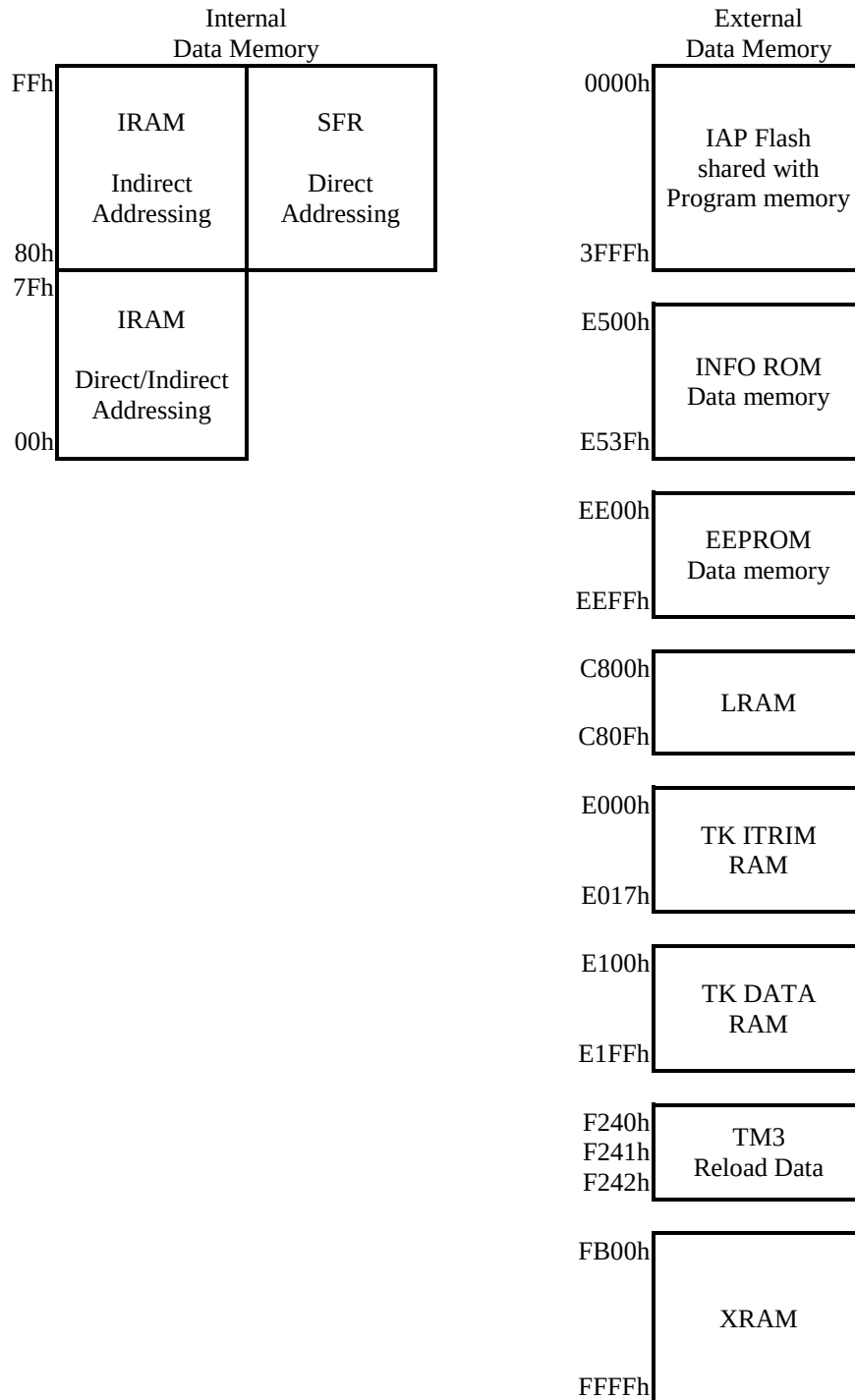
01: 等待 3ms 触发看门狗超时标志, 退出写失败状态

10: 等待 6ms 触发看门狗超时标志, 退出写失败状态

11: 等待 25ms 触发看门狗超时标志, 退出写失败状态

2.5 数据存储器

正如标准的 8051，该芯片具有内部和外部数据存储器空间。内部数据存储器空间由 256 字节 IRAM 和 SFR 组成，可通过丰富的指令集进行访问。外部数据存储器空间由 1280 字节 XRAM、16 字节 LCD RAM、3 字节 TM3 重载数据、24 字节 TK ITRIM RAM、64 字节 TK DATA RAM、128 字节 EEPROM、64 字节 INFO ROM 和 IAP 闪存组成，只能通过 MOVX 指令存取。



2.5.1 IRAM

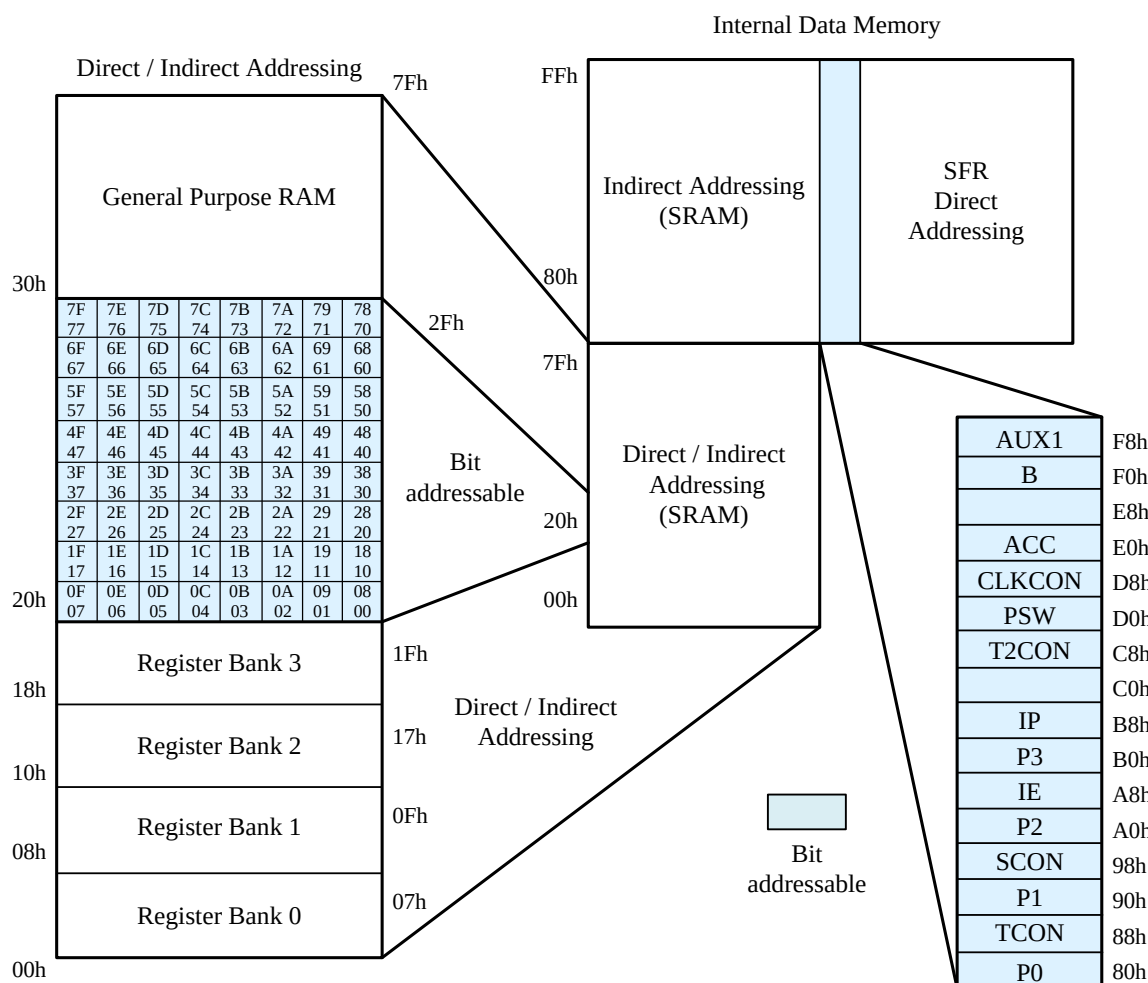
IRAM 位于 8051 内部数据存储空间。整个 256 字节 IRAM 都可以使用间接寻址存取,只有较低的 128 字节可以使用直接寻址存取。有四个直接寻址寄存器组(由 PSW 开关),占据 IRAM 空间从 00h 到 1Fh。地址 20h 到 2Fh 的 16 字节 IRAM 空间可以使用位寻址。IRAM 可以作为一般寄存器和程序堆栈。

2.5.2 XRAM

XRAM 位于 8051 外部数据存储器空间(地址从 FB00h 到 FFFFh)。1280 字节 XRAM 只能通过“MOVX”指令存取。

2.5.3 SFRs

芯片的所有外围功能模块(例如 I/O 端口、定时器和 UART 操作)均通过特殊功能寄存器 (SFR) 存取设置。这些寄存器占用高 128 字节位置直接数据存储空间上的 80h 到 FFh 范围。有 14 可位寻址的 SFR(这意味着单个字节内部的 8 个各别的位是可寻址的),如 ACC, B 寄存器, PSW, TCON, SCON 和其他。其它 SFR 只能按字节寻址。SFR 提供了内部资源和该芯片的外围设备进行数据交换和控制。在 TM52 系列微控制器提供了与标准 8051 指令集完全兼容的二进制代码。除了标准 8051 特殊功能寄存器之外,该芯片还实现了额外的 SFR,用于用于配置和存取额外子系统的特殊功能寄存器,例如 ADC/TK/LED/LCD 等等该芯片特有功能。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B	CRCDL	CRCDH	CRCIN		CFGBG	CFGWL	AUX2
E8h		PWM4DH	PWM4DL	PWM5DH	PWM5DL	PWM6DH	PWM6DL	AUX3
E0h	ACC	MICON	MIDAT	LVRCON	LVDCON	EFTCON	EXA	EXB
D8h	CLKCON	PWM0PRDH	PWM0PRDL	PWM1PRDH	PWM1PRDL	PWM3DH	PWM3DL	UART1CON
D0h	PSW	PWM0DH	PWM0DL	PWM1DH	PWM1DL	PWM2DH	PWM2DL	TKCON3
C8h	T2CON	IAPCON	RCP2L	RCP2H	TL2	TH2	EXA2	EXA3
C0h		SIADR	SICON	SIRCD1	SITXRCD2	ATKCH0	ATKCH1	ATKCH2
B8h	IP	IPH	IP1	IP1H	SPCON	SPSTA	SPDAT	
B0h	P3	LXDCON	LXDCON2	P3LOE	TKTMRL	TKTMRH	PWMOE0	PWMOE1
A8h	IE	INTE1	ADC DL	ADC DH	P1LOE	TKCON	ADCHSEL	PWMCON2
A0h	P2	PWMCON	P1MODL	P1MODH	P3MODL	P3MODH	PINMOD	TKCHS
98h	SCON	SBUF	SCON2	SBUF2	P0WKUP	P2WKUP	P3WKUP	
90h	P1	P0MODL	P0MODH	P2MODL	OPTION	INTFLG	P1WKUP	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1	P2LOE	UART2CON
80h	P0	SP	DPL	DPH	INTE2	INTFLG2	P0LOE	PCON

SFR 表

3. LVR 和 LVD 设置

该芯片提供低电压复位（LVR）和低电压检测（LVD）功能。SFR LVRCON 可选择 16 级的 LVR，SFR LVDCON 可选择 16 级 LVD。而 SFR PWRSAV 和 LVRPD 位也会影响 LVR 功能，如下表所示。

操作模式	SFR			低电压复位 (LVR)	功能	Note
	LVRPD	PWRSAV	LVRSEL			
快钟模式 慢钟模式	0	X	0000	ON	LV Reset 2.05V	
	0	X	0001	ON	LV Reset 2.19V	
	0	X	0010	ON	LV Reset 2.33V	
	0	X	0011	ON	LV Reset 2.47V	
	0	X	0100	ON	LV Reset 2.61V	
	0	X	0101	ON	LV Reset 2.75V	
	0	X	0110	ON	LV Reset 2.89V	
	0	X	0111	ON	LV Reset 3.03V	
	0	X	1000	ON	LV Reset 3.17V	
	0	X	1001	ON	LV Reset 3.31V	
	0	X	1010	ON	LV Reset 3.45V	
	0	X	1011	ON	LV Reset 3.59V	
	0	X	1100	ON	LV Reset 3.73V	
	0	X	1101	ON	LV Reset 3.87V	
	0	X	1110	ON	LV Reset 4.01V	
	0	X	1111	ON	LV Reset 4.15V	
空闲模式 停止模式 暂停模式	0	0	0000	ON	LV Reset 2.05V	电流消耗约 60~80uA
	0	0	0001	ON	LV Reset 2.19V	
	0	0	0010	ON	LV Reset 2.33V	
	0	0	0011	ON	LV Reset 2.47V	
	0	0	0100	ON	LV Reset 2.61V	
	0	0	0101	ON	LV Reset 2.75V	
	0	0	0110	ON	LV Reset 2.89V	
	0	0	0111	ON	LV Reset 3.03V	
	0	0	1000	ON	LV Reset 3.17V	
	0	0	1001	ON	LV Reset 3.31V	
	0	0	1010	ON	LV Reset 3.45V	
	0	0	1011	ON	LV Reset 3.59V	
	0	0	1100	ON	LV Reset 3.73V	
	0	0	1101	ON	LV Reset 3.87V	
	0	0	1110	ON	LV Reset 4.01V	
	0	0	1111	ON	LV Reset 4.15V	
空闲模式	0	1	XXXX	ON	Disable LVR Enable POR 1.75V	电流消耗约 18uA
停止模式 暂停模式	0	1	XXXX	OFF	Disable	*最小电流消耗
快钟模式 慢钟模式 空闲模式	1	X	XXXX	ON	Disable LVR Enable POR 1.75V	电流消耗约 18uA
停止模式 暂停模式	1	X	XXXX	OFF	Disable	*最小电流消耗

注：暂停模式会比停止模式多了 SRC 启用的耗电流约 2~7uA。

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	—	—	PORPD	LVRPD	LVRSEL			
R/W	—	—	R/W	R/W	R/W			
Reset	—	—	0	0	0	0	0	0

E3h.5 **PORPD**: 开机复位选择

0:开启 POR 功能

1:关闭 POR 功能

E3h.4 **LVRPD**: 低电压复位功能选择

0:使能 LVR

1: LVR 未使能

E3h.3~0 **LVRSEL**: 低电压复位选择 (step=0.14V)

0000: 设置 LVR 为 2.05V

1000: 设置 LVR 为 3.17V

0001: 设置 LVR 为 2.19V

1001: 设置 LVR 为 3.31V

0010: 设置 LVR 为 2.33V

1010: 设置 LVR 为 3.45V

0011: 设置 LVR 为 2.47V

1011: 设置 LVR 为 3.59V

0100: 设置 LVR 为 2.61V

1100: 设置 LVR 为 3.73V

0101: 设置 LVR 为 2.75V

1101: 设置 LVR 为 3.87V

0110: 设置 LVR 为 2.89V

1110: 设置 LVR 为 4.01V

0111: 设置 LVR 为 3.03V

1111: 设置 LVR 为 4.15V

SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSEL			
R/W	R/W	R	R/W	R/W	R/W			
Reset	0	0	0	0	0	0	0	0

E4h.7 **LVDM**: 低电压检测功能模式

0: $V_{CC} < V_{LVD}$ (LVDIF = 1, 当 LVDO = 1 时)

1: $V_{CC} > V_{LVD}$ (LVDIF = 1, 当 LVDO = 0 时)

E4h.6 **LVDO**: 低电压检测实时输出

E4h.5 **LVDHYS**: LVD 迟滞使能

0:关闭 LVD 迟滞

1:使能 LVD 迟滞

E4h.4 **LVDPD**: 低电压检测功能选择 (在空闲/暂停/停止模式下自动关闭)

0:启用

1:禁用

E4h.3~0 **LVDSEL**: 低电压检测选择 (step=0.14V)

0000: 设置 LVD 为 2.05V

1000: 设置 LVD 为 3.17V

0001: 设置 LVD 为 2.19V

1001: 设置 LVD 为 3.31V

0010: 设置 LVD 为 2.33V

1010: 设置 LVD 为 3.45V

0011: 设置 LVD 为 2.47V

1011: 设置 LVD 为 3.59V

0100: 设置 LVD 为 2.61V

1100: 设置 LVD 为 3.73V

0101: 设置 LVD 为 2.75V

1101: 设置 LVD 为 3.87V

0110: 设置 LVD 为 2.89V

1110: 设置 LVD 为 4.01V

0111: 设置 LVD 为 3.03V

1111: 设置 LVD 为 4.15V

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAB	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W		R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.5 **PWRSAB**: 芯片节能选项

设置 1, 降低芯片在空闲/暂停/停止模式下的功耗

4. 复位

该芯片有五种类型的复位(Reset)方法。上电复位(POR),外部引脚复位(XRST), 软件复位(SWRST), 看门狗定时器复位(WDTR)和低电压复位(LVR), 复位后 SFR 返回到默认值。

4.1 上电复位 (POR)

上电复位后,设备停留在复位状态,进行 40mS 的芯片预热。上电复位需要 VCC 引脚的电压先放电至接近 VSS 电平,然后再上升超过 2.2V。POR 会在芯片进入暂停/停止模式下自动关闭,可以由 PORPD (E3h.5) 使能/禁止。

4.2 外部引脚复位 (XRST)

外部引脚复位为低电平有效。RSTn 引脚需要保持至少两个 SRC 时钟周期长到芯片可采样。外部引脚复位可以由 CFGW 使能/禁止。

4.3 软件复位 (SWRST)

软件复位是通过将数据 56h 写入 SWCMD (SFR 97h)来产生。

4.4 看门狗定时器复位 (WDTR)

WDT 溢出复位透过 WDTE (SFR F7h.7~6)来控制。WDT 使用 SRC 作为计数时基,在快钟/慢钟模式运行,在空闲/暂停/停止时钟模式下可选运行或停止。看门狗定时器溢出速度可透过 WDTOSC (SFR 94h.5~4)定义。WDT 由 CLRWDT (F8h.7)或复位清零。

4.5 低电压复位 (LVR)

低电压复位(LVR) 通过 LVRCON (E3h.3~0)可以选择 16 阶不同电压门槛值。当 PWRSAV (F7h.5) =1 时, LVR 会在芯片进入空闲/暂停/停止模式时自动关闭。可以由 LVRPD (E3h.4)使能/禁止。

注: 详情请参考 AP-TM52XXXXX_02S 有关 LVR 应用说明。

Flash 3FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	PORSEL	HVS	—	—	—	—

3FFFh.6 **XRSTE:** 外部引脚复位控制
0:关闭外部引脚复位
1:使能外部引脚复位

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	TKBUFS	TM3CKS	WDTPSC		ADCKS		TKOFC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.5~4 **WDTPSC:** 看门狗定时器预分频时间选择
00:400ms WDT 溢出率
01:200ms WDT 溢出率
10:100ms WDT 溢出率
11:50ms WDT 溢出率

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPEN/SWRST							
R/W	W							
Reset	—							

97h.7~0 **SWRST:** 写入 56h 以产生软件复位

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	—	—	PORPD	LVRPD	LVRSEL			
R/W	—	—	R/W	R/W	R/W			
Reset	—	—	0	0	0	0	0	0

E3h.5 **PORPD:** 上电复位选择
0:开启 POR 功能
1:关闭 POR 功能

E3h.4 **LVRPD:** 低电压复位功能选择
0:使能 LVR
1: LVR 未使能

E3h.3~0 **LVRSEL:** 低电压复位功能选择 (step=0.14V)
0000:设置 LVR 为 2.05V
0001:设置 LVR 为 2.19V
0010:设置 LVR 为 2.33V
0011:设置 LVR 为 2.47V
0100:设置 LVR 为 2.61V
0101:设置 LVR 为 2.75V
0110:设置 LVR 为 2.89V
0111:设置 LVR 为 3.03V
1000:设置 LVR 为 3.17V
1001:设置 LVR 为 3.31V
1010:设置 LVR 为 3.45V
1011:设置 LVR 为 3.59V
1100:设置 LVR 为 3.73V
1101:设置 LVR 为 3.87V
1110:设置 LVR 为 4.01V
1111:设置 LVR 为 4.15V

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAB	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W		R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.7~6 **WDTE:** 看门狗定时器复位控制
 0x: 看门狗定时器复位关闭
 10: 看门狗定时器复位于快钟/慢钟模式下使能, 空闲/停止/暂停模式时禁止
 11: 看门狗定时器复位始终启用

F7h.5 **PWRSAB:** 芯片节能选项
 设置 1, 降低芯片在空闲/暂停/停止模式下的功耗

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	–	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	–	R/W
Reset	0	0	0	0	1	1	–	0

F8h.7 **CLRWDT:** 设置为清除 WDT, H/W 在下一个时钟周期自动清除

SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSEL			
R/W	R/W	R	R/W	R/W	R/W			
Reset	0	0	0	0	0	0	0	0

E4h.7 **LVDM:** 低电压检测功能模式
 0: $V_{CC} < V_{LVD}$ (LVDIF = 1 而 LVDO = 1)
 1: $V_{CC} > V_{LVD}$ (LVDIF = 1, LVDO = 0)

E4h.6 **LVDO:** 低电压检测实时输出

E4h.5 **LVDHYS:** LVD 迟滞使能
 0: 关闭 LVD 迟滞
 1: 使能 LVD 迟滞

E4h.4 **LVDPD:** 低电压检测功能选择(在空闲/暂停/停止模式下自动关闭)
 0: 启用
 1: 禁用

E4h.3~0 **LVDSEL:** 低电压检测选择 (step=0.14V)
 0000: 设置 LVD 为 2.05V
 0001: 设置 LVD 为 2.19V
 0010: 设置 LVD 为 2.33V
 0011: 设置 LVD 为 2.47V
 0100: 设置 LVD 为 2.61V
 0101: 设置 LVD 为 2.75V
 0110: 设置 LVD 为 2.89V
 0111: 设置 LVD 为 3.03V
 1000: 设置 LVD 为 3.17V
 1001: 设置 LVD 为 3.31V
 1010: 设置 LVD 为 3.45V
 1011: 设置 LVD 为 3.59V
 1100: 设置 LVD 为 3.73V
 1101: 设置 LVD 为 3.87V
 1110: 设置 LVD 为 4.01V
 1111: 设置 LVD 为 4.15V

5. 时钟电路和操作模式

5.1 系统时钟

该芯片设计有双时钟系统。在运行时,用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以 1,2,4 或 16 的时钟分频器。快时钟可选用 FXT(快速晶振,1~18 MHz)或 FRC(快速内部 RC, 18.432 MHz)。慢时钟可以选用 SXT(慢速晶振,32 KHz)或 SRC(慢速内部 RC, 41 KHz)。快钟模式和慢钟模式被定义为快/慢时钟的 CPU 运行速度。

复位后,该设备在慢钟模式 41 KHz 的 SRC 运行。S/W 应该正确选择安全的芯片运行时钟速率。较高的 V_{CC} 允许芯片在更高的系统时钟频率运行。在典型的情况下,18 MHz 的系统时钟频率需要 $V_{CC} > 2.2V$ 。

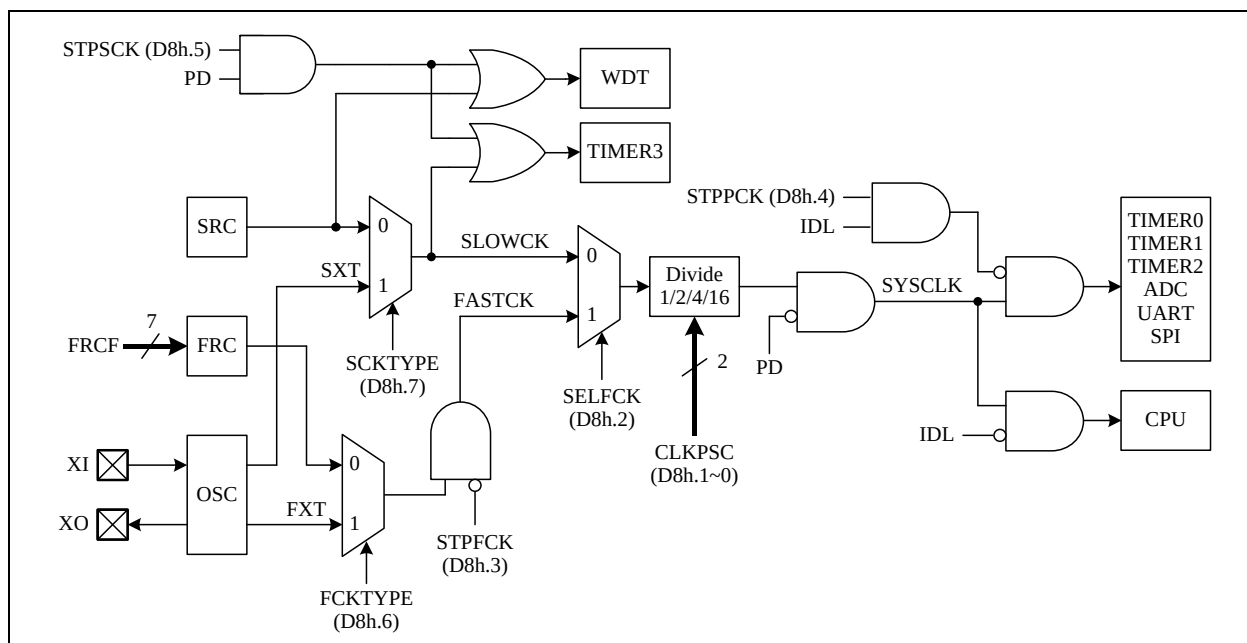
该芯片有两个外部振荡器连接到 XI/XO 引脚。它依赖于外部电路提供时钟信号、频率的稳定,例如一个独立的振荡器,石英晶体或陶瓷谐振器。在快钟模式中,快速振荡器可以使用的范围为 1~18 MHz。在慢钟模式下,慢速振荡器只能使用 32.768 KHz 的时钟频率。

CLKCON SFR 控制系统时钟的正常运行。H/W 自动阻断 S/W 异常设置该寄存器。S/W 只能在快钟模式下改变慢时钟类型,在慢钟模式下改变快时钟类型。千万不要同时写 STPFCK=1 & SELFCK=1。建议在写这个 SFR 时一次只写一个位。

如果使用者想要将 F_{sys} 从慢速时钟切换到 FXT, 用户应该按照以下步骤操作:

1. 设置 FCKTYPE (D8h.6)
2. 等待 2ms 直到 FXT 振荡稳定
3. 设置 SELFCK (D8h.2)

该芯片还可以向 P1.4 引脚输出“系统时钟 2 分频”信号 (CKO)。CKO 引脚的输出设置由 TCOE SFR 控制 (参见第 7 节)。



时钟结构

注: 因 CLKPSC 有延迟, 改变 CLKPSC 之后,需等待 16 个时钟周期之后, 再把慢时钟切换至快时钟, 请参考 AP-TM52XXXXX_01S 和 AP-TM52XXXXX_02S 有关系统时钟应用说明

SYSCLK	CLKCON (D8h)			
	bit7 SCKTYPE	bit6 FCKTYPE	bit3 STPFCK	bit2 SELFCK
Fast FXT	0/1	1	0	1
Fast FRC	0/1	0	0	1
Slow SXT	1	0/1	0/1	0
Slow SRC	0	0/1	0/1	0
Fast type change	0/1	0 ← → 1	0/1	0
Slow type change	0 ← → 1	0/1	0	1
Stop FRC/FXT	0/1	0/1	0 → 1	0
Switch to FRC/FXT	0/1	0/1	0	0 → 1
Switch to SRC/SXT	0/1	0/1	0	1 → 0

Flash 3FFDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	—	FRCF						

3FFDh.6~0 **FRCF**: FRC频率调整

在芯片制造中, FRC 被调整为 18.432 MHz。FRCF 记录调整数据。

SFR F6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	—	FRCF						
R/W	—	R/W						
Reset	—	—	—	—	—	—	—	—

F6h.6~0 **FRCF**: FRC频率调整

00h= 频率最低,7Fh=频率最高。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.7 **SCKTYPE**: 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0: SRC, P2.1, P2.0 为 I/O 引脚

1: SXT, P2.1, P2.0 为晶振引脚

D8h.6 **FCKTYPE**: 快时钟类型。该位只能在慢钟模式 (SELFCK=0) 时改变。

0: FRC, P2.1, P2.0 为 I/O 引脚

1: FXT, P2.1, P2.0 为晶振引脚

D8h.5 **STPSCK**: 设为 1, 停止慢钟在停止模式。

D8h.4 **STPPCK**: 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。如果设置, 则只有 Timer3 和引脚中断在空闲模式下有效。

D8h.3 **STPFCK**: 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK**: 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟

1: 快时钟

D8h.1~0 **CLKPSC**: 系统时钟分频器, 生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

5.2 操作模式

该设备有 5 种操作模式。**快钟模式**被定义为在快时钟速度运行的 CPU。**慢钟模式**被定义为慢时钟速度运行的 CPU。当系统时钟速度较低, 功耗较低。

空闲模式通过设置 PCON 中的 IDL 位进入。快或慢时钟都可设置为在空闲模式下的系统时钟源, 但慢时钟的省电越好。在空闲模式下, CPU 进入睡眠, 而片上外围设备保持活跃。在 CLKCON SFR 中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果 STPPCK=1, 只有 Timer3 和引脚中断有效, 其他外设 Timer0/1/2, ADC 和 UART 在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置 CLKPSC SFR 降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式是通过设置 PCON 中的 PD 位及 CLKCON 中的 STPSCK 位进入。这种模式在标准的 8051 是所谓的“省电”模式。在停止模式下, 除了 WDT 时钟可能开启, 其他所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

暂停模式是通过设置 PCON 中的 PD 位及清除 CLKCON 中的 STPSCK 位进入。在暂停模式下, 所有时钟都停止, 但如果启用了 Timer3 和 WDT, 则它们可能处于开启状态。暂停模式可以通过复位, 引脚唤醒或 Timer3 中断来终止。该模式下, Timer3 时钟源只能选择慢速时钟, 不能选择 FRC/512。

注: 如果 INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入暂停/停止模式。(INTn=0 and EXn=1, n=0~2)

注: 固件必须关闭 Bandgap 以获得最小电流消耗 (VBGOUT=0)

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.1 **PD:** 停止位, 如果 1 进入暂停/停止模式。

87h.0 **IDL:** 空闲位, 如果 1 进入空闲模式。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.7 **SCKTYPE:** 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0: SRC, P2.1, P2.0 为 I/O 引脚

1: SXT, P2.1, P2.0 为晶振引脚

D8h.6 **FCKTYPE:** 快时钟类型。该位只能在慢钟模式 (SELFCK=0) 时改变。

0: FRC, P2.1, P2.0 为 I/O 引脚

1: FXT, P2.1, P2.0 为晶振引脚

D8h.5 **STPSCK:** 设为 1, 停止慢钟在停止模式。

D8h.4 **STPPCK:** 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。如果设置, 则只有 Timer3 和引脚中断在空闲模式下有效。

D8h.3 **STPFCK:** 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK:** 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟

1: 快时钟

D8h.1~0 **CLKPSC**: 系统时钟分频器, 生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	TKBUFS	TM3CKS	WDTPSC		ADCKS		TKOFC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.6 **TM3CKS**: Timer3 时钟源选择

0: 慢时钟(SXT/SRC)

1: FRC / 512

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W		R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.4 **VBGOUT**: V_{BG} 电压输出到 P3.2

0: 禁用

1: 启用

6. 中断和唤醒

该芯片有 14 源 4 级中断优先级结构。所有的中断都可以从空闲模式唤醒 CPU,但只有引脚中断可以从暂停/停止模式下唤醒 CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是 0 还是 1, 中断事件将设置其个别的中断标志。中断向量和标志列表如下:

向量	标志	描述
0003	IE0	INT0 外部引脚中断(可以唤醒暂停/停止模式)
000B	TF0	Timer0 中断
0013	IE1	INT1 外部引脚中断(可以唤醒暂停/停止模式)
001B	TF1	Timer1 中断
0023	RI+TI	串口(UART1)中断
002B	TF2+EXF2	Timer2 中断
0033	—	保留为 ICE 模式使用
003B	TF3	Timer3 中断
0043	PCIF	Port0~Port3 外部引脚电平变化中断(可以唤醒暂停/停止模式)
004B	IE2	INT2 外部引脚中断(可以唤醒暂停/停止模式)
0053	ADIF/TKIF	ADC/触摸按键中断
005B	SPIF MIIF TXDF/RCD2F/RCD1F	SPI/I ² C 中断
0063	LVDIF	LVD 中断
006B	RI2+TI2	串口(UART2)中断
0073	PWM0IF PWM1IF	PWM0~ PWM1 中断

中断向量和标志

向量	项	中断使能	子中断使能	中断标志
0003	IE0	IE A8.0		TCON 88.1
000B	TF0	IE A8.1		TCON 88.5
0013	IE1	IE A8.2		TCON 88.3
001B	TF1	IE A8.3		TCON 88.7
0023	RI+TI	IE A8.4		SCON 98.1~0
002B	TF2+EXF2	IE A8.5		T2CON C8.7~6
0033	—			
003B	TF3	INTE1 A9.0		INTFLG 95.0
0043	PCIF	INTE1 A9.1		INTFLG 95.1
004B	IE2	INTE1 A9.2		INTFLG 95.2
0053	ADIF/TKIF	INTE1 A9.3	INTE2 84.1 INTE2 84.0	INTFLG 95.4 INTFLG 95.5
005B	SPIF MIIF TXDF/RCD2F/RCD1F	INTE1 A9.4	SICON C2.7 SICON C2.6~4	SPSTA BD.7 MICON E1.5 SICON C2.2~0
0063	LVDIF	INTE1 A9.5		INTFLG 95.7
006B	RI2+TI2	INTE1 A9.6		SCON2 9A.1~0
0073	PWM0IF PWM1IF	INTE1 A9.7	INTE2 84.6 INTE2 84.5	INTFLG2 85.6 INTFLG2 85.5

中断相关的 SFR

6.1 中断使能和优先级控制

IE 和 INTE1 的 SFR 决定中断是否由 CPU 提供服务。P0WKUP, P1WKUP, P2WKUP 和 P3WKUP SFR 控制单个 Port0~3 引脚的唤醒和中断能力。IP,IPH,IP1 和 IP1H SFRs 决定中断优先级。中断会被服务, 需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时, 新的中断将等待被服务,直到它之前的服务完成。如果较低优先级中断正被服务时,将被停止,开始新的中断服务。当新的中断结束后,被停止的较低优先级的中断才会被完成。

6.2 子程序中中断建议

当进入中断程序时, 除了传统上已知的应该是 PUSH、POP 的 SFR A 或 PSW 外, 一些用于索引的 SFR 也应该添加到 PUSH POP 的行列中。为了避免在中断前后读写这些 sfr 可能导致不一致。此外, PWMDH、PWMDL、PWMPRDH 或 PWMPRDL 为 16 位操作, 程序在读写高字节和低字节时应避免中断。如果您同时读写这些 16 位的 SFRs, 则会发生中断。这些 sfr 在中断中被读取和写入。容易造成读写错误。对于 16 位 PWM 周期和读写任务, 建议只在主程序中更新数据, 或者只在中断中更新数据, 以避免可能出现的错误。

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	–	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

A8h.7 **EA**: 总中断使能控制

0: 禁用所有中断

1: 每个中断通过其各个中断控制位使能或禁止

A8h.5 **ET2**: Timer2 中断使能控制

0: 禁用 Timer2 中断

1: 允许 Timer2 中断

A8h.4 **ES**: 串口 (UART1) 中断使能控制

0: 禁用串口 (UART1) 中断

1: 允许串口 (UART1) 中断

A8h.3 **ET1**: Timer1 中断使能控制

0: 禁用 Timer1 中断

1: 允许 Timer1 中断

A8h.2 **EX1**: INT1 引脚中断和暂停/停止模式唤醒使能控制

0: 禁用 INT1 引脚中断和暂停/停止模式唤醒

1: 允许 INT1 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可从暂停/停止模式下唤醒 CPU。

A8h.1 **ET0**: Timer0 中断使能

0: 禁用 Timer0 中断

1: 允许 Timer0 中断

A8h.0 **EX0**: INT0 引脚中断和暂停/停止模式唤醒使能控制

0: 禁用 INT0 引脚中断和暂停/停止模式唤醒

1: 允许 INT0 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可从暂停/停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	ES2	LVDIE	SPI2CE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A9h.7 **PWMIE:** PWM0~PWM1 中断使能
0:允许 PWM0~PWM1 中断
1:禁用 PWM0~PWM1 中断
- A9h.6 **ES2:** 使能串口(UART2)中断
0:关闭串口(UART2)中断
1:使能串口(UART2)中断
- A9h.5 **LVDIE:** 使能 LVD 中断
0:关闭 LVD 中断
1:使能 LVD 中断
- A9h.4 **SPI2CE:** 使能 SPI/I²C 中断
0:关闭 SPI/I²C 中断
1:使能 SPI/I²C 中断
- A9h.3 **ADTKIE:** ADC/TK 中断使能
0:关闭 ADCTK 中断
1:使能 ADC/TK 中断
- A9h.2 **EX2:** 外部 INT2 引脚中断使能和暂停/停止模式唤醒使能
0:关闭 INT2 引脚中断和暂停/停止模式唤醒
1:使能 INT2 引脚中断和暂停/停止模式唤醒，无论 EA 为 0 还是 1，都可以将 CPU 从暂停/停止模式唤醒。
- A9h.1 **PCIE:** Port0~Port3 引脚改变中断使能。此位不影响暂停/停止模式唤醒能力
0:关闭 Port0~Port3 引脚变换中断
1:使能 Port0~Port3 引脚变换中断
- A9h.0 **TM3IE:** 启用 Timer3 中断
0:关闭 Timer3 中断
1:使能 Timer3 中断

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	PWM1IE	PWM0IE	—	—	—	—	—
R/W	—	R/W	R/W	—	—	—	—	—
Reset	—	0	0	—	—	—	—	—

- 84h.6 **PWM1IE:** PWM1 中断使能
0:禁用
1:使能(注意:PWMIE 必须同时为 1 才能产生 PWM 中断)
- 84h.5 **PWM0IE:** PWM0 中断使能
0:禁用
1:使能(注意:PWMIE 必须同时为 1 才能产生 PWM 中断)

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

B9h.5, B8h.5 **PT2H, PT2**: Timer2 中断优先级控制。(PT2H, PT2) =
00:0 级(最低优先级)
01:1 级
10:2 级
11:3 级(最高优先级)

B9h.4, B8h.4 **PSH, PS**: 串口(UART1)中断优先级控制。定义如上。

B9h.3, B8h.3 **PT1H, PT1**: Timer1 中断优先级控制。定义如上。

B9h.2, B8h.2 **PX1H, PX1**: INT1 引脚中断优先级控制。定义如上。

B9h.1, B8h.1 **PT0H, PT0**: Timer0 中断优先级控制。定义如上。

B9h.0, B8h.0 **PX0H, PX0**: INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	PPWMH	PS2H	PLVDH	PSPI2CH	PADTKIH	PLVDH	PPCH	PT3H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	PPWM	PS2	PLVD	PSPI2C	PADTKI	PLVD	PPC	PT3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

BBh.7, BAh.7 **PPWMH, PPWM**: PWM0~PWM1 中断优先级控制。定义如上所述。

BBh.6, BAh.6 **PS2H, PS2**: 串口(UART2)中断优先级控制。定义如上所述。

BBh.5, BAh.5 **PLVDH, PLVD**: LVD 中断优先级控制。定义如上所述。

BBh.6, BAh.6 **PSPI2CH, PSPI2C**: SPI/I2C 中断优先级控制。定义如上所述。

BBh.3, BAh.3 **PADTKIH, PADTKI**: ADC/TK 中断优先级控制。定义如上所述。

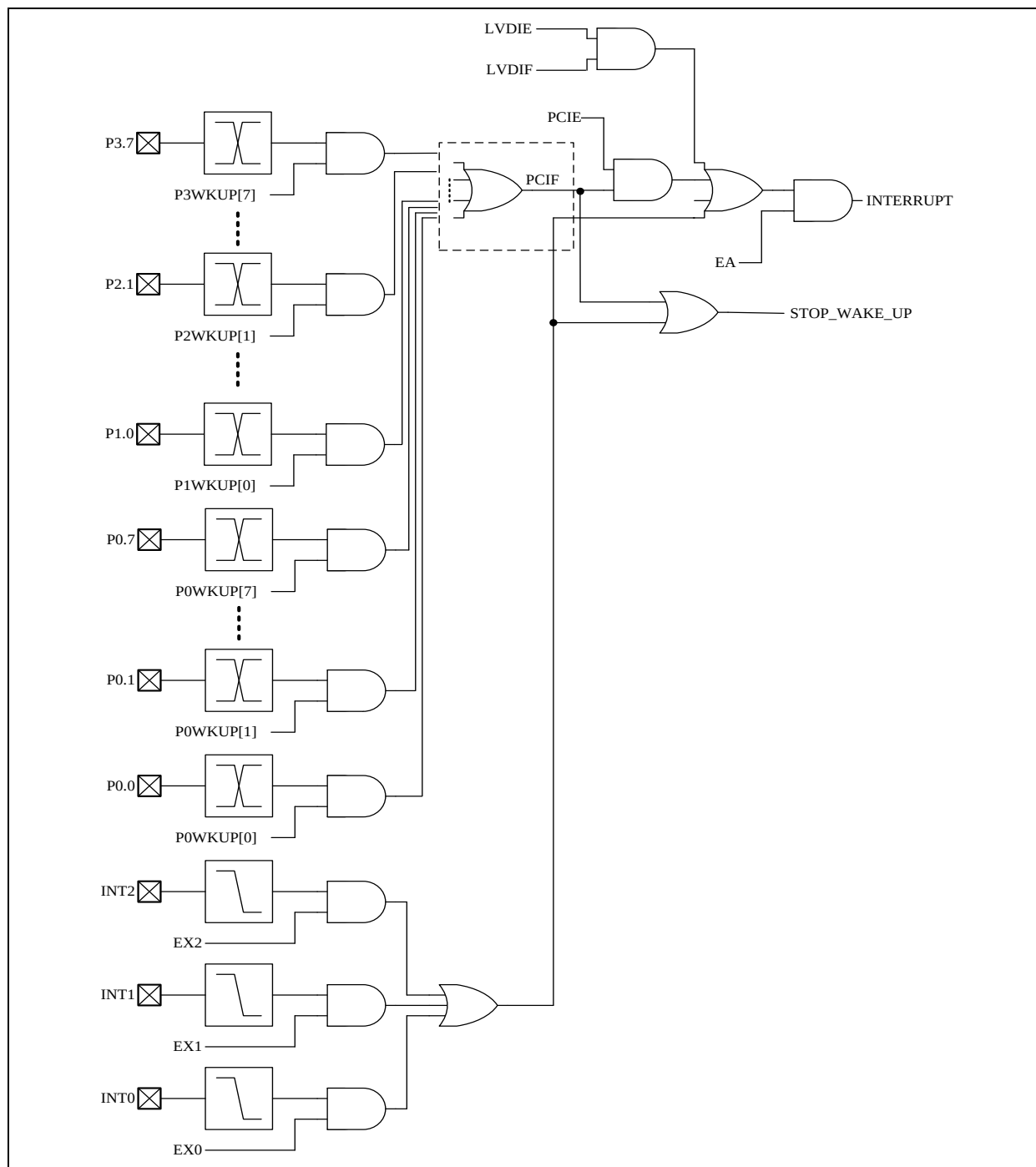
BBh.1, BAh.1 **PPCH, PPC**: 端口 0~端口 3 引脚改变中断优先级控制。定义如上所述。

BBh.0, BAh.0 **PT3H, PT3**: Timer3 中断优先级控制。定义如上所述。

6.3 引脚中断和 LVD 中断

引脚中断包括 INT0 (P3.2)、INT1 (P3.3)、INT2 (P3.7)和 Port0~Port3 引脚变化中断。这些引脚还具有暂停/停止模式唤醒能力。INT0 和 INT1 是下降沿或低电平触发的 8051 标准。INT2 下降沿触发，Port0~Port3 引脚变化中断由 I/O 状态变化触发。具体操作请参见第 7 章。引脚模式和引脚更改启用设置。LVD 中断可以用来检测 VCC 电压水平并产生中断。

注: Port0~Port3 引脚改变唤醒或中断只能在暂停/停止模式下使用，不允许在快钟/慢钟/空闲模式下使用。



引脚中断/唤醒 和 LVD 中断

注: 如果 INTn 引脚低且启用唤醒，则芯片不能进入暂停/停止模式。(INTn=0, EXn=1, n=0~2)。

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0WKUP	P0WKUP							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

9Ch.7~0 **P0WKUP**: P0.7~P0.0 引脚单个唤醒/中断使能控制

0:禁用

1:启用

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1WKUP	P1WKUP							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

96h.7~0 **P1WKUP**: P1.7~P1.0 引脚单个唤醒/中断使能控制

0:禁用

1:启用

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2WKUP	—	—	—	—	—	—	P2WKUP	
R/W	—	—	—	—	—	—	R/W	
Reset	—	—	—	—	—	—	0	0

9Dh.7~0 **P2WKUP**: P2.1~P2.0 引脚单个唤醒/中断使能控制

0:禁用

1:启用

SFR 9Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3WKUP	P3WKUP							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

9Eh.7~0 **P3WKUP**: P3.7~P3.0 引脚单个唤醒/中断使能控制

0:禁用

1:启用

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	—	TKIF	ADIF	—	IE2	PCIF	TF3
R/W	R	—	R/W	R/W	—	R/W	R/W	R/W
Reset	—	—	0	0	—	0	0	0

95h.7 **LVDIF**: 低电压检测中断标志

由 H/W 设置。S/W 将 7Fh 写入 INTFLG 以清除此标志。

95h.2 **IE2**: 外部中断 2 (INT2 引脚)边缘标志。

当检测到 INT2 引脚下降沿时, 无论 EX2 为 0 还是 1, 由 H/W 设置。

当程序执行中断服务程序时自动清除。

95h.1 **PCIF**: Port0~Port3 引脚改变中断标志

当检测到 Port0~Port3 引脚状态变化并设置其中断使能位时, 由 H/W 设置。

注: S/W 可以写 0 来清除所有引脚改变中断标志(Port0~Port3)。

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.3 **IE1:**外部中断 1(INT1 引脚)边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时,不管 EX1 为 0 或 1
 程序执行中断服务时,它会被自动清除
- 88h.2 **IT1:**外部中断 1 控制位
 0: 低电平有效(电平触发)的 INT1 引脚
 1: 下降沿有效(边沿触发)的 INT1 引脚
- 88h.1 **IE0:**外部中断 0(INT0 引脚)边沿标志
 设置于 H/W 检测到 INT0 引脚下降沿时,不管 EX0 为 0 或 1
 程序执行中断服务时,它会被自动清除
- 88h.0 **IT0:**外部中断 0 控制位
 0: 低电平有效(电平触发)的 INT0 引脚
 1: 下降沿有效(边沿触发)的 INT0 引脚

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	—	0	0	0	0	0	0

- A8h.7 **EA:** 全局中断启用控制。
 0: 禁用所有中断。
 1: 每个中断由其单独的中断控制位启用或禁用
- A8h.2 **EX1:** 外部 INT1 引脚中断使能和暂停/停止模式唤醒使能
 0:关闭 INT1 引脚中断和暂停/停止模式唤醒
 1:使能 INT1 引脚中断和暂停/停止模式唤醒, 无论 EA 为 0 还是 1, 都可以将 CPU 从停/停模式唤醒。
- A8h.0 **EX0:** 外部 INT0 引脚中断使能和暂停/停止模式唤醒使能
 0:关闭 INT0 引脚中断和暂停/停止模式唤醒
 1:使能 INT0 引脚中断和暂停/停止模式唤醒, 无论 EA 为 0 还是 1, 都可以将 CPU 从停/停模式唤醒。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	ES2	LVDIE	SPI2CE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A9h.5 **LVDIE:** 使能 LVD 中断
 0: 关闭 LVD 中断
 1: 使能 LVD 中断
- A9h.2 **EX2:** 外部 INT2 引脚中断使能和暂停/停止模式唤醒使能
 0:关闭 INT2 引脚中断和暂停/停止模式唤醒
 1:使能 INT2 引脚中断和暂停/停止模式唤醒, 无论 EA 为 0 还是 1, 都可以将 CPU 从暂停/停止模式唤醒。
- A9h.1 **PCIE:** Port0~Port3 引脚改变中断使能。此位不影响暂停/停止模式唤醒能力。
 0: 关闭 Port0~Port3 引脚变换中断
 1: 使能 Port0~Port3 引脚变换中断

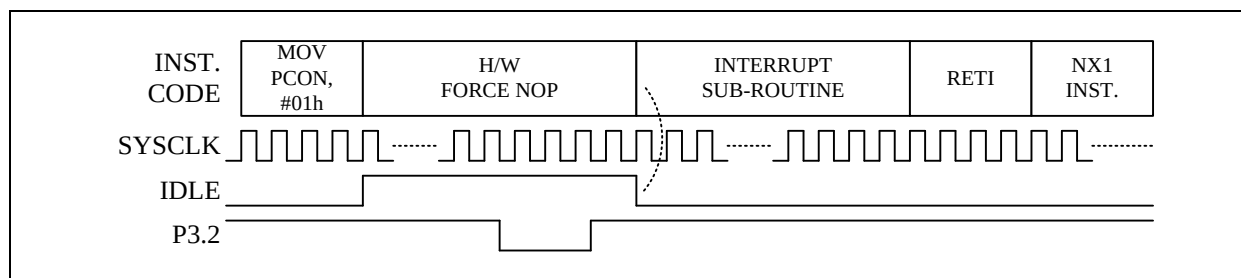
SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSSEL			
R/W	R/W	R	R/W	R/W	R/W			
Reset	0	0	0	0	0	0	0	0

- E4h.7 **LVDM:** 低电压检测功能模式
0: $V_{CC} < V_{LVD}$ (LVDF = 1 而 LVDO = 1)
1: $V_{CC} > V_{LVD}$ (LVDF = 1, LVDO = 0)
- E4h.6 **LVDO:** 低电压检测实时输出
- E4h.5 **LVDFHYS:** LVD 迟滞使能
0: 关闭 LVD 迟滞
1: 使能 LVD 迟滞
- E4h.4 **LVDPD:** 低电压检测功能选择(在空闲/暂停/停止模式下自动关闭)
0: 启用
1: 禁用
- E4h.3~0 **LVDSSEL:** 低电压检测选择 (step=0.14V)
0000: 设置 LVD 为 2.05V
0001: 设置 LVD 为 2.19V
0010: 设置 LVD 为 2.33V
0011: 设置 LVD 为 2.47V
0100: 设置 LVD 为 2.61V
0101: 设置 LVD 为 2.75V
0110: 设置 LVD 为 2.89V
0111: 设置 LVD 为 3.03V
1000: 设置 LVD 为 3.17V
1001: 设置 LVD 为 3.31V
1010: 设置 LVD 为 3.45V
1011: 设置 LVD 为 3.59V
1100: 设置 LVD 为 3.73V
1101: 设置 LVD 为 3.87V
1110: 设置 LVD 为 4.01V
1111: 设置 LVD 为 4.15V

6.4 空闲模式唤醒和中断

空闲模式由已启用的中断唤醒，这意味着必须将单个中断使能位(ex: EX0)和 EA 位都设置为 1 才能建立空闲模式唤醒能力。所有使能的中断改变(INT0~INT2, 定时器, PWM, ADC 和 UARTs)都可以唤醒 CPU 从 Idle 模式。Idle 唤醒后，立即进入中断服务程序。“IDL (PCON.0)设置后的第一条指令”在中断服务例程返回后执行。

对于所有要触发的引脚中断，每个中断使能位(例如 EX0)和 EA 位必须设置为 1，并且引脚触发状态必须保持足够长的时间(大于 1 个系统时钟)以被系统时钟采样。当 EA 未设置为 1 或引脚触发状态没有保持足够长的时间时，它将不会唤醒并且不会生成中断子例程。



EA=EX0=1, P3.2(INT0)空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.1 **PD:**停止位,如果 1 进入暂停/停止模式。

87h.0 **IDL:**空闲位,如果 1 进入空闲模式。

6.5 暂停/停止模式唤醒和中断

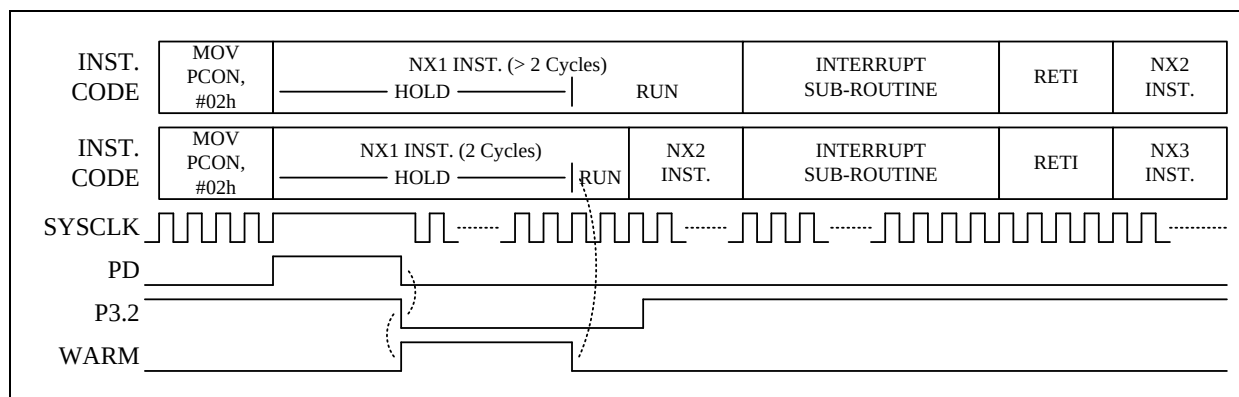
每个中断使能位(如 TM3IE, EX0)和 EA 位必须设置为 1，以设置暂停/停止模式中断功能。所有启用的中断(引脚, Timer3)都可以从暂停/停止模式唤醒 CPU。一旦暂停/停止被唤醒，如果“PD (PCON.1)设置后的第一条指令”是一个双周期指令，它将在中断被服务之前立即执行，如果“PD (PCON.1)设置后的第一条指令”是一个四周期以上的长指令，它将在中断被服务后执行。

除了设置 EX0/EX1/EX2 外，INT0~2 引脚中断需要设置 EA=1，并且引脚触发状态保持足够长的时间(大于 128 个系统时钟)以供系统时钟采样，也就是说，当 EA 未设置为 1 或者引脚触发状态保持的时间不够长时，CPU 只会唤醒而不进入中断子程序。

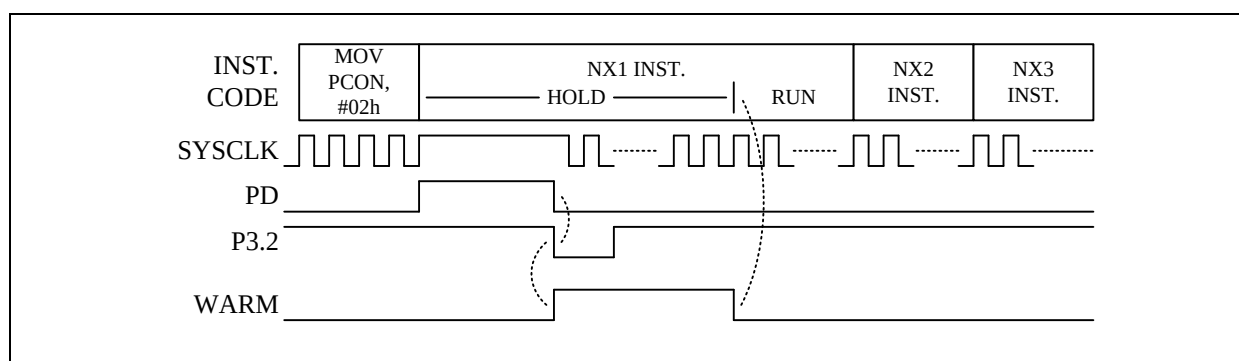
除了设置 P0WKUP/P1WKUP/P2WKUP/P3WKUP 外，Port0~3 WKUP 引脚中断需要设置 EA=1，也就是说，当 EA 不设置为 1 时，CPU 只会被唤醒，不会进入中断子程序。

注: 建议将标有 NOP 指令的 NX1/NX2 放置在下图中。

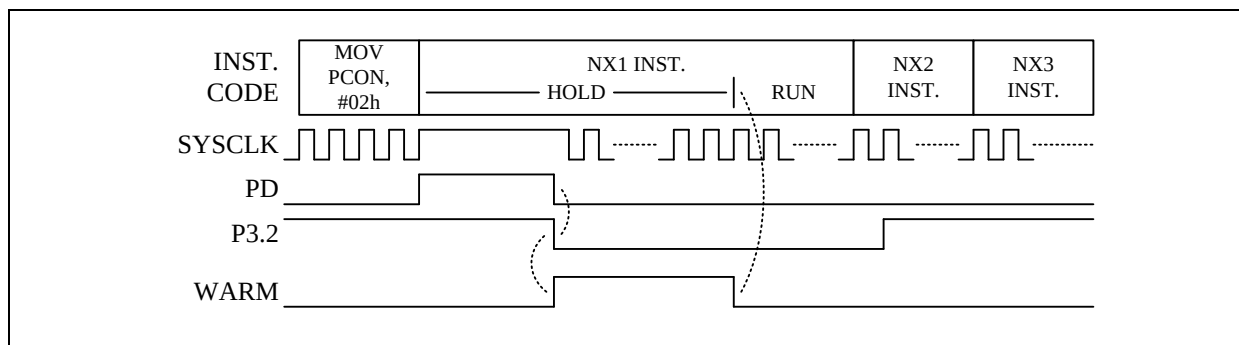
注: 如果 INTn 引脚低，并且开启了 INTn 唤醒功能，则芯片不能进入暂停/停止模式。(INTn=0, EXn=1, n=0~2)。



EA=EX0=1, P3.2 (INT0) 预热后被采样，暂停/停止模式唤醒和中断



EA=EX0=1, 脉冲太窄，暂停/停止模式唤醒，但没有中断



EX0= 1, EA=0, P3.2 (INT0) 暂停/停止模式唤醒，但没有中断

7. I/O 端口

该芯片总共有 26 个多功能 I/O 引脚。所有的 I/O 引脚遵循标准 8051 “读-修改-写”功能。读取 SFR 的,而不是引脚状态的指令,会读取一个端口或端口位的值,可能修改它,再将它改写到 SFR。(例如:ANL P1,A; INC P2; CPL P3.0)。

7.1 端口 0~端口 3

这些引脚可以在四种不同的模式,如下操作。

模式	端口0~端口3引脚功能		Px.n SFR 数据	引脚状态	电阻上拉	数位输入
	P3.0~P3.2	其他				
模式 0	开漏输出 (PSEUDOEN=0)	开漏输出	0	驱动低	N	N
	伪开漏输出 (PSEUDOEN=1)		1	上拉	Y	Y
模式 1	开漏输出 (PSEUDOEN=0)	开漏输出	0	驱动低	N	N
	伪开漏输出 (PSEUDOEN=1)		1	高阻抗	N	Y
模式 2	CMOS 推挽输出		0	驱动低	N	N
			1	驱动高	N	N
模式 3	模拟信号 (数字输入缓冲区被禁用)		X (无关)	—	N	N

端口 0~端口 3 I/O 管脚功能表

如果使用端口 0~端口 3 引脚作为施密特触发输入,则 S/W 必须将 I/O 引脚设置为模式 0 或模式 1,并将相应的端口数据 SFR 设置为 1,以禁用引脚的输出驱动电路。

当用户选择模式 0 或模式 1 时,功能为开漏输出低电平,当端口数据=0 时,功能为输出低电平,当端口数据=1 时,端口类型为 Hi-Z,因此在此设置中用户可以使用数字输入。用户可以选择模式 0 或模式 1 输入输出类型,如 I2C SDA 引脚。模式 0 或模式 1 的区别在于是否有上拉电阻,当端口数据= 1 时,模式 0 有内部上拉电阻,而模式 1 没有,用户在使用模式 1 时如果需要,可以自行添加外部上拉电阻。

当用户选择模式 2 时,功能为 CMOS 输出,用户可根据端口数据值选择输出低电平或高电平。当用户选择模式 3 时,该功能用于模拟信号,如 ADC 引脚,端口类型为 Hi-Z,在该模式下禁用数字输入施密特触发器。

除了 I/O 接口功能外,每个端口 0~端口 3 引脚还有一个或多个可选功能,如 LCD、LED、ADC 和 Touch Key。大多数功能通过将单个引脚模式控制 SFR 设置为模式 3 来激活。端口 1/端口 3 引脚具有标准 8051 辅助定义,如 INT0/1/2, T0/1/2 或 RXD/TXD。这些引脚功能需要将引脚模式 SFR 设置为模式 0 或模式 1,并保持 P1.n/P3.n SFR 为 1。

引脚名称	8051	唤醒 中断	ADC	TK	LCD	LED MX	LED DMX	PWM	其他	模式 3
P0.7		Y	AD24	TK19	LCDC07	SEG6		PWM6 ₍₁₎		AD24
P0.6		Y	AD25	TK20	LCDC06	SEG7		PWM5 ₍₁₎		AD25
P0.5		Y	AD26	TK21	LCDC05			PWM4 ₍₁₎		AD26
P0.4		Y	AD27	TK22	LCDC04			PWM3 ₍₁₎		AD27
P0.3	TXD2 ₍₁₎	Y	AD20	TK18	LCDC03	COM3	LED3			AD20
P0.2	RXD2 ₍₁₎	Y	AD21		LCDC02	COM2	LED2		SDA ₍₁₎	AD21
P0.1	RXD ₍₁₎	Y	AD22		LCDC01	COM1	LED1		SCL ₍₁₎ /PSDA ₍₁₎	AD22
P0.0	TXD ₍₁₎	Y	AD23		LCDC00	COM0	LED0		PSCL ₍₁₎	AD23
P1.7	TXD2	Y	AD11	TK11	LCDC17	SEG2			MISO	AD11
P1.6		Y	AD10	TK10	LCDC16	SEG3		PWM3		AD10
P1.5		Y	AD9	TK9	LCDC15	SEG4		PWM2		AD9
P1.4	TCO	Y	AD8	TK8	LCDC14	SEG5		PWM1		AD8
P1.3		Y	AD7	TK7	LCDC13			PWM0N		AD7
P1.2		Y	AD6	TK6	LCDC12			PWM0P		AD6
P1.1	T2EX	Y	AD5	TK5	LCDC11					AD5
P1.0	T2/T2O	Y	AD4	TK4	LCDC10					AD4
P2.1	XO	Y	AD19	TK17	LCDC21	COM5/SEG9	LED5	PWM0P ₍₁₎		AD19
P2.0	XI	Y	AD18	TK16	LCDC20	COM4/SEG8	LED4	PWM0N ₍₁₎		AD18
P3.7	XINT2	Y	AD17	TK15	LCDC37	COM6/SEG10	LED6	PWM6	RSTn	AD17
P3.6	RXD2	Y	AD14	TK12	LCDC36	SEG1			SCK	AD14
P3.5	T1/T1O	Y	AD15	TK13	LCDC35	SEG0		PWM4	MOSI	AD15
P3.4	T0/T0O	Y	AD16	TK14	LCDC34	COM7/SEG11	LED7	PWM5		AD16
P3.3	XINT1	Y	AD0	TK0	LCDC33			PWM2 ₍₁₎		AD0
P3.2	XINT0	Y	AD1	TK1	LCDC32			PWM1 ₍₁₎	VBGO	AD1
P3.1	TXD	Y	AD2	TK2	LCDC31				SDA/PSDA	AD2
P3.0	RXD	Y	AD3	TK3	LCDC30				SCL/PSCL	AD3

端口 0~端口 3 多重菜单

端口 0~端口 3 引脚的替代功能所需的 SFR 设置如下。

替代功能	模式	Px.n SFR 数据	引脚状态	其他需要的 SFR 设置
T0, T1, T2, T2EX, INT0, INT1, INT2	0	1	输入上拉	-
	1	1	输入	
RXD, RXD2	0	1	UART RX (上拉输入)	PINMOD
	1	1	UART RX (输入)	
TXD, TXD2	2	1	UART TX 输出 (CMOS 推挽)	PINMOD
T00, T10, T20 CKO	0	X	时钟开漏输出与上拉	PINMOD
	1	X	时钟漏极输出	
	2	X	时钟输出 (CMOS 推挽)	
VBGO	X	X	带隙基准电压输出	VBGOUT
COM0~COM7* SEG0~SEG11*	X	X	LCD 波形输出 LED MX 波形输出	P0LOE P1LOE P2LOE P3LOE LXDCON LXDCON2
LED0~LED7* (注)	X	X	LED DMX 波形输出	
TK0~TK22	X	X	触控键通道	TKCHS ATKCH0 ATKCH1 ATKCH2
AD0~AD11 AD14~AD27	3	X	ADC 通道	ADCHSEL
PWM0P/PWM0N PWM1~PWM6	0	X	PWM 开漏输出与上拉	PWMCON PWMOE0 PWMOE1
	2	X	PWM 输出 (CMOS 推挽)	
SPI Master Mode MISO	1	1	SPI 数据输入	SPCON
SPI Master Mode SCK, MOSI	2	X	SPI 时钟/数据输出(CMOS 推挽)	
SPI Slave Mode MISO	2	X	SPI 数据输出(CMOS 推挽)	
SPI Slave Mode SCK, MOSI	1	1	SPI 时钟/数据输入	
Master I ² C SCL	0	X	I ² C 时钟输出(漏极开路输出, 上拉)	MICON PINMOD
	2	X	I ² C 时钟输出(CMOS 推挽式)	
Master I ² C SDA	0	1	I ² C 数据(上拉)	
XI, XO	0	1	晶振	CLKCON

端口 0~端口 3 替代功能模式设置

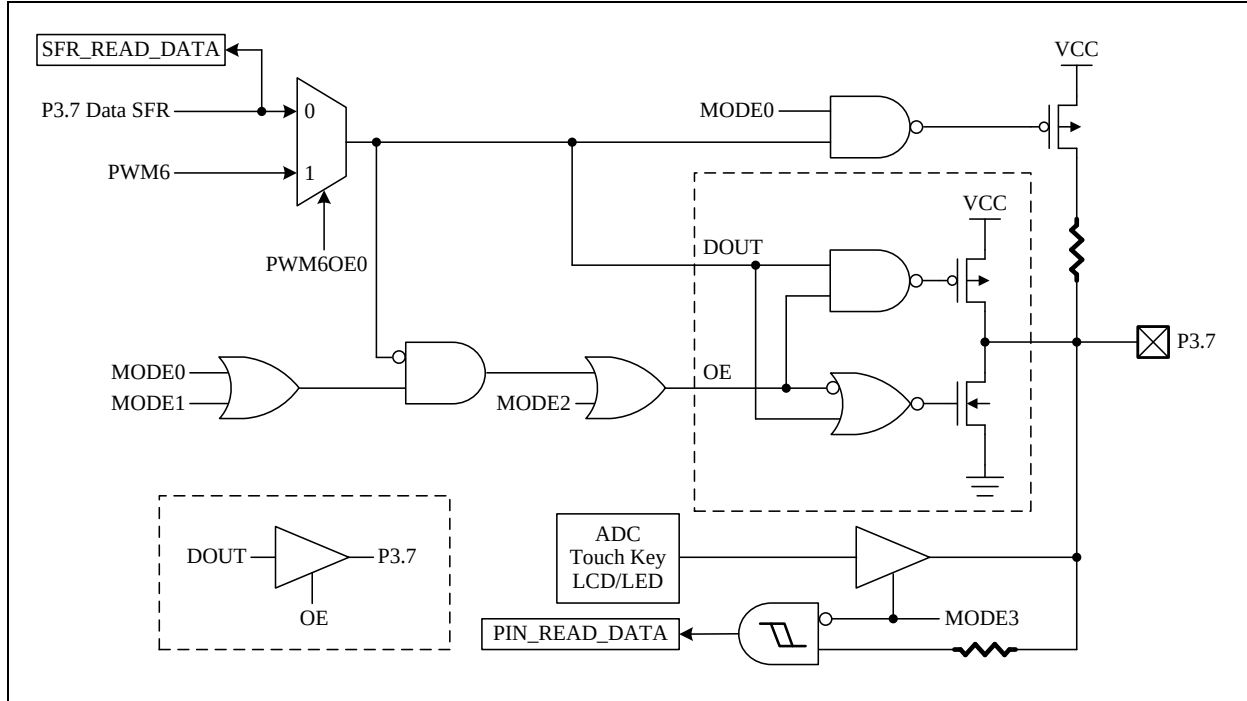
对于上表中,“CMOS 推挽”引脚意味着它可以吸收和驱动至少 4 mA 的电流。我们不建议使用这种引脚作为输入功能。

一个“开漏”引脚意味着它可以吸收至少 4 mA 电流,但只能驱动小电流(<20 μ A)。它可以用作输入或输出功能,并且通常需要一个外部上拉电阻。

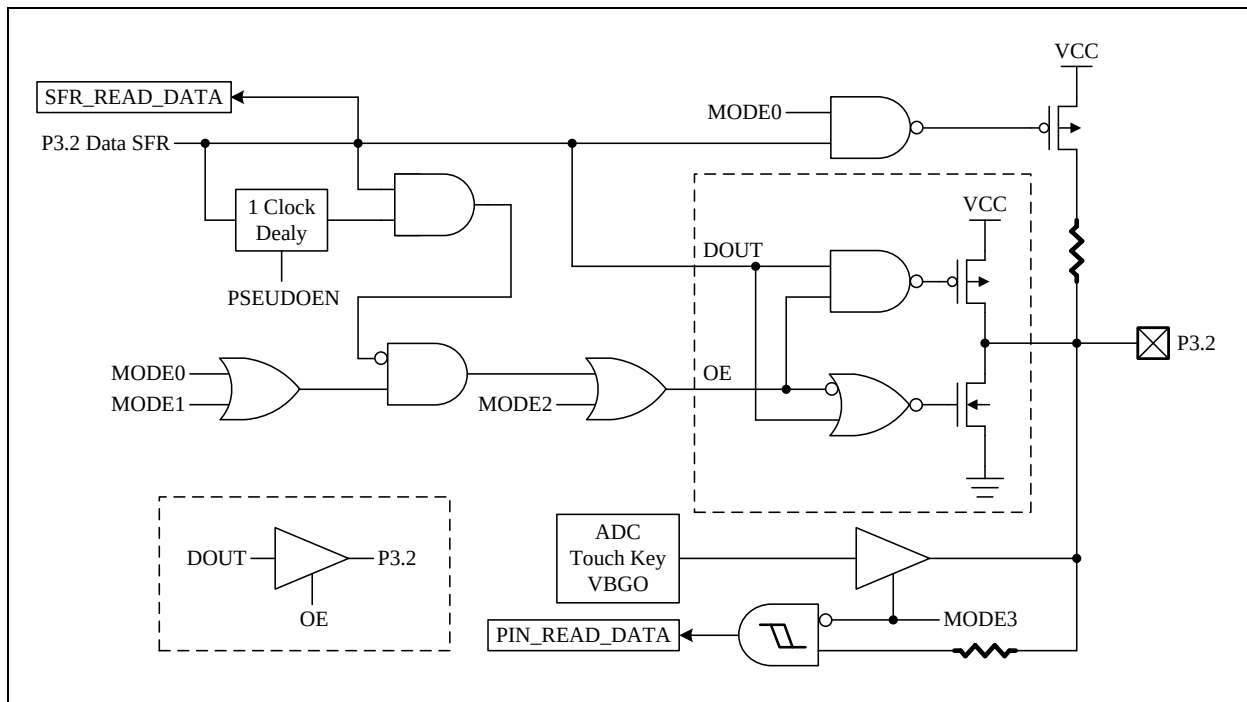
8051 标准引脚是一个“伪开漏”引脚。它可以吸收至少 4 mA 电流于低电平输出,并于输出从低到小时,驱动至少 4 mA 电流 1~2 个时钟周期,然后开为小电流(<20 μ A),以维持引脚在高电平。它可以用作输入或输出功能。

注：关于上述的引脚相关 SFR 设置,引脚做为 LCD/LED 时,拥有最高的优先权。若引脚不做为 LCD/LED 使用(像是引脚做为一般 I/O,ADC,触摸按键,SPI),软件务必将 LCD/LED 功能设置为关闭。

该芯片同时支持 I/O 高灌电流功能。它是一个选项，默认情况下是关闭的。为了有效控制，我们将高灌电流引脚分为 3 组(分组 0: P0.0~P0.3, P2.0~P2.1, P3.4, P3.7; 分组 1: P0.6~P0.7, P1.4~P1.7, P3.5~P3.6; 分组 2: P0.4~P0.5, P1.0~P1.3, P3.0~P3.3)。通过设置 SFR HSNK0EN、HSNK1EN 和 HSNK2EN 使能。



P3.7 引脚结构



P3.2 引脚结构

SFR 80h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

80h.7~0 **P0:** 端口0 数据

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

90h.7~0 **P1:** 端口1 数据

SFR A0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

A0h.1~0 **P2.1~P2.0:** P2.1~P2.0数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3:** 端口3 数据

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MODL	P0MOD3		P0MOD2		P0MOD1		P0MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

91h.7~6 **P0MOD3:** P0.3 引脚控制

00:模式 0

01:模式 1

10:模式 2

11:模式 3, P0.3 为 ADC 输入

91h.5~4 **P0MOD2:** P0.2 引脚控制

00:模式 0

01:模式 1

10:模式 2

11:模式 3, P0.2 为 ADC 输入

91h.3~2 **P0MOD1:** P0.1 引脚控制

00:模式 0

01:模式 1

10:模式 2

11:模式 3, P0.1 为 ADC 输入

91h.1~0 **P0MOD0:** P0.0 引脚控制

00:模式 0

01:模式 1

10:模式 2

11:模式 3, P0.0 为 ADC 输入

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MODH	P0MOD7		P0MOD6		P0MOD5		P0MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- 92h.7~6 **P0MOD7:** P0.7 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P0.7 为 ADC 输入
- 92h.5~4 **P0MOD6:** P0.6 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P0.6 为 ADC 输入
- 92h.3~2 **P0MOD5:** P0.5 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P0.5 为 ADC 输入
- 92h.1~0 **P0MOD4:** P0.4 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P0.4 为 ADC 输入

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A2h.7~6 **P1MOD3:** P1.3 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.3 为 ADC 输入
- A2h.5~4 **P1MOD2:** P1.2 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.2 为 ADC 输入
- A2h.3~2 **P1MOD1:** P1.1 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.1 为 ADC 输入
- A2h.1~0 **P1MOD0:** P1.0 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.0 为 ADC 输入

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A3h.7~6 **P1MOD7**: P1.7 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.7 为 ADC 输入
- A3h.5~4 **P1MOD6**: P1.6 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.6 为 ADC 输入
- A3h.3~2 **P1MOD5**: P1.5 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.5 为 ADC 输入
- A3h.1~0 **P1MOD4**: P1.4 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.4 为 ADC 输入

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2MODL	—	—	—	—	P2MOD1		P2MOD0	
R/W	—	—	—	—	R/W		R/W	
Reset	—	—	—	—	0	1	0	1

- 93h.3~2 **P2MOD1**: P2.1 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P2.1 为 ADC 输入
- 93h.1~0 **P2MOD0**: P2.0 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P2.0 为 ADC 输入

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A4h.7~6 **P3MOD3**: P3.3 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.3 为 ADC 输入
- A4h.5~4 **P3MOD2**: P3.2 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.2 为 ADC 输入
- A4h.3~2 **P3MOD1**: P3.1 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.1 为 ADC 输入
- A4h.1~0 **P3MOD0**: P3.0 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.0 为 ADC 输入

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A5h.7~6 **P3MOD7**: P3.7 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.7 为 ADC 输入
- A5h.5~4 **P3MOD6**: P3.6 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.6 为 ADC 输入
- A5h.3~2 **P3MOD5**: P3.5 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.5 为 ADC 输入
- A5h.1~0 **P3MOD4**: P3.4 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.4 为 ADC 输入

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PSEUDOEN	MSI2CPS	UART2PS	UART1PS	TCOE	T2OE	T1OE	T0OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A6h.7 **PSEUDOEN:** P3.0~P3.2 伪开漏状态
0: 禁用
1: 启用
- A6h.6 **MSI2CPS:** 主/从 I²C 引脚选择(SCL/SDA)
0: P3.0/P3.1
1: P0.1/P0.2
- A6h.5 **UART2PS:** UART2 引脚选择(TX/RX)
0: P1.7/P3.6
1: P0.3/P0.2
- A6h.4 **UART1PS:** UART1 引脚选择(TX/RX)
0: P3.1/P3.0
1: P0.0/P0.1
- A6h.3 **TCOE:** 系统时钟信号输出(CKO)控制
0: 禁用 “系统时钟除以 2” 输出到 P1.4 引脚
1: 使能 “系统时钟除以 2” 输出到 P1.4 引脚
- A6h.2 **T2OE:** Timer2 信号输出(T2O)控制
0: 禁用 “Timer2 溢出除以 2” 输出到 P1.0 引脚
1: 使能 “Timer2 溢出除以 2” 输出到 P1.0 引脚
- A6h.1 **T1OE:** Timer1 信号输出 (T1O) 控制
0: 禁用 “Timer1 溢出除以 2” 输出到 P3.5 引脚
1: 使能 “Timer1 溢出除以 2” 输出到 P3.5 引脚
- A6h.0 **T0OE:** 定时器信号输出(T0O)控制
0: 禁用 “Timer0 溢出除以 64” 输出到 P3.4 引脚
1: 使 “Timer0 溢出除以 64” 输出到 P3.4 引脚

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LXDCON	LXDEN	LXDDUTY			LEDBRITM	LXD BRIT		
R/W	R/W	R/W			R/W	R/W		
Reset	0	0	0	0	0	1	1	1

- B1h.7 **LXDEN:** LCD/LED 使能控制
0: 关闭 LCD/LED
1: 使能 LCD/LED

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOE0	PWM2OE1	PWM2OE0	PWM1OE1	PWM1OE0	PWM0NOE1	PWM0POE1	PWM0NOE0	PWM0POE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- B6h.7 **PWM2OE1:** PWM2 控制
0: PWM2 禁用
1: PWM2使能, 信号输出到 P3.3引脚
- B6h.6 **PWM2OE0:** PWM2 控制
0: PWM2 禁用
1: PWM2使能, 信号输出到 P1.5引脚

- B6h.5 **PWM1OE1:** PWM1 控制
0: PWM1 禁用
1: PWM1使能, 信号输出到 P3.2引脚
- B6h.4 **PWM1OE0:** PWM1 控制
0: PWM1 禁用
1: PWM1使能, 信号输出到 P1.4引脚
- B6h.3 **PWM0NOE1:** PWM0N 控制
0: PWM0N 禁用
1: PWM0N 使能, 信号输出到 P2.0引脚
- B6h.2 **PWM0POE1:** PWM0P 控制
0: PWM0P 禁用
1: PWM0P 使能, 信号输出到 P2.1引脚
- B6h.1 **PWM0NOE0:** PWM0N 控制
0: PWM0N 禁用
1: PWM0N 使能, 信号输出到 P1.3引脚
- B6h.0 **PWM0POE0:** PWM0P 控制
0: PWM0P 禁用
1: PWM0P 使能, 信号输出到 P1.2引脚

SFR B7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOE1	PWM6OE1	PWM6OE0	PWM5OE1	PWM5OE0	PWM4OE1	PWM4OE0	PWM3OE1	PWM3OE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- B7h.7 **PWM6OE1:** PWM6 控制
0: PWM6 禁用
1: PWM6使能, 信号输出到 P0.7引脚
- B7h.6 **PWM6OE0:** PWM6 控制
0: PWM6 禁用
1: PWM6使能, 信号输出到 P3.7引脚
- B7h.5 **PWM5OE1:** PWM5 控制
0: PWM5 禁用
1: PWM5使能, 信号输出到 P0.6引脚
- B7h.4 **PWM5OE0:** PWM5 控制
0: PWM5 禁用
1: PWM5使能, 信号输出到 P3.4引脚
- B7h.3 **PWM4OE1:** PWM4 控制
0: PWM4 禁用
1: PWM4使能, 信号输出到 P0.5引脚
- B7h.2 **PWM4OE0:** PWM4 控制
0: PWM4 禁用
1: PWM4使能, 信号输出到 P3.5引脚
- B7h.1 **PWM3OE1:** PWM3 控制
0: PWM3 禁用
1: PWM3使能, 信号输出到 P0.4引脚
- B7h.0 **PWM3OE0:** PWM3 控制
0: PWM3 禁用
1: PWM3使能, 信号输出到 P1.6引脚

SFR 86h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0LOE	P0LOE7	P0LOE6	P0LOE5	P0LOE4	P0LOE3	P0LOE2	P0LOE1	P0LOE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 86h.7 **P0LOE7:** LCDC07 / LED SEG6 (P0.7) 使能控制
0:禁用
1:启用
- 86h.6 **P0LOE6:** LCDC06 / LED SEG7 (P0.6) 使能控制
0:禁用
1:启用
- 86h.5 **P0LOE5:** LCDC05 (P0.5) 使能控制
0:禁用
1:启用
- 86h.4 **P0LOE4:** LCDC04 (P0.4) 使能控制
0:禁用
1:启用
- 86h.3 **P0LOE3:** LCDC03 / LED COM3 / LED3 (P0.3) 使能控制
0:禁用
1:启用
- 86h.2 **P0LOE2:** LCDC02 / LED COM2 / LED2 (P0.2) 使能控制
0:禁用
1:启用
- 86h.1 **P0LOE1:** LCDC01 / LED COM1 / LED1 (P0.1) 使能控制
0:禁用
1:启用
- 86h.0 **P0LOE0:** LCDC00 / LED COM0 / LED0 (P0.0) 使能控制
0:禁用
1:启用

SFR ACh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1LOE	P1LOE7	P1LOE6	P1LOE5	P1LOE4	P1LOE3	P1LOE2	P1LOE1	P1LOE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- ACh.7 **P1LOE7:** LCDC17 / LED SEG2 (P1.7) 使能控制
0:禁用
1:启用
- ACh.6 **P1LOE6:** LCDC16 / LED SEG3 (P1.6) 使能控制
0:禁用
1:启用
- ACh.5 **P1LOE5:** LCDC15 / LED SEG4 (P1.5) 使能控制
0:禁用
1:启用
- ACh.4 **P1LOE4:** LCDC14 / LED SEG5 (P1.4) 使能控制
0:禁用
1:启用

- ACh.3 **P1LOE3:** LCDC13 (P1.3) 使能控制
0:禁用
1:启用
- ACh.2 **P1LOE2:** LCDC12 (P1.2) 使能控制
0:禁用
1:启用
- ACh.1 **P1LOE1:** LCDC11 (P1.1) 使能控制
0:禁用
1:启用
- ACh.0 **P1LOE0:** LCDC10 (P1.0) 使能控制
0:禁用
1:启用

SFR 8Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2LOE	—	—	—	—	—	—	P2LOE1	P2LOE0
R/W	—	—	—	—	—	—	R/W	R/W
Reset	—	—	—	—	—	—	0	0

- 8Eh.1 **P2LOE1:** LCDC21 / LED COM5 or SEG9 (P2.1) 使能控制
0:禁用
1:启用
- 8Eh.0 **P2LOE0:** LCDC20 / LED COM4 or SEG8 (P2.0) 使能控制
0:禁用
1:启用

SFR B3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3LOE	P3LOE7	P3LOE6	P3LOE5	P3LOE4	P3LOE3	P3LOE2	P3LOE1	P3LOE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- B3h.7 **P3LOE7:** LCDC37 / LED COM6 or SEG10 / LED6 (P3.7) 使能控制
0:禁用
1:启用
- B3h.6 **P3LOE6:** LCDC36 / LED SEG1 (P3.6) 使能控制
0:禁用
1:启用
- B3h.5 **P3LOE5:** LCDC35 / LED SEG0 (P3.5) 使能控制
0:禁用
1:启用
- B3h.4 **P3LOE4:** LCDC34 / LED COM7 or SEG11 / LED7 (P3.4) 使能控制
0:禁用
1:启用
- B3h.3 **P3LOE3:** LCDC33 (P3.3) 使能控制
0:禁用
1:启用
- B3h.2 **P3LOE2:** LCDC32 (P3.2) 使能控制
0:禁用
1:启用

B3h.1 **P3LOE1:** LCDC31 (P3.1) 使能控制

0:禁用

1:启用

B3h.0 **P3LOE0:** LCDC30 (P3.0) 使能控制

0:禁用

1:启用

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.7 **SCKTYPE:** 慢时钟类型。这个位只能在快时钟模式(SELFCK=1)下修改

0: SRC

1: SXT、P2.0、P2.1 为晶体引脚

D8h.6 **FCKTYPE:** 快时钟类型。该位只能在慢时钟模式(SELFCK=0)下修改

0: FRC

1: FXT, P2.0 和 P2.1 是晶体引脚, 振荡器增益高的 FXT

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	SPEN	MSTR	CPOL	CPHA	–	LSBF	SPCR	
R/W	R/W	R/W	R/W	R/W	–	R/W	R/W	
Reset	0	0	0	0	–	0	0	0

BCh.7 **SPEN:** SPI 使能

0: SPI 禁用

1: SPI 使能, P1.7, P3.5, P3.6 是 SPI 功能引脚

SFR C1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SIADR	SA							SIEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	1	1	0	0	1	0	0

C1h.0 **SIEN:** Slave I²C 使能

0: 禁用

1: 使能

SFR E1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	0	0

E1h.7 **MIEN:** Master I²C 使能

0: 禁用

1: 使能

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	–	HSNK2EN	HSNK1EN	HSNK0EN	WARMTIME	–	FJMPE	FJMPS
R/W	–	R/W	R/W	R/W	R/W	–	R/W	R/W
Reset	–	0	0	0	0	–	0	0

8Eh.6 **HSNK2EN:** 引脚高灌电流使能(第 2 组 = P0.4~P0.5, P1.0~P1.3, P3.0~P3.3)

0: 第 2 组引脚高灌电流禁用

1: 第 2 组引脚高灌电流使能

8Eh.5 **HSNK1EN:** 引脚高灌电流使能(第 1 组= P0.6~P0.7, P14~P17, P3.5~P3.6)

0: 第 1 组引脚高灌电流禁用

1: 第 1 组引脚高灌电流使能

8Eh.4 **HSNK0EN:** 引脚高灌电流使能(第 0 组= P0.0~P0.3, P2.0~P2.1, P3.4, P3.7)

0: 第 0 组引脚高灌电流禁用

1: 第 0 组引脚高灌电流使能

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W		R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.4 **VBGOUT:** V_{BG} 电压输出到 P3.2

0:禁用

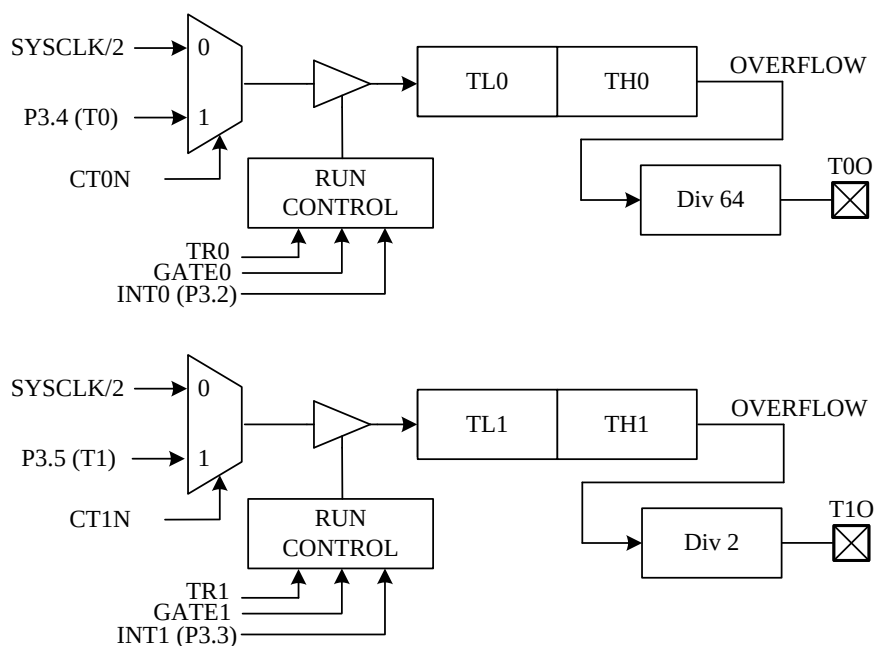
1:启用

8. Timers

Timer0, Timer1 和 Timer2 设置为标准的 8051 兼容的定时器/计数器。相较于传统的 12T 8051, 该芯片的 Timer0/1/2 使用 2 个系统时钟周期的时间基本单元。也就是说, 在定时器模式下, 这些定时器以每一个“2 个系统时钟”率增加; 在计数器模式下, T0/T1/T2 引脚输入脉冲必须大于 2 个系统时钟以便该设备可以辨识。除了标准 8051 定时器功能, T0O 引脚输出“Timer0 溢出除以 64”的信号, 而 T2O 引脚输出“Timer2 溢出除以 2”的信号。当时基是 SXT, Timer3 被设置为一个实时时钟计数。

8.1 Timer0 / Timer1

TCON 和 TMOD 用于设置操作模式, 并控制 Timer0/Timer1 的运行和中断产生, 定时器/计数器的值存储在两个成对的 8 位寄存器(TL0, TH0, 和 TL1, TH1)。



Timer0 和 Timer1 结构

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1**: Timer1 溢出标志
当定时器/计数器 1 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1**: Timer1 运行控制
0: Timer1 停止
1: Timer1 运行
- 88h.5 **TF0**: Timer0 溢出标志
当定时器/计数器 0 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0**: Timer0 运行控制
0: Timer0 停止
1: Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

- 89h.7 **GATE1**:Timer1 门控位
0:当 TR1 位设置时 Timer1 使能
1:只有当 INT1 引脚为高,TR1 位设置时 Timer1 使能
- 89h.6 **CT1N**:Timer1 计数器/定时器选择位
0:定时器模式,Timer1 的数据以 2 个系统时钟周期率增加
1:计数器模式,Timer1 的数据在 T1 引脚的下降沿时增加
- 89h.5~4 **TMOD1**:Timer1 模式选择
00:8 位定时器/计数器(TH1)和 5 位预分频器(TL1)
01:16 位定时器/计数器
10:8 位自动重载定时器/计数器(TL1),溢出时从 TH1 重新装载。
11:Timer1 停止
- 89h.3 **GATE0**:Timer0 门控位
0:当 TR0 位设置时 Timer0 使能
1:只有当 INT0 引脚为高,TR0 位设置时 Timer0 使能
- 89h.2 **CT0N**:Timer0 计数器/定时器选择位
0:定时器模式,Timer0 的数据以 2 个系统时钟周期率增加
1:计数器模式,Timer0 的数据在 T0 引脚的下降沿时增加
- 89h.1~0 **TMOD0**:Timer0 模式选择
00:8 位定时器/计数器(TH0)和 5 位预分频器(TL0)
01:16 位定时器/计数器
10:8 位自动重载定时器/计数器(TL0),溢出时从 TH0 重新装载。
11:TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器,使用 Timer1 的 TR1 和 TF1 位

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0**: Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1**: Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0**: Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

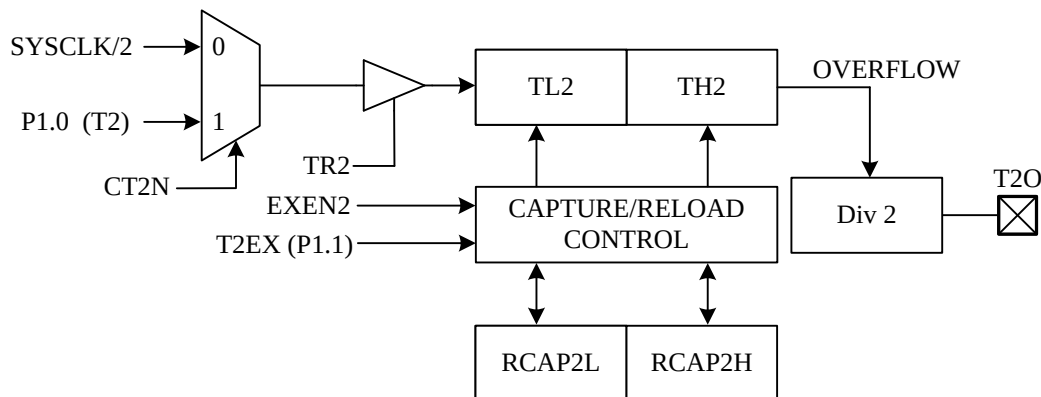
8Dh.7~0 **TH1**: Timer1 数据的高字节

注: 另请参阅第 6 章的有关 Timer0/1 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T00 引脚输出设置的详细信息。

8.2 Timer2

Timer2 通过 TCON2 寄存器存储在 TL2 和 TH2 的定时器/计数器 2 低和高字节和存储在 RCAP2L 和 RCAP2H 的 Timer2 重载/捕获寄存器的高和低字节来控制。



Timer2 结构

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

C8h.7 **TF2**:Timer2 溢出标志

当定时器/计数器 2 溢出时由 H/W 设置, 除非 RCLK=1 或 TCLK=1。此位必须由 S/W 清零。

C8h.6 **EXF2**:T2EX 中断引脚下降沿标志

如果 EXEN2=1, 当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。

C8h.5 **RCLK**:UART 接收时钟控制位

0: 模式 1 或 3 时使用 Timer1 溢出作为串行端口接收时钟

1: 模式 1 或 3 时使用 Timer2 溢出作为串行端口接收时钟

C8h.4 **TCLK**:UART 发送时钟控制位

0: 模式 1 或 3 时使用 Timer1 溢出作为串行端口发送时钟

1: 模式 1 或 3 时使用 Timer2 溢出作为串行端口发送时钟

C8h.3 **EXEN2**:T2EX 引脚使能

0:T2EX 引脚禁用

1:T2EX 引脚使能, 如果 RCLK=TCLK=0, 当检测出 T2EX 引脚的下降沿跳变, 这引起捕获或重载

C8h.2 **TR2**:Timer2 运行控制

0:Timer2 停止

1:Timer2 运行

C8h.1 **CT2N**:Timer2 计数器/定时器选择位

0: 定时器模式, Timer2 的数据以 2 个系统时钟周期率增加

1: 计数器模式, Timer2 的数据在 T2 引脚的下降沿时增加

C8h.0 **CPRL2N**:Timer2 捕捉/重载控制位

0: 重载模式, 如果 EXEN2=1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载

1: 捕捉模式, 如果 EXEN2=1 在 T2EX 引脚上的下降沿跳变则捕捉

如果 RCLK=1 或 TCLK=1 时, CPRL2N 被忽略, Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**: Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**: Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**: Timer2 数据的低字节

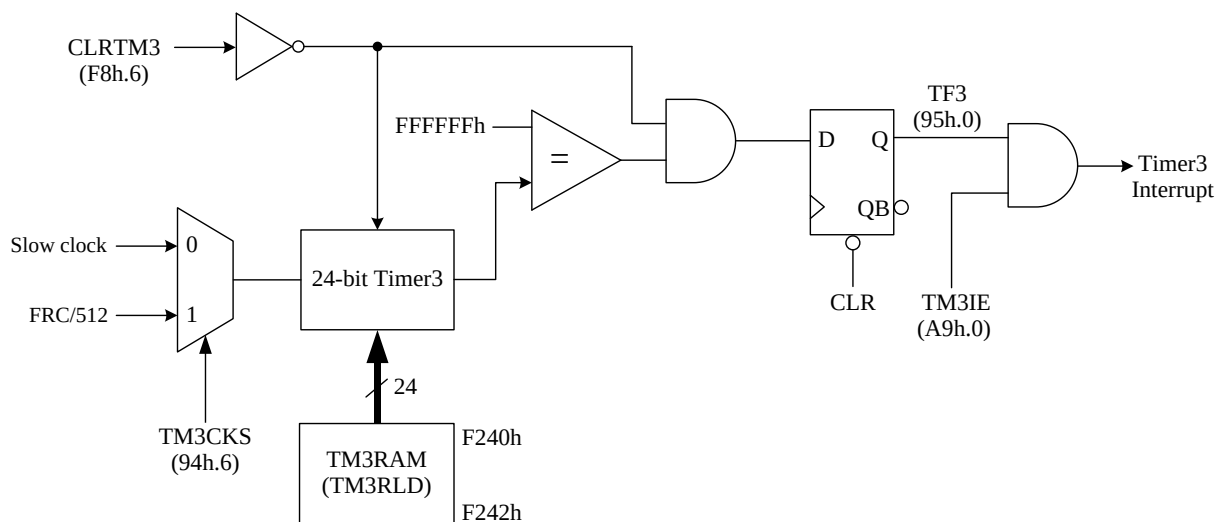
SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CDh.7~0 **TH2**: Timer2 数据的高字节

注: 另请参阅第6章的有关Timer2中断使能和优先级的更多信息。
注: 同时参阅第7章关于T2O引脚输出设置的详细信息。

8.3 Timer3

Timer3 作为一个 24 位时基计数器，周期性地产生中断。此外，Timer3 周期性地增加自身，并在它滚动并生成中断标志(TF3)时自动从 TM3RAM 重新加载一个新的“偏移值”(TM3RLD)。TM3RAM 位于 8051 的外部数据存储单元空间，地址从 F240h 到 F242h。如果设置了 CLRTM3 位，Timer3 可以停止计数。Timer3 时钟源为慢时钟(SRC 或 SXT)或 FRC/512。当时钟源为 SXT 时，这是实时时钟(RTC)功能的理想选择。



Timer3 结构

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	TKBUFS	TM3CKS	WDTPSC		ADCKS		TKOFC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.6 **TM3CKS:** Timer3 时钟源选择
0:慢时钟 (SXT/SRC)
1: FRC/512

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	–	TKIF	ADIF	–	IE2	PCIF	TF3
R/W	R	–	R/W	R/W	–	R/W	R/W	R/W
Reset	–	–	0	0	–	0	0	0

95h.0 **TF3:** Timer3 中断标志
当 Timer3 计数为 FFFFFFFh 时，由 H/W 设置。当程序执行中断服务程序时自动清除。S/W 可以将 FEh 写入 INTFLG 以清除该位。

注: S/W 可以写 0 来清除 INTFLG 中的标志，但是写 1 不起作用。

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	–	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	–	R/W
Reset	0	0	0	0	1	1	–	0

F8h.6 **CLRTM3:** 设置 1 为 clear 并保持 Timer3，需要 S/W 清除。

注: 关于 Timer3 中断使能和优先级的更多信息参见第 6 章。

8.4 T0O, T1O 和 T2O 输出控制

该装置可以产生各种频率的波形引脚输出(CMOS 推挽格式)供蜂鸣器使用。T0O 波形由 Timer0 溢出除以 64 产生,T1O 波形由 Timer1 溢出除以 2 产生,T2O 波形由 Timer2 溢出除以 2 产生。用户可以设置定时器自动重装速度以控制自己的频率。设置 T0OE, T1OE 和 T2OE SFR 可输出这些波形。

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PSEUDOEN	MSI2CPS	UART2PS	UART1PS	TCOE	T2OE	T1OE	T0OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A6h.2 **T2OE:**Timer2 信号输出(T2O)使能
0:禁止 “Timer2 溢出除以 2” 输出到 P1.0
1:允许 “Timer2 溢出除以 2” 输出到 P1.0
- A6h.1 **T1OE:**Timer1 信号输出(T1O)使能
0:禁止 “Timer1 溢出除以 2” 输出到 P3.5
1:允许 “Timer1 溢出除以 2” 输出到 P3.5
- A6h.0 **T0OE:**Timer0 信号输出(T0O)控制
0:禁止 “Timer0 溢出除以 64” 输出到 P3.4
1:允许 “Timer0 溢出除以 64” 输出到 P3.4

9. UARTs

该芯片有两个 UART, UART1 和 UART2。

UART1 使用 SCON 和 SBUF 的 SFR。SCON 是控制寄存器, SBUF 是数据寄存器。数据被写入到 SBUF 用于传输, 而 SBUF 被读取时, 可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。除了标准的 8051 的全双工模式, 该芯片还提供了一线模式。如果 UART1W 位被设置, 发送和接收数据采用 P3.1 脚。在 8051 标准中, UART 波特率的计算取决于 Timer1/Timer2, 但用户也可以使用 UART 的独立定时器通过 UART1CON 定义新的波特率。

UART2 使用 SCON2 和 SBUF2 的 SFR。SCON2 是控制寄存器, SBUF2 是数据寄存器。数据写入 SBUF2 进行传输, 读取 SBUF2 获得接收到的数据。接收数据和发送数据寄存器是完全独立的。UART2 支持 UART 的大部分功能, 但不支持 Mode0 和 Mode2。

F_{SYSCLK} 为系统时钟频率, UART 波特率计算公式如下:

UART1 波特率设置:当 SFR **UART1BRS=0** 时(波特率设置为标准 8051)

- **Mode 0:**
Baud Rate = $F_{\text{SYSCLK}}/2$
- **Mode 1, 3:** 如果使用 Timer1 自动加载模式
Baud Rate = $(\text{SMOD} + 1) \times F_{\text{SYSCLK}} / (32 \times 2 \times (256 - \text{TH1}))$
- **Mode 1, 3:** 如果使用 Timer2
Baud Rate = $\text{Timer2 overflow rate} / 16 = F_{\text{SYSCLK}} / (32 \times (65536 - \text{RCP2H}, \text{RCP2L}))$
- **Mode 2:**
Baud Rate = $(\text{SMOD} + 1) \times F_{\text{SYSCLK}} / 64$

UART1 波特率设置:当 SFR **UART1BRS=1** 时

- **Mode 0:**
Baud Rate = $F_{\text{SYSCLK}}/2$
- **Mode 1, 3:**
Baud Rate = $F_{\text{SYSCLK}} / 32 / \text{UART1BRP}$
- **Mode 2:**
Baud Rate = $(\text{SMOD} + 1) \times F_{\text{SYSCLK}} / 64$

UART2 波特率设置:

- **Mode 0, 2:** 不支持
- **Mode 1, 3:**
Baud Rate = $F_{\text{SYSCLK}} / 32 / \text{UART2BRP}$

*注:*关于 UART 中断使能和优先级的更多信息请参见第 6 章。

*注:*关于 Timer2 如何控制 UART 时钟的更多信息, 请参阅第 8 章。

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.7 **SMOD:** UART1 双波特率控制位

0:关闭 UART1 双波特率

1:开启 UART1 双波特率

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

98h.7~6 **SM0,SM1:** UART1 串口模式选择位 0,1

00: 模式 0: 8 位移位寄存器, 波特率= $F_{SYSCLK}/2$

01: 模式 1: 8 bit UART1, 波特率可变

10: 模式 2: 9bit UART1, 波特率= $F_{SYSCLK}/32$ 或/64

11: 模式 3: 9 bit UART1, 波特率可变

98h.5 **SM2:** 串口模式选择位 2

SM2 支持通过单个串行线进行多处理器通信, 并对上述内容进行如下修改。在模式 2 和模式 3 中, 如果设置 SM2, 则如果接收到的第 9 个数据位为 0, 则不会产生接收到的中断。在模式 1 中, 除非接收到有效的停止位, 否则不会产生接收到的中断。在模式 0 下, SM2 应为 0。

98h.4 **REN:** UART1 接收使能

0:关闭接收

1:开启接收

98h.3 **TB8:** 传输位 8, 在模式 2 和模式 3 中传输的第 9 位

98h.2 **RB8:** 接收位 8, 包含模式 2 和模式 3 接收到的第 9 位, 或者 SM2=0 时停止位为模式 1

98h.1 **TI:** 发送中断标志

在模式 0 中由 H/W 在第 8 位末尾设置, 或在其他模式中由停止位开始设置。必须由 S/W 清除。

98h.0 **RI:** 接收中断标志

在模式 0 中由第八位末尾的 H/W 设置, 或在其他模式中由停止位的采样点设置。必须由 S/W 清除。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF							
R/W	R/W							
Reset	—	—	—	—	—	—	—	—

99h.7~0 **SBUF:** UART1 发送和接收数据。发送数据写入该位置, 接收数据从该位置读取, 但路径是独立的。

SFR DFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UART1CON	UART1BRS	UART1BRP						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

DFh.7 **UART1BRS:** UART1 波特率源选择。

0: 8051 默认波特率源选择

1: UART1 波特率选择为 UART1BRP

DFh.6~0 **UART1BRP:** 定义 UART1 波特率预缩放器。

UART1 波特率= $F_{SYSCLK}/32/UART1BRP$

SFR 8Fh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UART2CON	–	UART2BRP						
R/W	–	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	0	0	0	0	0	0	0

8Fh.6~0 **UART2BRP**: 定义 UART2 波特率预调度器。

$$\text{UART2 波特率} = F_{\text{SYSCLK}}/32/\text{UART2BRP}$$

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON2	SM	–	–	REN2	TB82	RB82	TI2	RI2
R/W	R/W	–	–	R/W	R/W	R/W	R/W	R/W
Reset	0	–	–	0	0	0	0	0

9Ah.7 **SM**: UART2 串口模式选择位

0: 模式 1: 8 bit UART2, 波特率可变

1: 模式 3: 9 bit UART2, 波特率可变

(UART2 不支持模式 0/模式 2)

9Ah.4 **REN2**: 启用 UART2 接收

0: 关闭接收

1: 开启接收

9Ah.3 **TB82**: 传输位 8, 以模式 3 传输的第九个位

9Ah.2 **RB82**: 接收位 8, 包含在模式 3 中接收的第 9 位

9Ah.1 **TI2**: 发送中断标志

由模式 1 和模式 3 停止位开始处的 H/W 设置。必须由 S/W 清除。

9Ah.0 **RI2**: 接收中断标志

由模式 1 和模式 3 停止位采样点处的 H/W 设置。必须由 S/W 清除。

SFR 9Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF2	SBUF2							
R/W	R/W							
Reset	–	–	–	–	–	–	–	–

9Bh.7~0 **SBUF2**: UART2 发送和接收数据。发送数据写入该位置, 接收数据从该位置读取, 但路径是独立的。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	ES2	LVDIE	SPI2CE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.6 **ES2**: 串口(UART2)中断启用

0: 关闭串口(UART2)中断

1: 使能串口(UART2)中断

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PSEUDOEN	MSI2CPS	UART2PS	UART1PS	TCOE	T2OE	T1OE	T0OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A6h.5 **UART2PS**: UART2 引脚选择 (TXD2/RXD2)

0: P1.7/P3.6

1: P0.3/P0.2

A6h.4 **UART1PS**: UART1 引脚选择 (TXD/RXD)

0: P3.1/P3.0

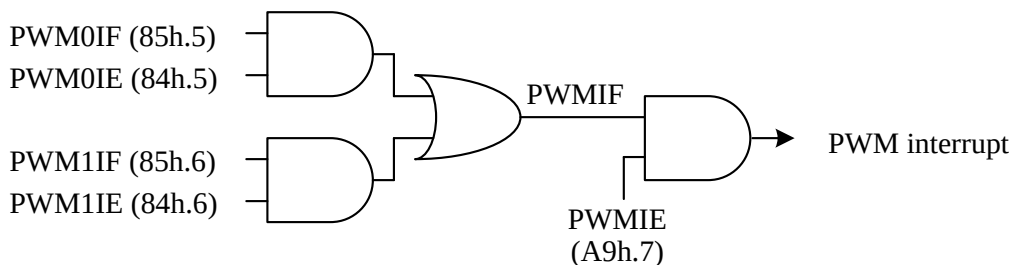
1: P0.0/P0.1

10. PWMs

该芯片具有 7 个 16 位 PWM 模块，PWM0 至 PWM6。PWM 可以根据 PWM 时钟产生 65536 占空比分辨率的变化频率波形。PWM 时钟可以选择 FRC 双频（FRC x 2），FRC 或 F_{SYSClk} 作为其时钟源。用户需留意在设定上，PWM 的 period 必须要大于 duty。

引脚模式 SFR 控制 PWM 输出波形格式。模式 1 为 PWM 开漏输出，模式 2 为 PWM CMOS 推挽输出。（详见第七章）。

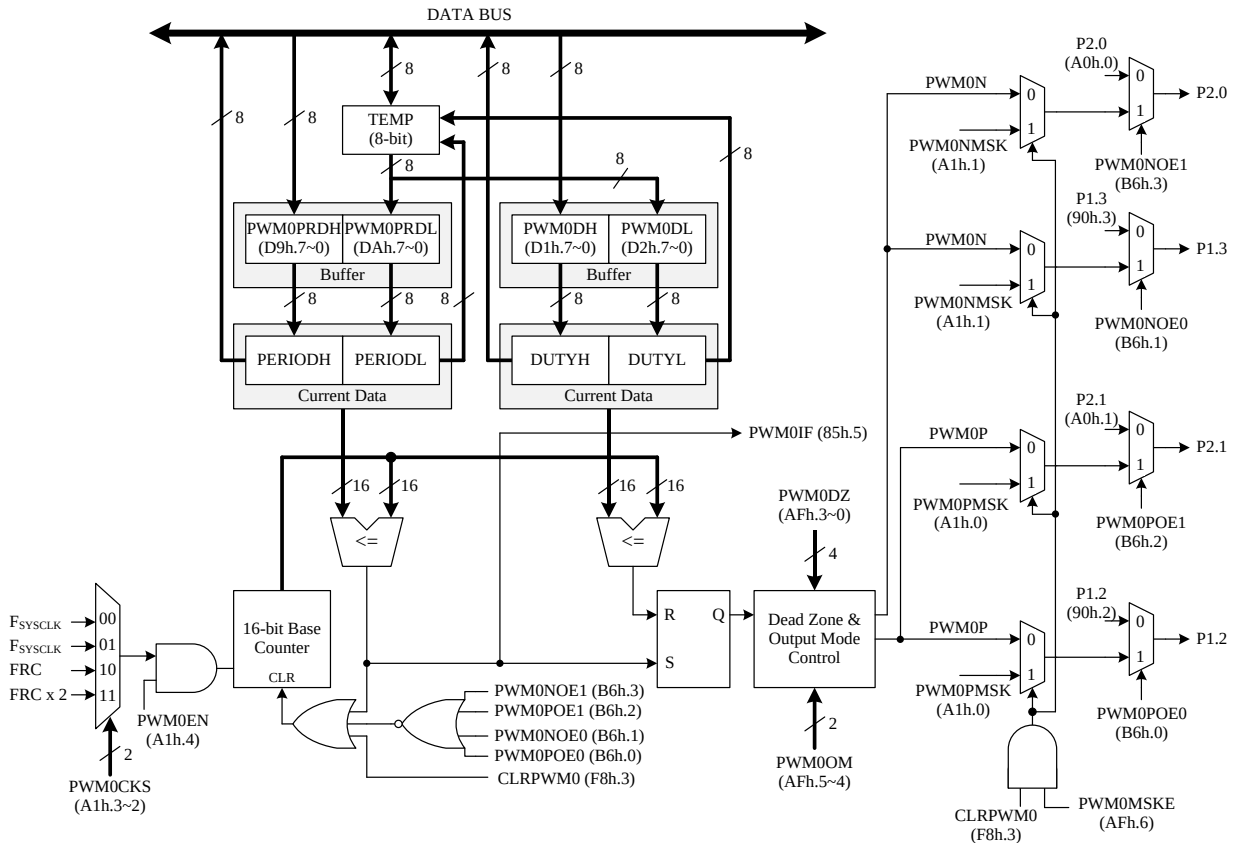
16 位的 PWM0PRD、PWM1PRD 和 PWM0D ~ PWM6D 寄存器都具有低字节结构和高字节结构。高字节可以直接访问，但由于低字节只能通过内部 8 位缓冲区访问，因此必须以特定的方式读取或写入这些寄存器对。需要注意的重要一点是，只有在对相应的高字节执行写或读操作时，才会进行与 8 位缓冲区及其相关的低字节之间的数据传输。简单地说，先写低字节，再写高字节；先读高字节，再读低字节。



PWM 中断结构

10.1 PWM0

PWM0POE0 和 PWM0POE1 用于选择 PWM0P 的输出，PWM0NOE0 和 PWM0NOE1 用于选择 PWM0N 的输出。这四个位也可以作为 PWM0 的控制位。如果这 4 位被清除，PWM0 将被清除并停止，否则 PWM0 正在运行。CLRPWM0 位具有相同的功能。设置 CLRPWM0 位时，清除 PWM0 并保持，否则 PWM0 正在运行。PWM0 结构如下图所示。



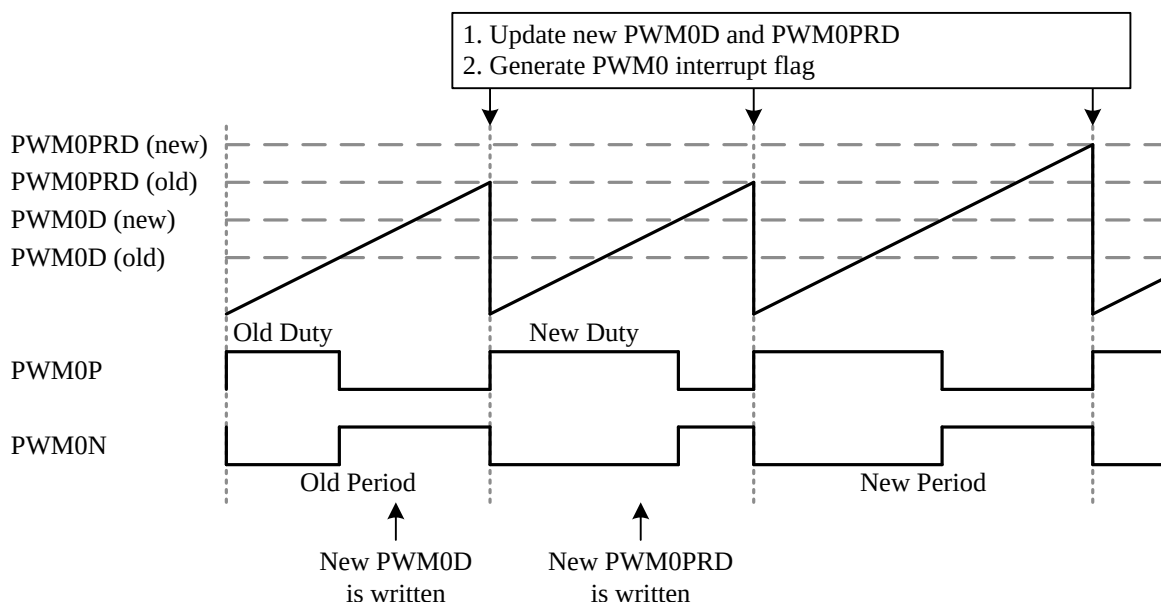
PWM0 结构图

可以通过写入 PWM0DH 和 PWM0DL 来改变 PWM0 的占空比。当 16 位基计数器匹配 16 位 PWM0 占空寄存器 {PWM0DH, PWM0DL} 时，PWM0 输出信号复位为低电平。可以通过将周期值写入 PWM0PRDH 和 PWM0PRDL 寄存器来设置 PWM0 周期。在写入 PWM0D 或 PWM0PRD 寄存器之后，新值将立即保存到它们自己的缓冲区中。H/W 将在当期结束时或清除 PWM0 时更新这些值。在当前周期结束时，H/W 将设置 PWM0IF 位，如果 PWM0 中断使能，则产生中断。

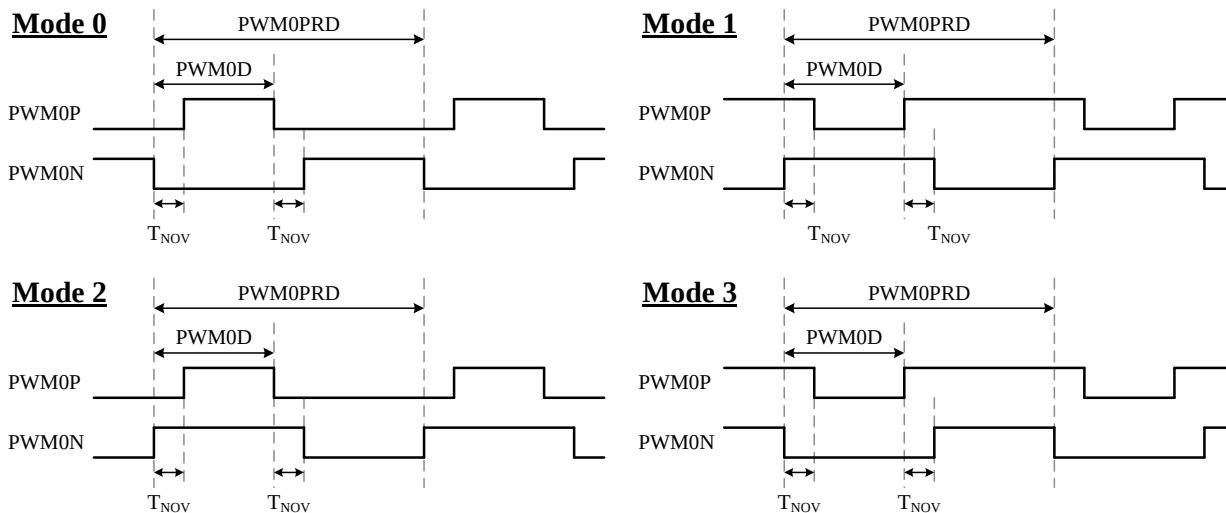
PWM0 有正常模式和半桥模式两种工作模式。PWM0 输出信号可以通过 PWM0P 和 PWM0N 四种不同的模式输出。这两个输出不重叠，时间间隔为 TNOV。不重叠的时间间隔也称为死区或不工作区。TNOV 通过设置 PWM0DZ 位来确定。PWM0DZ 的 0~15 分别映射到 0~15,16 个 PWM0CLK 周期。如果 PWM0DZ=0，则直接将 PWM0 输出传递给 PWM0P 和 PWM0N，使其波形具有相同的占空比。注意，如果 PWM0 输出的高脉宽或低脉宽短于 TNOV，则这两个输出的实际波形将不同于预期波形。如果设置了 PWM0MSKE 位，则输出可以被屏蔽以强制输出固定信号，而 S/W 设置 CLRPWM0 位由 H/W 设置。

10.1.1 正常模式

正常模式 PWM 是一种简单的结构，它以均匀的可重复间隔将其输出高和低切换。PWM0D 是输出占空比，输出周期为 $PWM0PRD + 1$ 。PWM0 的输出波形如下所示。



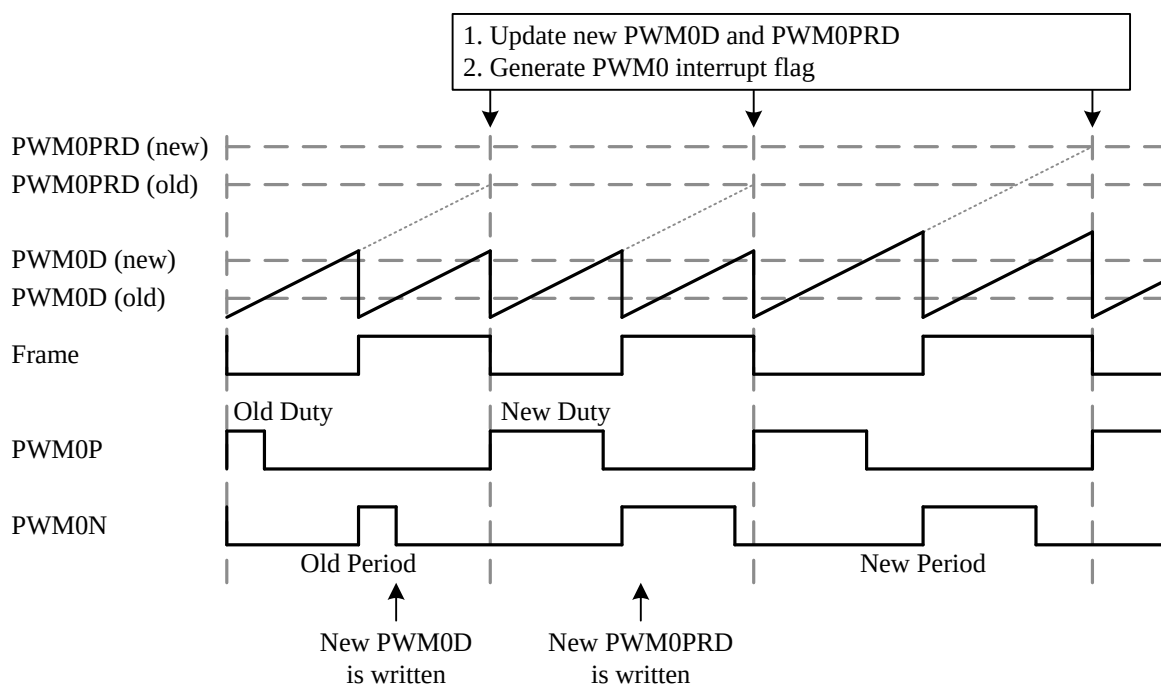
PWM0 正常模式输出波形 (PWM0OM=0, PWM0DZ=0)



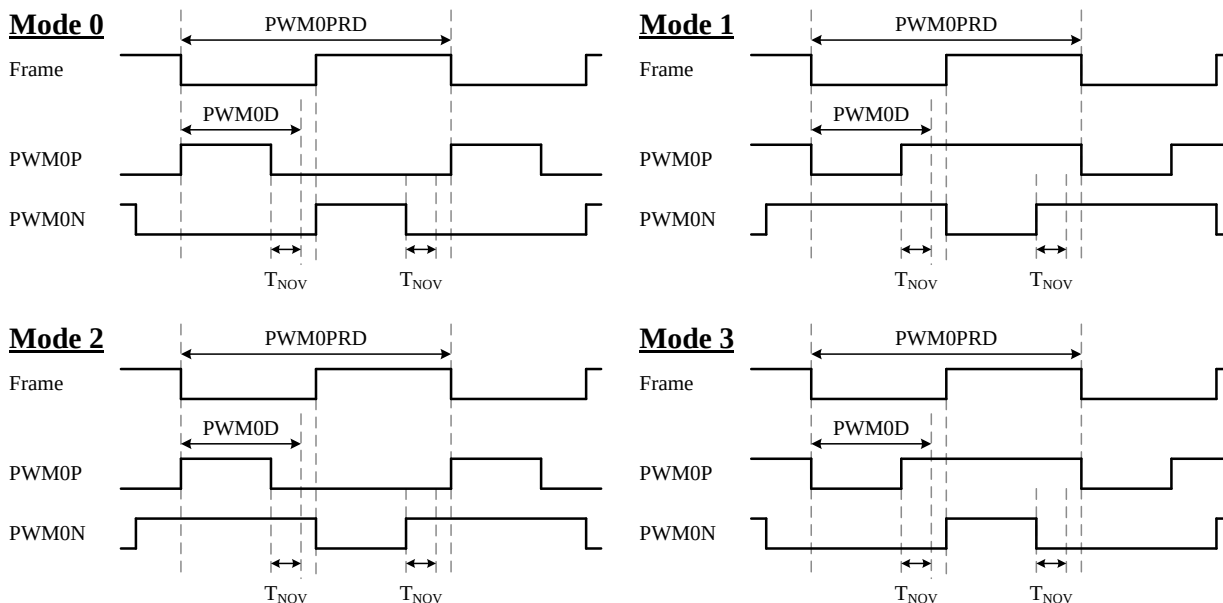
PWM0 正常模式输出模式

10.1.2 半桥模式

半桥模式 PWM 与普通模式相似，但在半桥模式下禁止死区(SFR PWM0DZ 必须为 0)，它在一个周期内有两帧，PWM0P 只在第一帧输出，PWM0N 只在第二帧输出。这两帧的宽度必须相同，所以它们的宽度是 PWM0PRD/2 的整数部分。由于每个输出通道只输出一帧，所以最大占空比等于一帧的宽度。如果 PWM0D 大于 PWM0PRD/2, H/W 将强制设置占空比为 PWM0PRD/2。输出波形和输出模式如下图所示。



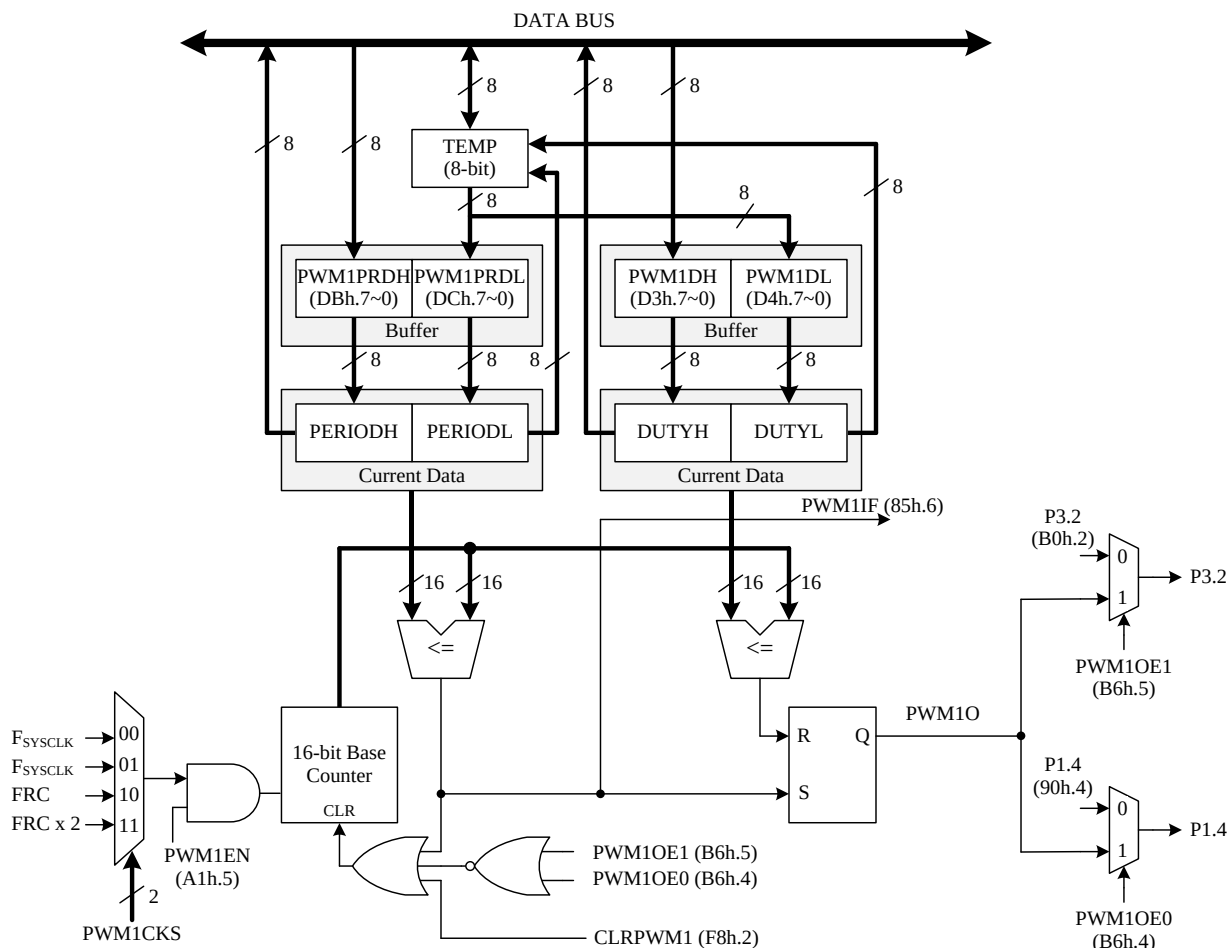
PWM0 半桥模式输出波形 (PWM0OM=0, PWM0DZ=0)



PWM0 半桥模式输出模式

10.2 PWM1~PWM6

芯片有 6 个 16 位 PWM 模块 PWM1~PWM6。PWM1~6 共用中断（PWM1IF），时钟源和周期。以下以 PWM1 为例进行说明。PWM 可以根据 PWM 时钟产生 65536 占空比分辨率的变化频率波形。PWM 时钟可以选择双频（FRC x 2），FRC 或 F_{SYSCLK} 作为其时钟源。



PWM1~6 结构

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	PWM1IE	PWM0IE	—	—	—	—	—
R/W	—	R/W	R/W	—	—	—	—	—
Reset	—	0	0	—	—	—	—	—

84h.6 **PWM1IE:** PWM1~PWM6 中断使能

0: 禁止 1: 使能

84h.5 **PWM0IE:** PWM0 中断使能

0: 禁止 1: 使能

SFR 85h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG2	—	PWM1IF	PWM0IF	—	—	—	—	—
R/W	—	R/W	R/W	—	—	—	—	—
Reset	—	0	0	—	—	—	—	—

85h.6 **PWM1IF:** PWM1~PWM6 中断标志

在 PWM1~PWM6 周期结束时由 H/W 置 1, S/W 将 BFh 写入 INTFLG2 以清除该标志。

85h.5 **PWM0IF:** PWM0 中断标志

在 PWM0 周期结束时由 H/W 置 1, S/W 将 DFh 写入 INTFLG2 以清除该标志。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	ES2	LVDIE	SPI2CE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.7 **PWMIE:** PWM0/PWM1~PWM6 中断使能

0: 禁用 PWM0/PWM1~PWM6 中断

1: 允许 PWM0/PWM1~PWM6 中断

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	PWM1CKS		PWM1EN	PWM0EN	PWM0CKS		PWM0NMSK	PWM0PMSK
R/W	R/W		R/W	R/W	R/W		R/W	R/W
Reset	0	0	0	0	0	0	0	0

A1h.7~6 **PWM1CKS:** PWM1~PWM6 时钟源

00: F_{SYSCLK}

01: F_{SYSCLK}

10: FRC

11: FRCx2 (V_{CC}>2.7V)

A1h.5 **PWM1EN:** PWM1~6 使能

0: PWM1~6 禁用

1: PWM1~6 使能

A1h.4 **PWM0EN:** PWM0 使能

0: PWM0 禁用

1: PWM0 使能

A1h.3~2 **PWM0CKS:** PWM0 时钟源

00: F_{SYSCLK}

01: F_{SYSCLK}

10: FRC

11: FRCx2 (V_{CC}>2.7V)

A1h.1 **PWM0NMSK:** PWM0N 掩码数据。

如果 CLRPWM0=1, PMW0MSKE=1, PWM0N 将输出该掩码数据。

A1h.0 **PWM0PMSK:** PWM0P 掩码数据。

如果 CLRPWM0=1, PMW0MSKE=1, PWM0P 将输出该掩码数据。

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	PWM0MOD	PWM0MSKE	PWM0OM		PWM0DZ			
R/W	R/W	R/W	R/W		R/W			
Reset	0	0	0	0	0	0	0	0

AFh.7 **PWM0MOD:** PWM0 模式选择

- 0: 正常模式
- 1: 半桥模式

AFh.6 **PWM0MSKE:** 使能 PWM0 掩码输出

- 0: 禁用
- 1: CLR PWM0=1 时, PWM0P/PWM0N 通过 PWM0PSK/PWM0NMSK 输出数据

AFh.5~4 **PWM0OM:** PWM0 输出模式选择

- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: 模式 3

AFh.3~0 **PWM0DZ:** PWM0 死区(半桥模式禁止死区)

- 0000: 0 x T_{PWMCLK}
- 0001: 1 x T_{PWMCLK}
- ...
- 1111: 15 x T_{PWMCLK}

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0E0	PWM2OE1	PWM2OE0	PWM1OE1	PWM1OE0	PWM0NOE1	PWM0POE1	PWM0NOE0	PWM0POE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

B6h.7 **PWM2OE1:** PWM2 信号输出使能

- 0: PWM2 禁止输出
- 1: PWM2 信号输出到 P3.3

B6h.6 **PWM2OE0:** PWM2 信号输出使能

- 0: PWM2 禁止输出
- 1: PWM2 信号输出到 P1.5 pin

B6h.5 **PWM1OE1:** PWM1 信号输出使能

- 0: PWM1 禁止输出
- 1: PWM1 信号输出到 P3.2 pin

B6h.4 **PWM1OE0:** PWM1 信号输出使能

- 0: PWM1 禁止输出
- 1: PWM1 信号输出到 P1.4 pin

B6h.3 **PWM0NOE1:** PWM0N 信号输出使能

- 0: PWM0N 禁止输出
- 1: PWM0N 信号输出到 P2.0

B6h.2 **PWM0POE1:** PWM0P 信号输出使能

- 0: PWM0P 禁止输出
- 1: PWM0P 信号输出到 P2.1

B6h.1 **PWM0NOE0:** PWM0N 信号输出使能

- 0: PWM0N 禁止输出
- 1: PWM0N 信号输出到 P1.3

B6h.0 **PWM0POE0:** PWM0P 信号输出使能

- 0: PWM0P 禁止输出
- 1: PWM0P 信号输出到 P1.2

SFR B7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0E1	PWM6OE1	PWM6OE0	PWM5OE1	PWM5OE0	PWM4OE1	PWM4OE0	PWM3OE1	PWM3OE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

B7h.7 **PWM6OE1**: PWM6 信号输出使能

0: PWM6 禁止输出

1: PWM6信号输出到 P0.7

B7h.6 **PWM6OE0**: PWM6 信号输出使能

0: PWM6 禁止输出

1: PWM6信号输出到 P3.7

B7h.5 **PWM5OE1**: PWM5 信号输出使能

0: PWM5 禁止输出

1: PWM5信号输出到 P0.6

B7h.4 **PWM5OE0**: PWM5 信号输出使能

0: PWM5 禁止输出

1: PWM5信号输出到 P3.4

B7h.3 **PWM4OE1**: PWM4 信号输出使能

0: PWM4 禁止输出

1: PWM4信号输出到 P0.5

B7h.2 **PWM4OE0**: PWM4 信号输出使能

0: PWM4 禁止输出

1: PWM4信号输出到 P3.5

B7h.1 **PWM3OE1**: PWM3 信号输出使能

0: PWM3 禁止输出

1: PWM3信号输出到 P0.4

B7h.0 **PWM3OE0**: PWM3 信号输出使能

0: PWM3 禁止输出

1: PWM3信号输出到 P1.6

SFR D1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D1h.7~0 **PWM0DH**: PWM0 占空比高字节

写入顺序:PWMxDL 然后 PWMxDH

读取顺序:PWMxDH, PWMxDL

SFR D2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DL	PWM0DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D2h.7~0 **PWM0DL**: PWM0 占空比低字节

写入顺序:PWMxDL 然后 PWMxDH

读取顺序:PWMxDH, PWMxDL

SFR D3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DH	PWM1DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D3h.7~0 **PWM1DH**: PWM1 占空比高字节
写入顺序:PWMxDL 然后 PWMxDH
读取顺序:PWMxDH, PWMxDL

SFR D4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DL	PWM1DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D4h.7~0 **PWM1DL**: PWM1 占空比低字节
写入顺序:PWMxDL 然后 PWMxDH
读取顺序:PWMxDH, PWMxDL

SFR D5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DH	PWM2DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D5h.7~0 **PWM2DH**: PWM2 占空比高字节
写入顺序:PWMxDL 然后 PWMxDH
读取顺序:PWMxDH, PWMxDL

SFR D6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DL	PWM2DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D6h.7~0 **PWM2DL**: PWM2 占空比低字节
写入顺序:PWMxDL 然后 PWMxDH
读取顺序:PWMxDH, PWMxDL

SFR D9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDH	PWM0PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

D9h.7~0 **PWM0PRDH**: PWM0 周期高字节
写入顺序:PWMxPRDL 再 PWMxPRDH
读取顺序:PWMxPRDH, PWMxPRDL

SFR DAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDL	PWM0PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DAh.7~0 **PWM0PRDL**: PWM0 周期低字节
写入顺序:PWMxPRDL 再 PWMxPRDH
读取顺序:PWMxPRDH, PWMxPRDL

SFR DBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDH	PWM1PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DBh.7~0 **PWM1PRDH:** PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 周期高字节
 写入顺序:PWMxPRDL 再 PWMxPRDH
 读取顺序:PWMxPRDH, PWMxPRDL

SFR DCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDL	PWM1PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DCh.7~0 **PWM1PRDL:** PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 周期低字节
 写入顺序:PWMxPRDL 再 PWMxPRDH
 读取顺序:PWMxPRDH, PWMxPRDL

SFR DDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3DH	PWM3DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

DDh.7~0 **PWM3DH:** PWM3 占空比高字节
 写入顺序:PWMxDL 然后 PWMxDH
 读取顺序:PWMxDH, PWMxDL

SFR DEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3DL	PWM3DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

DEh.7~0 **PWM3DL:** PWM3 占空比低字节
 写入顺序:PWMxDL 然后 PWMxDH
 读取顺序:PWMxDH, PWMxDL

SFR E9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM4DH	PWM4DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

E9h.7~0 **PWM4DH:** PWM4 占空比高字节
 写入顺序:PWMxDL 然后 PWMxDH
 读取顺序:PWMxDH, PWMxDL

SFR EAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM4DL	PWM4DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EAh.7~0 **PWM4DL:** PWM4 占空比低字节
 写入顺序:PWMxDL 然后 PWMxDH
 读取顺序:PWMxDH, PWMxDL

SFR EBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM5DH	PWM5DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EBh.7~0 **PWM5DH**: PWM5 占空比高字节
写入顺序:PWMxDL 然后 PWMxDH
读取顺序:PWMxDH, PWMxDL

SFR ECh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM5DL	PWM5DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

ECh.7~0 **PWM5DL**: PWM5 占空比低字节
写入顺序:PWMxDL 然后 PWMxDH
读取顺序:PWMxDH, PWMxDL

SFR EDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM6DH	PWM6DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EDh.7~0 **PWM6DH**: PWM6 占空比高字节
写入顺序:PWMxDL 然后 PWMxDH
读取顺序:PWMxDH, PWMxDL

SFR EEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM6DL	PWM6DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EEh.7~0 **PWM6DL**: PWM6 占空比低字节
写入顺序:PWMxDL 然后 PWMxDH
读取顺序:PWMxDH, PWMxDL

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	—	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W
Reset	0	0	0	0	1	1	—	0

F8h.3 **CLRPWM0**: PWM0 清除使能
0: PWM0 正在运行
1:清除 PWM0 并保持

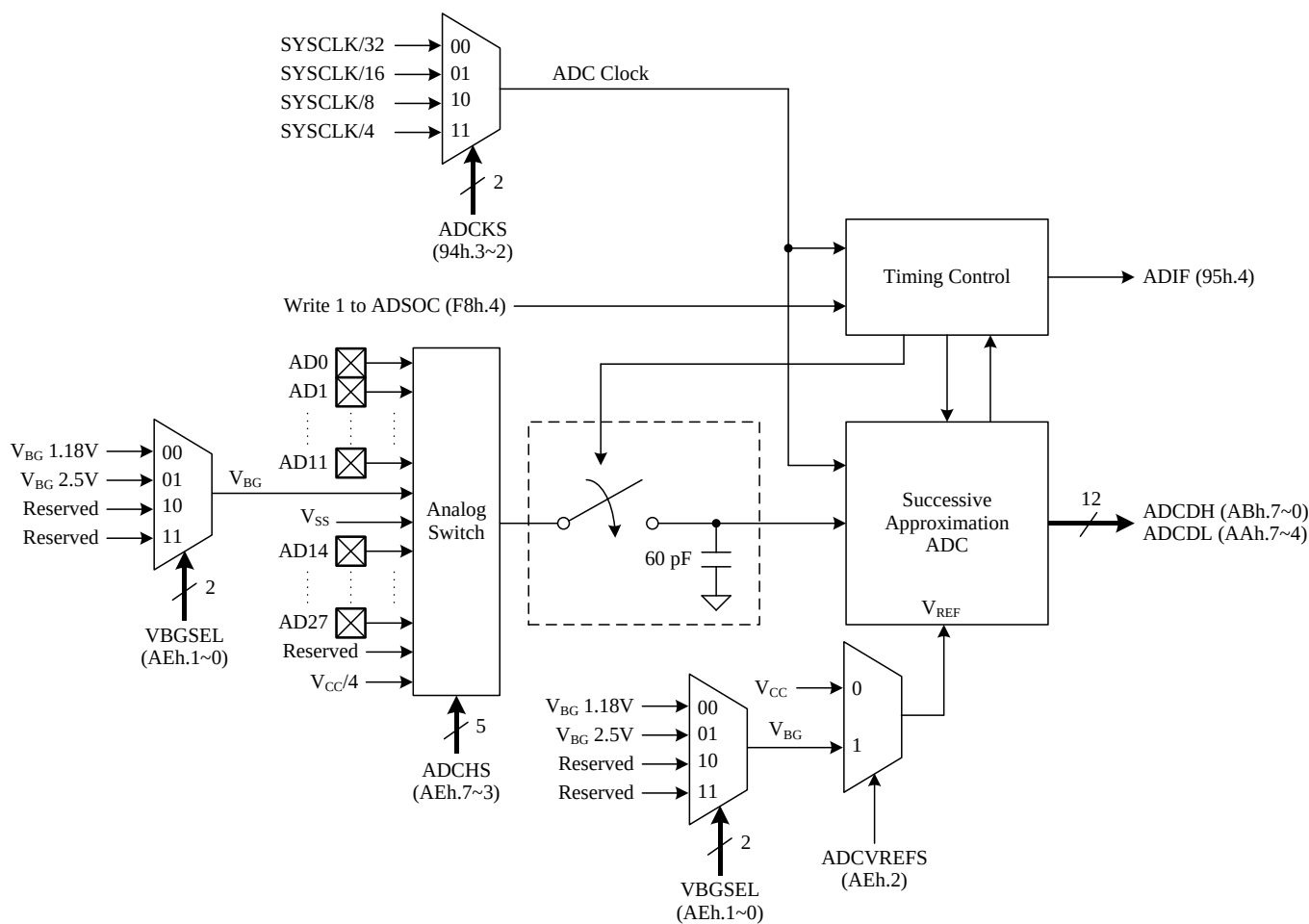
F8h.2 **CLRPWM1**: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 清除使能
0: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 正在运行
1: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 清除并保持

11. ADC

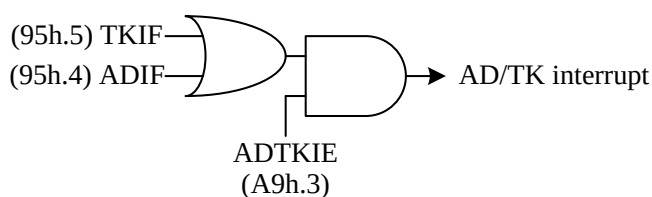
该芯片提供一个 12 位 ADC，由 20 通道模拟输入多路复用器、控制寄存器、时钟发生器、12 位连续逼近寄存器和输出数据寄存器组成。一般来说，ADC 时钟频率小于 1MHz，用户可以参考电气特性章节。

要使用 ADC，首先要设置 ADCKS 位以选择合适的 ADC 时钟频率。然后，用户通过设置 ADSOC 位启动 ADC 转换，H/W 将在转换结束时自动清除它。转换结束后，H/W 将设置 ADIF 位，如果启用 ADC 中断，则产生中断。可以通过写入 0 来清除 ADIF 位或设置 ADSOC 位。模拟输入电平必须保持在 VSS 到 VCC 的范围内。

使用 ADCVREFS 选项，可以选择 ADC 内部参考电压源(V_{REF})为 V_{CC} 或 V_{BG} 。



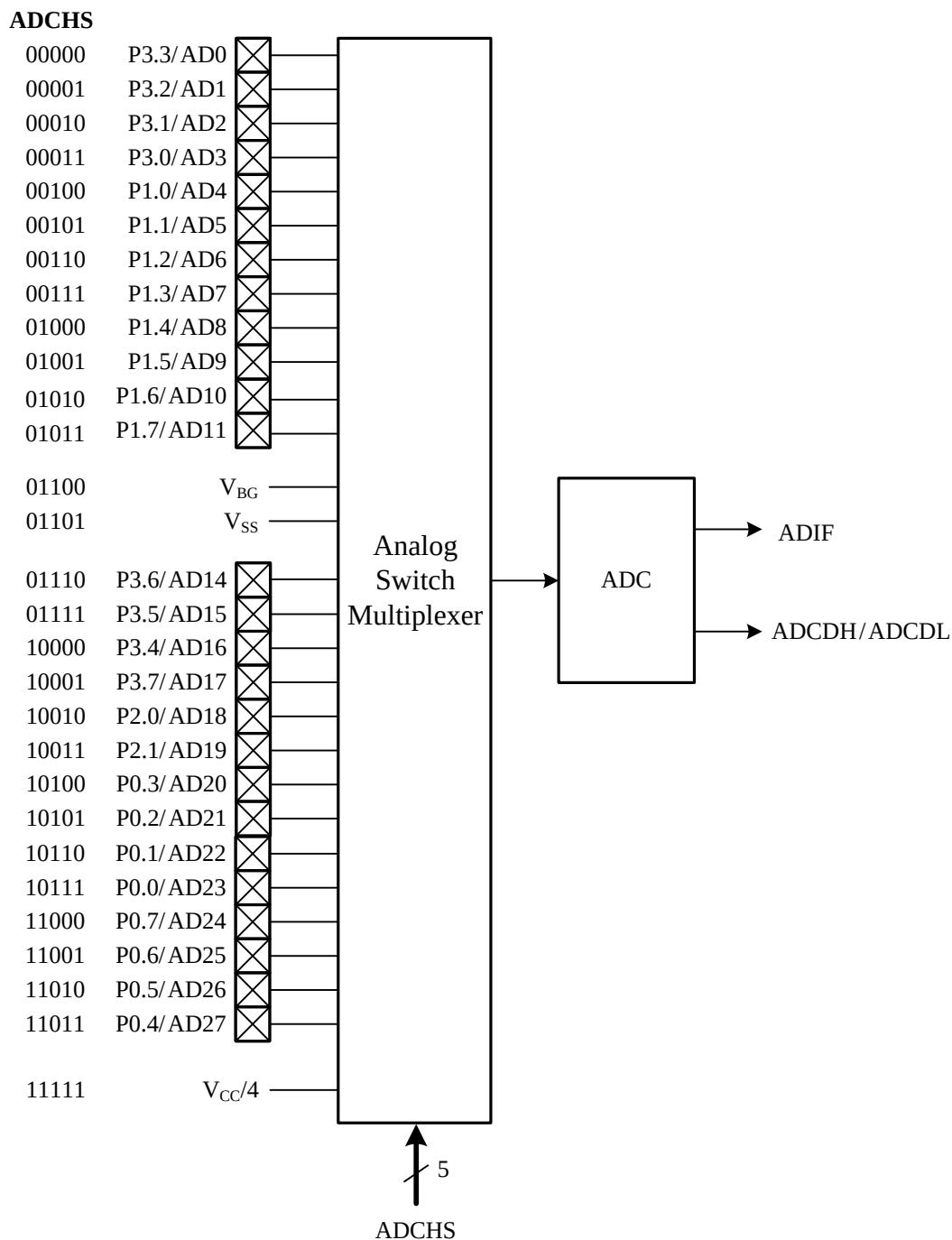
ADC 结构



ADC 中断结构

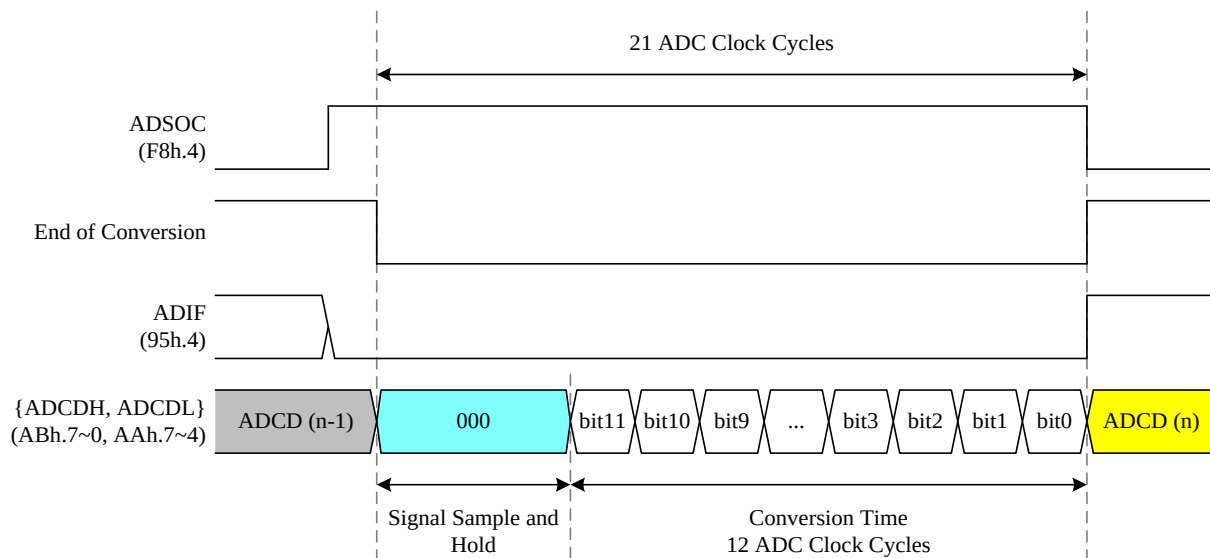
11.1 ADC 通道

ADC 通道通过类比开关多路复用器连接到类比输入引脚。类比开关多路复用器由 ADCHS 寄存器控制。该芯片提供多达 26 个 I/O 输入引脚，指定为 AD0~AD11,AD14~AD21。此外，还有 2 个内部参考电压(V_{BG} 和 $V_{CC}/4$)。当 ADCHS 设为 1100b 时，模拟输入接 V_{BG} ，当 ADCHS 设为 1101b 时，模拟输入接至 V_{SS} 。



11.2 ADC 转换时间

转换时间是 ADC 转换电压所需要的时间。该 ADC 转换每个位需要一个 ADC 时钟周期，以及多个时钟周期进行输入电压采样和保持。一共需要 21 个 ADC 时钟周期以执行完全转化。当转换时间结束，ADIF 中断标志由 H/W 设置，12 位 A/D 转换结果被加载到 ADCDH 和 ADCDL 寄存器。



SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	TKBUFS	TM3CKS	WDTPSC		ADCKS		TKOFC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.3~2 **ADCKS:** ADC 时钟频率选择

00: $F_{SYSCLK}/32$

01: $F_{SYSCLK}/16$

10: $F_{SYSCLK}/8$

11: $F_{SYSCLK}/4$

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	—	TKIF	ADIF	—	IE2	PCIF	TF3
R/W	R	—	R/W	R/W	—	R/W	R/W	R/W
Reset	—	—	0	0	—	0	0	0

95h.4 **ADIF:** ADC 中断标志

于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

注: S/W 可以写入 0 来清除 INTLG 中的标志，但写入 1 无效。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDL	ADCDL				—	—	—	PWRDEC
R/W	R				—	—	—	W
Reset	—	—	—	—	—	—	—	—

AAh.7~4 **ADCDL:** ADC 数据位 3~0

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDH	ADCDH							
R/W	R							
Reset	—	—	—	—	—	—	—	—

ABh.7~0 **ADCDH**: ADC 数据位 11~4

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCHSEL	ADCHS					ADCVREFS	VBGSEL	
R/W	R/W					R/W	R/W	
Reset	1	1	1	0	0	0	0	0

A Eh.7~3 **ADCHS**: ADC 通道选择

00000: AD0 (P3.3)
 00001: AD1 (P3.2)
 00010: AD2 (P3.1)
 00011: AD3 (P3.0)
 00100: AD4 (P1.0)
 00101: AD5 (P1.1)
 00110: AD6 (P1.2)
 00111: AD7 (P1.3)
 01000: AD8 (P1.4)
 01001: AD9 (P1.5)
 01010: AD10 (P1.6)
 01011: AD11 (P1.7)
 01100: V_{BG}
 01101: V_{SS}
 01110: AD14 (P3.6)
 01111: AD15 (P3.5)
 10000: AD16 (P3.4)
 10001: AD17 (P3.7)
 10010: AD18 (P2.0)
 10011: AD19 (P2.1)
 10100: AD20 (P0.3)
 10101: AD21 (P0.2)
 10110: AD22 (P0.1)
 10111: AD23 (P0.0)
 11000: AD24 (P0.7)
 11001: AD25 (P0.6)
 11010: AD26 (P0.5)
 11011: AD27 (P0.4)
 其他: 保留
 11111: $V_{CC}/4$

A Eh.2 **ADCVREFS**: ADC 参考电压选择

0: V_{CC}
 1: V_{BG}

A Eh.1~0 **VBGSEL**: V_{BG} 电压选择。当 ADCVREF 选择为 V_{BG} 时, VBGSEL 禁止使用 1.18V。

00: 1.18V
 01: 2.5V (need $V_{CC}>2.8V$)
 10: 保留
 11: 保留

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	OPOUT	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	0	0

F8h.4 **ADSOC:** 启动 ADC 转换

设置 ADSOC 位启动 ADC 转换，ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

*注:*另请参阅第 6 章的有关 ADC 中断使能和优先级的更多信息。

*注:*同时参阅第 7 章有关 ADC 引脚输入设置的详细信息。

12. 触摸按键 (FTK)

触摸键提供了一种简单可靠的方法来实现手指触摸检测。在按键扫描操作过程中，设备支持 23 通道触摸按键检测。

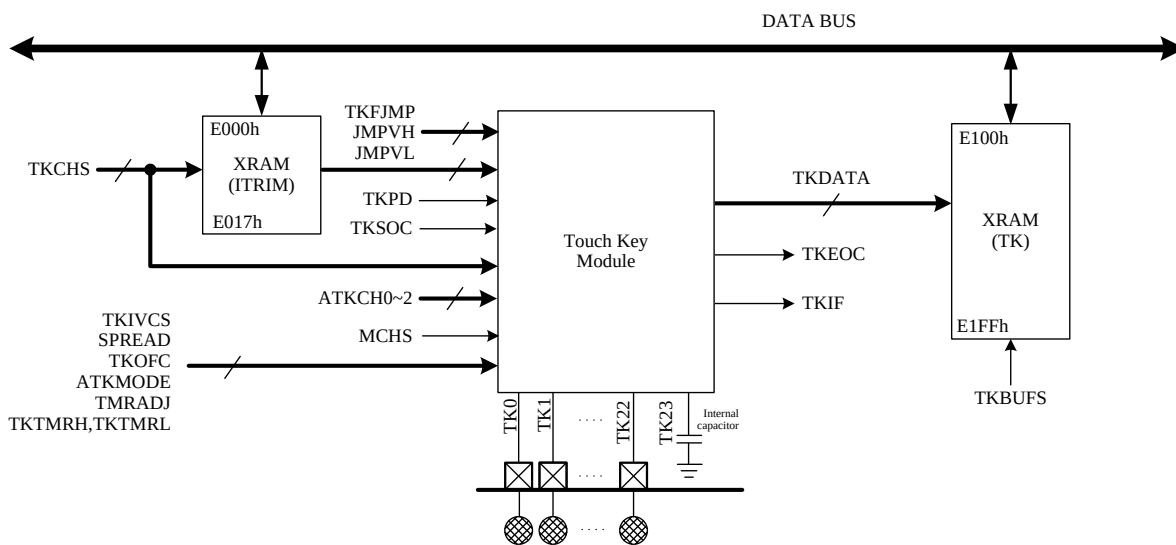
要使用触摸键，用户应正确设置引脚模式。将 I/O 设置为触摸按键通道有两种方法。设置引脚模式为模式 3 或设置 SFR ATKCH0~2，在触摸按键扫描时，系统将自动强制 I/O 作为触摸按键通道。如果 ATKCH0~2 被设置，则触摸按键扫描时相应的 I/O 引脚也将被设置为触摸按键通道，并且不再受到 PxMODL 和 PxMODH 的设置影响。

TKPINSEL	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCH0	TK7	TK6	TK5	TK4	TK3	TK2	TK1	TK0
ATKCH1	TK15	TK14	TK13	TK12	TK11	TK10	TK9	TK8
ATKCH2	TKCAP	TK22	TK21	TK20	TK19	TK18	TK17	TK16

设置 ATKCH0~2 选择 I/O 作为 TK 通道

在触摸按键模式下，用户需指派 TKPD=0 来打开触摸按键模块，然后设置 TKSOC 位来启动触摸按键转换，接着用户需要手动清除 TKSOC。TKEOC=0 表示转换正在进行中。TKEOC=1 表示转换结束，触摸按键计数结果存入 TKRAM。TKEOC=1 后，用户必须等待至少 50μs 才能进行下一次转换。减少/增加 TKTMR 可以减少/增加 TKDATA 以适应系统的情况。

触摸按键有一个内部内置参考电容器来模拟按键行为。设置 TKCHS=23 并开始扫描可以获得内部参考电容 (TKCAP) 的触摸按键数据计数。由于内部电容不会受到水或手机的影响，因此对于比较环境背景噪声很有用。设置 TKFJMP，当 ATKMODE=1 或 2 时，触摸按键时钟的频率可以通过 H/W 控制自动改变。这可能有助于提高抗噪声的能力。



FTK 结构

SFR ATKCH0~2 用于指定扫描触摸按键通道，每一位都映像到触摸按键引脚。触摸按键扫描将从低位到高位进行扫描。如果 ATKMODE=0，触摸按键最多可以扫描 24 个通道，TK00~TK22 和 TKCAP (TK23)，每个通道扫描一次。如果 ATKMODE=1，触摸按键最多可以扫描 24 个通道，每个通道扫描两次。如果 ATKMODE=2，触摸按键最多可以扫描 16 个通道，每个通道扫描 4 次。如果 ATKMODE=3，触摸按键最多可以扫描 8 个通道，每个通道扫描 8 次。TKCHS 用于指定触摸按键开始扫描的第一个通道。

示例:

条件: ATKMODE=0, 扫描 TK16/TK14/TK8/TK7/TK6/TK2

⇒ ATKCH2=0000_0001, ATKCH1=0100_0001, ATKCH0=1100_0100

⇒ TKCHS=0x02 (指定起始扫描通道)

⇒ TKBUFS=0 (TK 数据存储到 TKRAM 的前半区)

TKRAM 中存储的 TK 数据的排列如下:

TKRAM	
E100h	TK0 DATAL
E101h	TK0 DATAH
E102h	TK1 DATAL
E103h	TK1 DATAH
...	
E128h	TK20 DATAL
E129h	TK20 DATAH
...	
E12Eh	TK23 DATAL
E12Fh	TK23 DATAH

条件: ATKMODE=1, 扫描 TK16/TK14/TK8/TK7/TK6/TK2

⇒ ATKCH2=0000_0001, ATKCH1=0100_0001, ATKCH0=1100_0100

⇒ TKCHS=0x02 (指定起始扫描通道)

⇒ TKBUFS=0 (TK 数据存储到 TKRAM 的前半区)

TKRAM 中存储的 TK 数据的排列如下:

TKRAM	
E100h	TK2 1 st DATAL
E101h	TK2 1 st DATAH
E102h	TK2 2 nd DATAL
E103h	TK2 2 nd DATAH
E104h	TK6 1 st DATAL
E105h	TK6 1 st DATAH
E106h	TK6 2 nd DATAL
E107h	TK6 2 nd DATAH
...	
E114h	TK16 1 st DATAL
E115h	TK16 1 st DATAH
E116h	TK16 2 nd DATAL
E117h	TK16 2 nd DATAH

TK 扫描结果为 16 位数据, 即 DATAH 8 位和 DATAL 8 位。为了获得正确的 16 位数据, 必须读取 DATAH/L: 首先读取低字节 (DATAL), 然后读取高字节 (DATAH)。

条件: ATKMODE=2, 扫描 TK16/TK14/TK8/TK7/TK6/TK2

⇒ ATKCH2=0000_0001, ATKCH1=0100_0001, ATKCH0=1100_0100

⇒ TKCHS=0x02 (指定起始扫描通道)

⇒ TKBUFS=0 (TK 数据存储到 TKRAM 的前半区)

TKRAM 中存储的 TK 数据的排列如下:

TKRAM	
E100h	TK2 1 st DATAL
E101h	TK2 1 st DATAH
E102h	TK2 2 nd DATAL
E103h	TK2 2 nd DATAH
E104h	TK2 3 rd DATAL
E105h	TK2 3 rd DATAH
E106h	TK2 4 th DATAL
E107h	TK2 4 th DATAH
E108h	TK6 1 st DATAL
E109h	TK6 1 st DATAH
E10Ah	TK6 2 nd DATAL
E10Bh	TK6 2 nd DATAH
E10Ch	TK6 3 rd DATAL
E10Dh	TK6 3 rd DATAH
E10Eh	TK6 4 th DATAL
E10Fh	TK6 4 th DATAH
	...
E128h	TK16 1 st DATAL
E129h	TK16 1 st DATAH
E12Ah	TK16 2 nd DATAL
E12Bh	TK16 2 nd DATAH
E12Ch	TK16 3 rd DATAL
E12Dh	TK16 3 rd DATAH
E12Eh	TK16 4 th DATAL
E12Fh	TK16 4 th DATAH

TK 扫描结果为 16 位数据, 即 DATAH 8 位和 DATAL 8 位。为了获得正确的 16 位数据, 必须读取 DATAH/L: 首先读取低字节 (DATAL), 然后读取高字节 (DATAH)。

条件: ATKMODE=3, 扫描 TK16/TK14/TK8/TK7/TK6/TK2

⇒ ATKCH2=0000_0001, ATKCH1=0100_0001, ATKCH0=1100_0100

⇒ TKCHS=0x02 (指定起始扫描通道)

⇒ TKBUFS=1 (TK 数据存储到 TKRAM 的后半区)

TKRAM 中存储的 TK 数据的排列如下:

TKRAM	
E180h	TK2 1 st DATAL
E181h	TK2 1 st DATAH
E182h	TK2 2 nd DATAL
E183h	TK2 2 nd DATAH
E184h	TK2 3 rd DATAL
E185h	TK2 3 rd DATAH
E186h	TK2 4 th DATAL
E187h	TK2 4 th DATAH
E188h	TK2 5 th DATAL
E189h	TK2 5 th DATAH
E18Ah	TK2 6 th DATAL
E18Bh	TK2 6 th DATAH
E18Ch	TK2 7 th DATAL
E18Dh	TK2 7 th DATAH
E18Eh	TK2 8 th DATAL
E18Fh	TK2 8 th DATAH
...	
E1D0h	TK16 1 st DATAL
E1D1h	TK16 1 st DATAH
E1D2h	TK16 2 nd DATAL
E1D3h	TK16 2 nd DATAH
E1D4h	TK16 3 rd DATAL
E1D5h	TK16 3 rd DATAH
E1D6h	TK16 4 th DATAL
E1D7h	TK16 4 th DATAH
E1D8h	TK16 5 th DATAL
E1D9h	TK16 5 th DATAH
E1DAh	TK16 6 th DATAL
E1DBh	TK16 6 th DATAH
E1DCh	TK16 7 th DATAL
E1DDh	TK16 7 th DATAH
E1DEh	TK16 8 th DATAL
E1DFh	TK16 8 th DATAH

TK 扫描结果为 16 位数据, 即 DATAH 8 位和 DATAL 8 位。为了获得正确的 16 位数据, 必须读取 DATAH/L: 首先读取低字节 (DATAL), 然后读取高字节 (DATAH)。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	TKBUFS	TM3CKS	WDTPSC		ADCKS		TKOFC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.7 **TKBUFS**: TKRAM 存储区选择

0: H/W 将 TKDATA 存储到 TKRAM 的前半区 (E100h~E17Fh)

1: H/W 将 TKDATA 存储到 TKRAM 的后半区 (E180h~E1FFh)

94h.1~0 **TKOFC**: TK ICLD 电容选择

00: 最小

11: 最大

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	–	TKIF	ADIF	–	IE2	PCIF	TF3
R/W	R	–	R/W	R/W	–	R/W	R/W	R/W
Reset	–	–	0	0	–	0	0	0

95h.5 **TKIF**: 触摸按键中断标志

如果系统时钟足够快, 则在触摸按键转换结束时通过 H/W 设置。S/W 将 DFh 写入 INTFLG 或将 TKSOC 位置 1 以清除该标志。

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCHS	–	–	–	TKCHS				
R/W	–	–	–	R/W				
Reset	–	–	–	1	1	1	1	1

A7h.4~0 **TKCHS**: 触摸按键通道选择

00000: TK0 (P3.3)

00001: TK1 (P3.2)

00010: TK2 (P3.1)

00011: TK3 (P3.0)

00100: TK4 (P1.0)

00101: TK5 (P1.1)

00110: TK6 (P1.2)

00111: TK7 (P1.3)

01000: TK8 (P1.4)

01001: TK9 (P1.5)

01010: TK10 (P1.6)

01011: TK11 (P1.7)

01100: TK12 (P3.6)

01101: TK13 (P3.5)

01110: TK14 (P3.4)

01111: TK15 (P3.7)

10000: TK16 (P2.0)

10001: TK17 (P2.1)

10010: TK18 (P0.3)

10011: TK19 (P0.7)

10100: TK20 (P0.6)

10101: TK21 (P0.5)

10110: TK22 (P0.4)

10111: TK 内部参考键

其他: 保留

SFR ADh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON	TKPD	TKEOC	TMRADJ	TKIVCS	SPREAD	MCHS	ATKMODE	
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
Reset	1	1	0	1	0	0	0	0

- ADh.7 **TKPD**: 触摸键停止（当触摸键转换结束时，在空闲/暂停/停止模式下自动禁用）
0: 触摸按键启用
1: 触摸按键禁用
- ADh.6 **TKEOC**: 触摸按键转换结束标志，TKEOC 在 TKSOC = 1 后可能有 3uS 延迟，因此 F/W 必须等待足够的时间才能轮询此标志
0: 表示转换正在进行中
1: 表示转换已完成
- ADh.5 **TMRADJ**: 触摸键扫描长度自动调整选择
0: TK 扫描长度由 TKTMR[11:0]定义
1: TK 扫描长度自动调整
- ADh.4 **TKIVCS**: 触摸按键内部电压控制选择
0: $V_{CHG}=2.8V$; $V_{INT}=1.4V$
1: $V_{CHG}=3.6V$; $V_{INT}=1.8V$
- ADh.3 **SPREAD**: 触摸按键展频选择
0: 禁用
1: 启用
- ADh.2 **MCHS**: 触摸按键扫描通道模式选择
0: 选择 ATK 扫描通道模式
1: 选择捆绑扫描通道模式
- ADh.1~0 **ATKMODE**: 触摸按键扫描模式选择
00: TK 扫描方式，每个通道扫描 1 次，最多 23 个 TK 通道+TK 参考键
01: TK 扫描方式，每个通道扫描 2 次，最多 23 个 TK 通道+TK 参考键
10: TK 扫描方式，每个通道扫描 4 次，最大 16 个 TK 通道
11: TK 扫描方式，每个通道扫描 8 次，最大 8 个 TK 通道

SFR B4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKTMRL	TKTMRL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

- B4h.7~0 **TKTMRL**: 触摸按键扫描长度位 7~0 调整
00: 最短
FF: 最长

SFR B5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON2	TKFJMP	JMPVH			TKTMRH			
R/W	R/W	R/W			R/W			
Reset	0	0	0	0	0	0	0	0

- B5h.7 **TKFJMP**: 内部触摸键时钟频率自动调整选项
0: 禁用
1: 使能（ATKMODE=1 或 2 时有效）
- B5h.6~5 **JMPVH**: 触摸按键时钟频率 MSB 3bit（粗调）选择，仅在 TKFJMP=0 时有效
[JMPVH, JMPVL]=000_000=频率最慢
[JMPVH, JMPVL]=111_111=频率最快
- B5h.3~0 **TKTMRH**: 触摸按键扫描长度位 11~8 调整
0000: 最短
1111: 最长

SFR D7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON3	—	—	—	—	—	JMPVL		
R/W	—	—	—	—	—	R/W		
Reset	—	—	—	—	—	0	0	0

D7h.2~0 **JMPVL**: 触摸按键时钟频率 LSB 3bit（微调）选择，仅在 TKFJMP=0 时有效
 [JMPVH, JMPVL]=000_000=频率最慢
 [JMPVH, JMPVL]=111_111=频率最快

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	—	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W
Reset	0	0	0	0	1	1	—	0

F8h.5 **TKSOC**: 触摸按键转换开始
 设置 1 开始触摸按键转换，接着S/W 需要写 0 来清除该标志。

SFR C5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCH0	ATKCH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

C5h.7 TK7 扫描使能: 0: 禁止 1: 使能
 （如果 MCHS=0，选择 ATK 扫描通道；如果 MCHS=1，选择捆绑扫描通道）
 C5h.6 TK6 扫描使能: 0: 禁止 1: 使能
 （如果 MCHS=0，选择 ATK 扫描通道；如果 MCHS=1，选择捆绑扫描通道）
 C5h.5 TK5 扫描使能: 0: 禁止 1: 使能
 （如果 MCHS=0，选择 ATK 扫描通道；如果 MCHS=1，选择捆绑扫描通道）
 C5h.4 TK4 扫描使能: 0: 禁止 1: 使能
 （如果 MCHS=0，选择 ATK 扫描通道；如果 MCHS=1，选择捆绑扫描通道）
 C5h.3 TK3 扫描使能: 0: 禁止 1: 使能
 （如果 MCHS=0，选择 ATK 扫描通道；如果 MCHS=1，选择捆绑扫描通道）
 C5h.2 TK2 扫描使能: 0: 禁止 1: 使能
 （如果 MCHS=0，选择 ATK 扫描通道；如果 MCHS=1，选择捆绑扫描通道）
 C5h.1 TK1 扫描使能: 0: 禁止 1: 使能
 （如果 MCHS=0，选择 ATK 扫描通道；如果 MCHS=1，选择捆绑扫描通道）
 C5h.0 TK0 扫描使能: 0: 禁止 1: 使能
 （如果 MCHS=0，选择 ATK 扫描通道；如果 MCHS=1，选择捆绑扫描通道）

SFR C6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCH1	ATKCH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

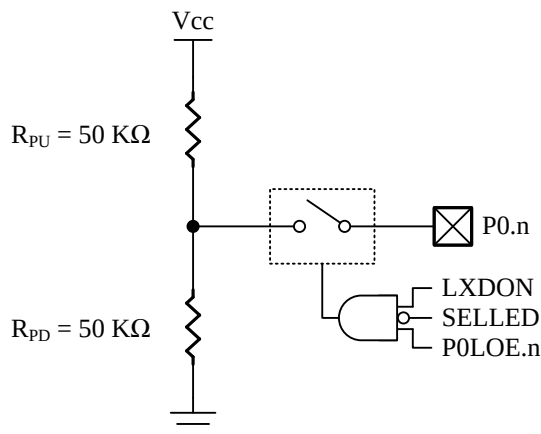
- C6h.7 TK15 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C6h.6 TK14 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C6h.5 TK13 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C6h.4 TK12 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C6h.3 TK11 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C6h.2 TK10 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C6h.1 TK9 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C6h.0 TK8 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)

SFR C7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCH2	ATKCH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

- C7h.7 TKCAP (TK23) 内部参考电容通道扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C7h.6 TK22 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C7h.5 TK21 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C7h.4 TK20 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C7h.3 TK19 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C7h.2 TK18 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C7h.1 TK17 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)
- C7h.0 TK16 扫描使能: 0: 禁止 1: 使能
(如果 MCHS=0, 选择 ATK 扫描通道; 如果 MCHS=1, 选择捆绑扫描通道)

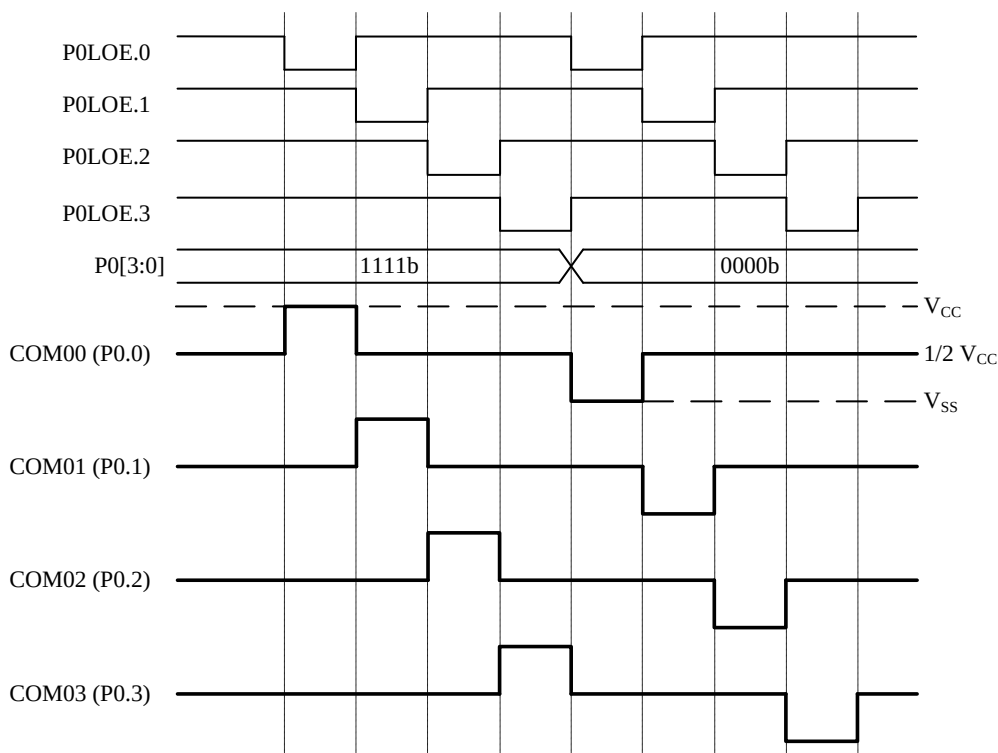
13. S/W 控制的 LCD 驱动器

该芯片支持由 S/W 控制的 LCD 驱动器。所有的 I/O 引脚都能够设置为 COM，用户可以灵活调整 COM 引脚和 SEG 引脚，通过 13 个 Commons (COM) 和 13 个 Segments (SEG) 驱动（最大）169 点的 LCD 面板。P0.0~P0.7 可设置为 COM00~COM07。P1.0~P1.7 可设置为 COM10~COM17。P2.0~P2.1 可设置为 COM20~COM21。P3.0~P3.7 可设置为 COM30~COM37。而剩余的引脚用来当做 SEG。LCD 驱动器仅能驱动 1/2 偏压，通过设置相应的寄存器 LXDON、SELLED、P0LOE、P1LOE、P2LOE 或 P3LOE 达成。请参考下图。



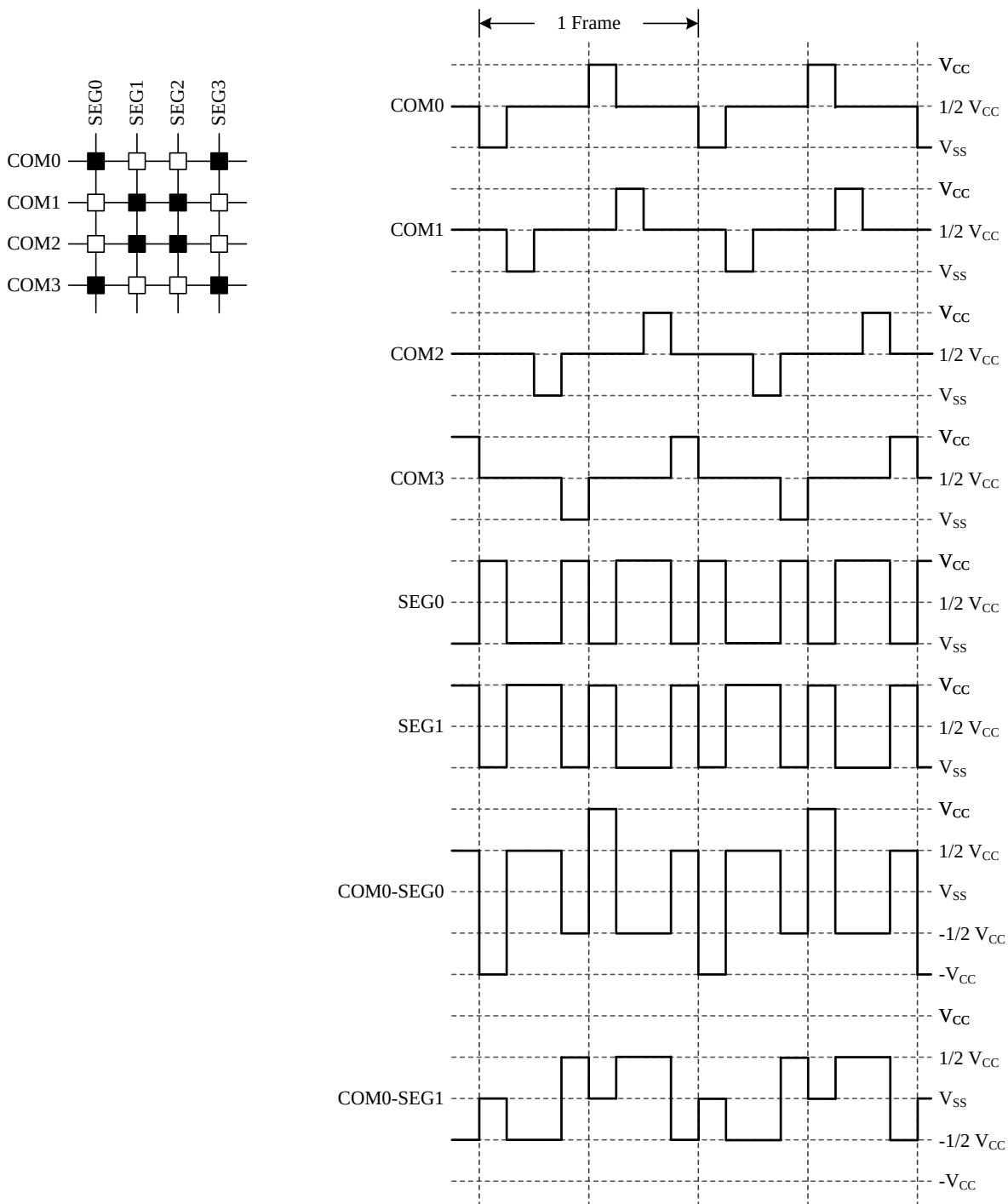
LCD COM00~07偏压电路

任何 COM 引脚上的重复波形输出的频率可以用来表示 LCD 的帧速率。下图显示了一个 LCD 帧。



S/W 控制的 LCD COM00~03 扫描

1/4 占空比, 1/2 偏压输出波形



SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LXDCON	LXDON	LEDDUTY			LEDBRITM	LEDBRIT		
R/W	R/W	R/W			R/W	R/W		
Reset	0	0	0	0	0	1	1	1

B1h.7 **LXDON**: LCD/LED启用

0: LCD/LED 禁用

1: LCD/LED 使能

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LXDCON2	–	LEDPSC		SELLED	–	–	LEDMODE	
R/W	–	R/W		R/W	–	–	R/W	
Reset	–	0	0	0	–	–	0	0

B2h.4 **SELLED**: LCD/LED 功能选择

0: LCD

1: LED

SFR 86h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0LOE	P0LOE7	P0LOE6	P0LOE5	P0LOE4	P0LOE3	P0LOE2	P0LOE1	P0LOE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

86h.7 **P0LOE7**: LCDC07 或 LED SEG6 (P0.7) 使能控制

0: 禁用

1: 使能

86h.6 **P0LOE6**: LCDC06 或 LED SEG7 (P0.6) 使能控制

0: 禁用

1: 使能

86h.5 **P0LOE5**: LCDC05 (P0.5) 使能控制

0: 禁用

1: 使能

86h.4 **P0LOE4**: LCDC04 (P0.4) 使能控制

0: 禁用

1: 使能

86h.3 **P0LOE3**: LCDC03 或 LED COM3 或 LED3 (P0.3) 使能控制

0: 禁用

1: 使能

86h.2 **P0LOE2**: LCDC02 或 LED COM2 或 LED2 (P0.2) 使能控制

0: 禁用

1: 使能

86h.1 **P0LOE1**: LCDC01 或 LED COM1 或 LED1 (P0.1) 使能控制

0: 禁用

1: 使能

86h.0 **P0LOE0**: LCDC00 或 LED COM0 或 LED0 (P0.0) 使能控制

0: 禁用

1: 使能

SFR ACh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1LOE	P1LOE7	P1LOE6	P1LOE5	P1LOE4	P1LOE3	P1LOE2	P1LOE1	P1LOE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

ACh.7 **P1LOE7:** LCDC17 或 LED SEG2 (P1.7) 使能控制

0: 禁用
1: 使能

ACh.6 **P1LOE6:** LCDC16 或 LED SEG3 (P1.6) 使能控制

0: 禁用
1: 使能

ACh.5 **P1LOE5:** LCDC15 或 LED SEG4 (P1.5) 使能控制

0: 禁用
1: 使能

ACh.4 **P1LOE4:** LCDC14 或 LED SEG5 (P1.4) 使能控制

0: 禁用
1: 使能

ACh.3 **P1LOE3:** LCDC13 (P1.3) 使能控制

0: 禁用
1: 使能

ACh.2 **P1LOE2:** LCDC12 (P1.2) 使能控制

0: 禁用
1: 使能

ACh.1 **P1LOE1:** LCDC11 (P1.1) 使能控制

0: 禁用
1: 使能

ACh.0 **P1LOE0:** LCDC10 (P1.0) 使能控制

0: 禁用
1: 使能

SFR 8Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2LOE	—	—	—	—	—	—	P2LOE1	P2LOE0
R/W	—	—	—	—	—	—	R/W	R/W
Reset	—	—	—	—	—	—	0	0

8Eh.1 **P2LOE1:** LCDC21 或 LED COM5/SEG9 或 LED5 (P2.1) 使能控制

0: 禁用
1: 使能

8Eh.0 **P2LOE0:** LCDC20 或 LED COM4/SEG8 或 LED4 (P2.0) 使能控制

0: 禁用
1: 使能

SFR B3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3LOE	P3LOE7	P3LOE6	P3LOE5	P3LOE4	P3LOE3	P3LOE2	P3LOE1	P3LOE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

B3h.7 **P3LOE7:** LCDC37 或 LED COM6/SEG10 或 LED6 (P3.7) 使能控制

0: 禁用

1: 使能

B3h.6 **P3LOE6:** LCDC36 或 LED SEG1 (P3.6) 使能控制

0: 禁用

1: 使能

B3h.5 **P3LOE5:** LCDC35 或 LED SEG0 (P3.5) 使能控制

0: 禁用

1: 使能

B3h.4 **P3LOE4:** LCDC34 或 LED COM7/SEG11 或 LED7 (P3.4) 使能控制

0: 禁用

1: 使能

B3h.3 **P3LOE3:** LCDC33 (P3.3) 使能控制

0: 禁用

1: 使能

B3h.2 **P3LOE2:** LCDC32 (P3.2) 使能控制

0: 禁用

1: 使能

B3h.1 **P3LOE1:** LCDC31 (P3.1) 使能控制

0: 禁用

1: 使能

B3h.0 **P3LOE0:** LCDC30 (P3.0) 使能控制

0: 禁用

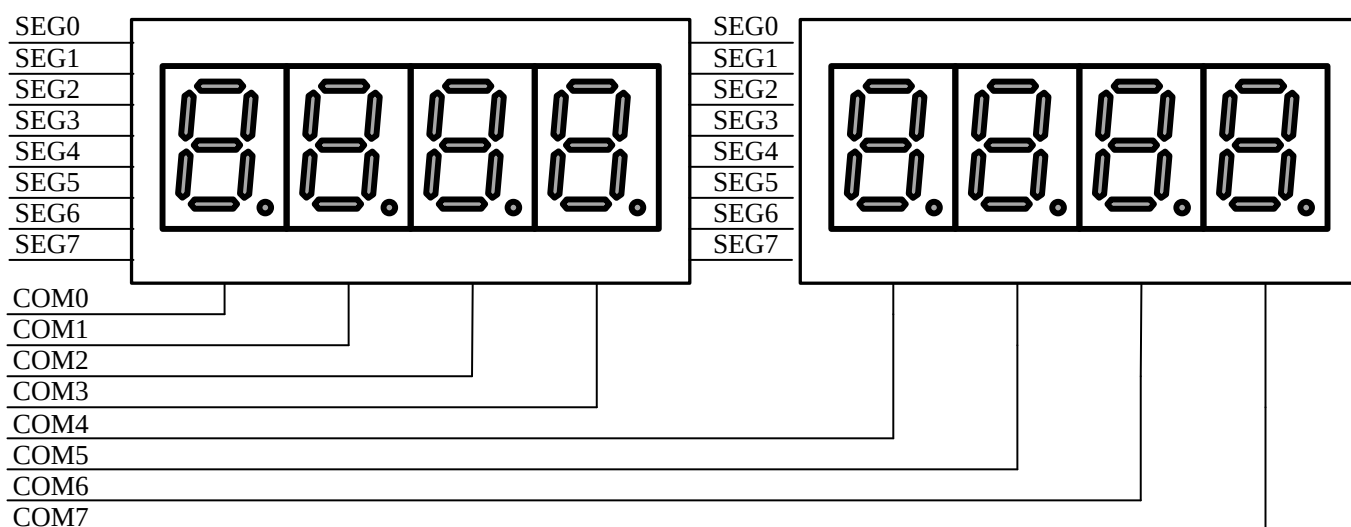
1: 使能

14. LED 控制器/驱动

该模块可配置两种驱动模式:LED 矩阵 (MX) 模式和 LED 点阵 (DMX) 模式。通过寄存器配置, 它同时只支持一种操作模式。

14.1 LED 矩阵 (MX) 模式

该芯片支持矩阵模式的 LED 控制器和驱动器。如果 LEDMODE=00b, LXDON=SELLED=1。LED 矩阵模式将启用。它提供 8 个 SEG 引脚和 8 个 COM 引脚来驱动 64 像素的 LED 模块或 12 个 SEG 引脚和 4 个 COM 引脚来驱动 48 像素的 LED 模块。COM 引脚具有高灌电流。LED 的亮度可以通过 LEDBRIT 设置。当设置为 111b 时, 为最高亮度。另外, LEDBRITM 用于设置亮度和均匀度位。当 LEDBRITM=0 时, 可以获得更好的显示均匀性。当 LEDBRITM=1 时, 可以获得更好的显示亮度。



XRAM 中的显示配置对应于相应地址的照明状态。(1 表示点亮, 0 表示不点亮)。

Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	COM
C800h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM0
C801h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM1
C802h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM2
C803h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM3
C804h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM4
C805h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM5
C806h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM6
C807h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM7
C808h					SEG11	SEG10	SEG9	SEG8	COM0
C809h					SEG11	SEG10	SEG9	SEG8	COM1
C80Ah					SEG11	SEG10	SEG9	SEG8	COM2
C80Bh					SEG11	SEG10	SEG9	SEG8	COM3
C80Ch					SEG11	SEG10	SEG9		COM4
C80Dh					SEG11	SEG10			COM5
C80Eh					SEG11				COM6
C80Fh									COM7

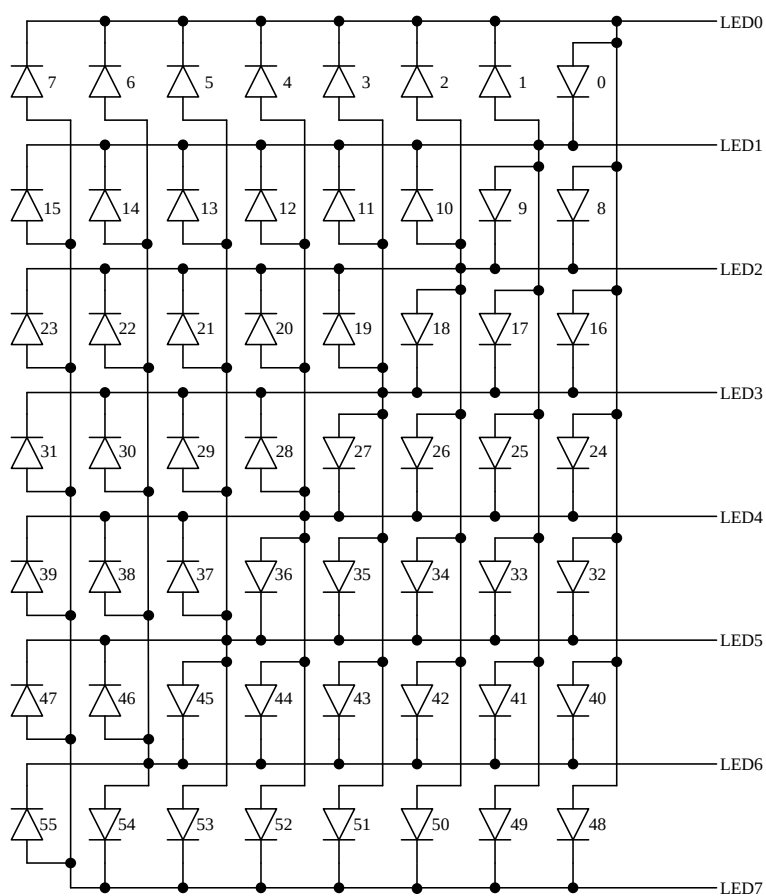
LED 矩阵 (MX) 模式对应显示屏配置表

14.2 LED 点阵 (DMX) 模式

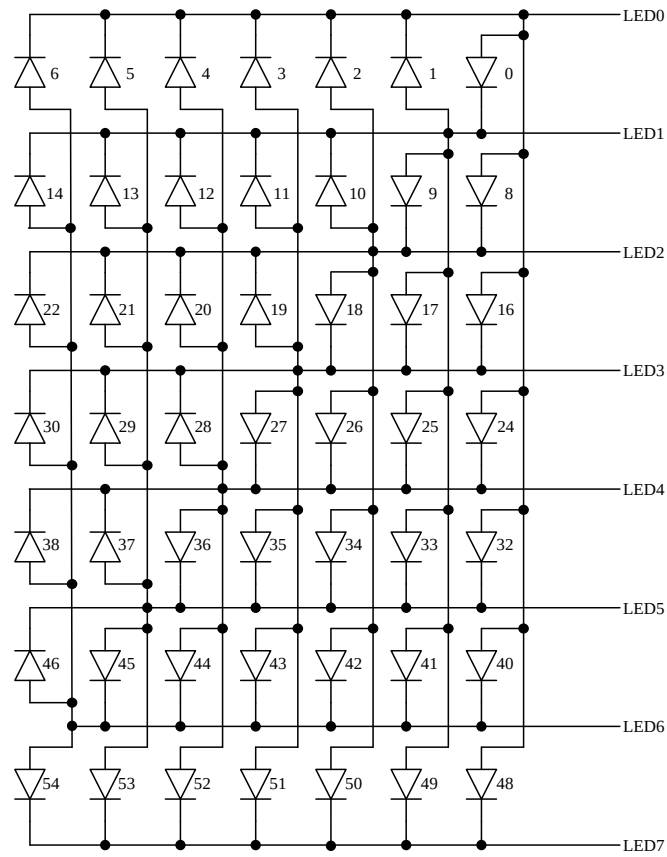
如果 LEDMODE=10b, 则 LXDON=SELLED=1。LED 点阵模式将启用。LED 点阵是通用的 7*8 点阵。对应 LED0~LED7 端口, 最多可配置 7x8=56 个 LED 点来驱动, 下图 7*8 点阵中标注了 LED 对应的位置地址, XRAM 中的显示配置对应地址的照明状态 (1 表示点亮, 0 表示不亮)。支持最多 56 灯 LED 驱动。使用 LXDDUTY 可选择点阵 4*4、5*5、6*6、6*7、7*7 和 7*8, 对应的 LED 地址保持不变。LED 的亮度可以通过 LEDBRIT 设置。当设置为 7 时, 为最高亮度。另外, LEDBRITM 用于设置亮度和均匀度位。当 LEDBRITM=0 时, 可以获得更好的显示均匀性。当 LEDBRITM=1 时, 可以获得较好的显示亮度。

Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
C800h	7	6	5	4	3	2	1	0
C801h	15	14	13	12	11	10	9	8
C802h	23	22	21	20	19	18	17	16
C803h	31	30	29	28	27	26	25	24
C804h	39	38	37	36	35	34	33	32
C805h	47	46	45	44	43	42	41	40
C806h	55	54	53	52	51	50	49	48

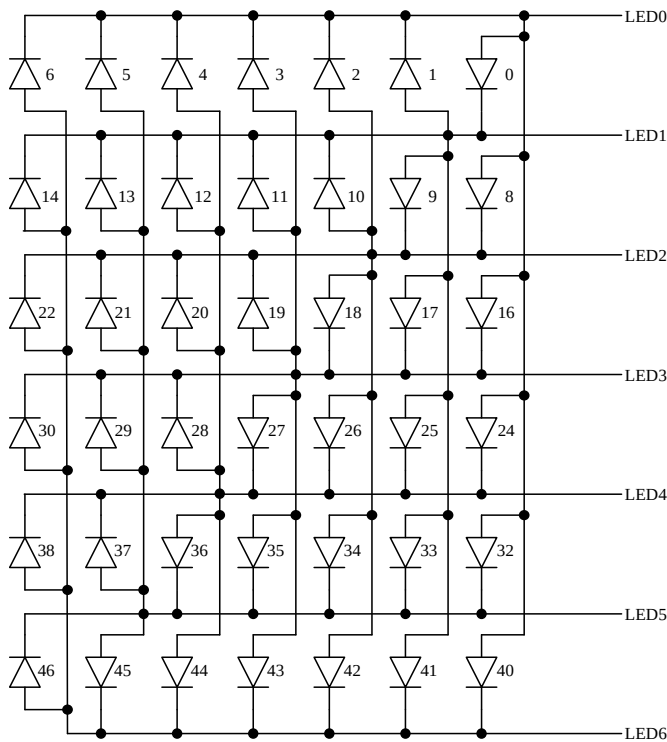
LED 点阵 (DMX) 模式对应显示屏配置表



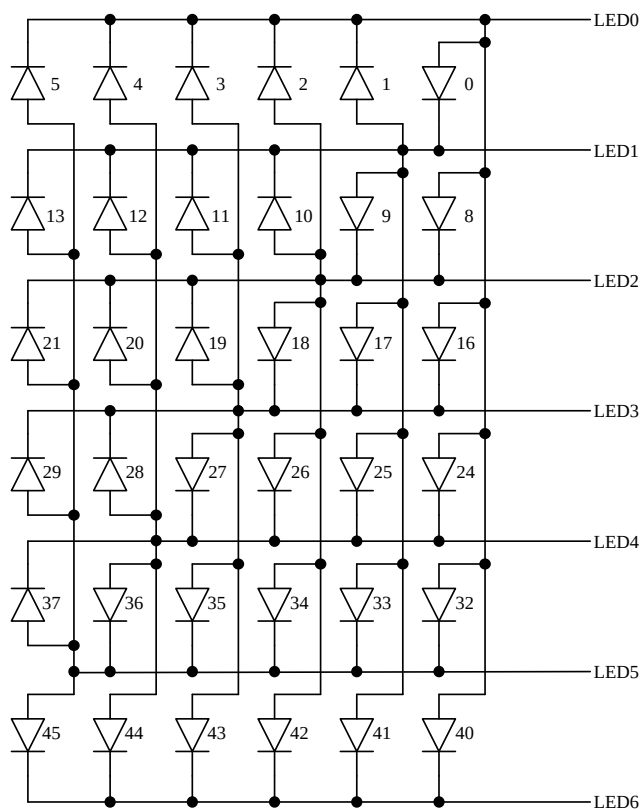
LED 7*8 点阵



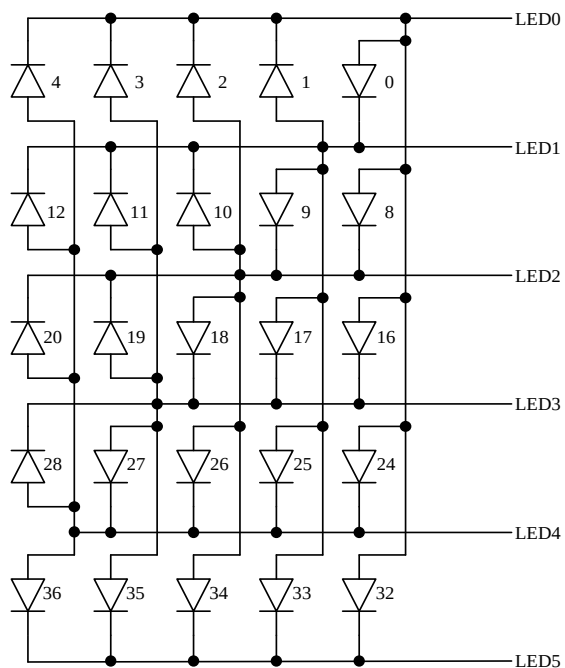
LED 7*7 点阵



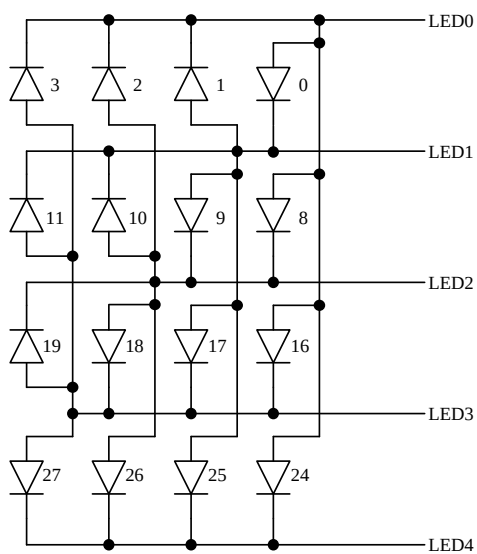
LED 6*7 点阵



LED 6*6 点阵



LED 5*5 点阵



LED 4*4 点阵

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LXDCON	LXDON	LEDDUTY			LEDBRITM	LEDBRIT		
R/W	R/W	R/W			R/W	R/W		
Reset	0	0	0	0	0	1	1	1

B1h.7 **LXDON**: LCD/LED启用

0: LCD/LED 禁用

1: LCD/LED使能

B1h.6~4 **LEDDUTY**: LED占空比选择

LED选择: 矩阵模式 (如果SELLED=1, LEDMODE=00b)

000: 1/2 Duty, COM 0~1

001: 1/3 Duty, COM 0~2

010: 1/4 Duty, COM 0~3

011: 1/5 Duty, COM 0~4

100: 1/6 Duty, COM 0~5

101: 1/7 Duty, COM 0~6

110: 1/8 Duty, COM 0~7

111: 1/8 Duty, COM 0~7

LED选择: 点阵模式 (如果SELLED=1, LEDMODE=10b)

000: 4x4, LED 0~4

001: 5x5, LED 0~5

010: 6x6, LED 0~6

011: 6x7, LED 0~6

100: 7x7, LED 0~7

101: 7x8, LED 0~7

110:保留

111:保留

B1h.3 **LEDBRITM**: LED 亮度模式

0:表示亮度均匀模式

1:亮度增强模式

B1h.2~0 **LEDBRIT**: LED 亮度控制

000: 0 级 (最暗)

...

111: 7 级 (最亮)

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LXDCON2	—	LEDPSC		SELLED	—	—	LEDMODE	
R/W	—	R/W		R/W	—	—	R/W	
Reset	—	0	0	0	—	—	0	0

B2h.6~5 **LEDPSC**: LED 时钟预分频选择
 00: LCD/LED 时钟是 FRC 除以 64
 01: LCD/LED 时钟是 FRC 除以 32
 10: LCD/LED 时钟是 FRC 除以 16
 11: LCD/LED 时钟是 FRC 除以 8

B2h.4 **SELLED**: LCD/LED 功能选择
 0: LCD
 1: LED

B2h.1~0 **LEDMODE**: LED 模式选择
 00: 矩阵扫描模式
 01: 保留
 10: 点阵扫描模式
 11: 保留

SFR 86h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0LOE	P0LOE7	P0LOE6	P0LOE5	P0LOE4	P0LOE3	P0LOE2	P0LOE1	P0LOE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

86h.7 **P0LOE7**: LCDC07 或 LED SEG6 (P0.7) 使能控制
 0: 禁用
 1: 使能

86h.6 **P0LOE6**: LCDC06 或 LED SEG7 (P0.6) 使能控制
 0: 禁用
 1: 使能

86h.5 **P0LOE5**: LCDC05 (P0.5) 使能控制
 0: 禁用
 1: 使能

86h.4 **P0LOE4**: LCDC04 (P0.4) 使能控制
 0: 禁用
 1: 使能

86h.3 **P0LOE3**: LCDC03 或 LED COM3 或 LED3 (P0.3) 使能控制
 0: 禁用
 1: 使能

86h.2 **P0LOE2**: LCDC02 或 LED COM2 或 LED2 (P0.2) 使能控制
 0: 禁用
 1: 使能

86h.1 **P0LOE1**: LCDC01 或 LED COM1 或 LED1 (P0.1) 使能控制
 0: 禁用
 1: 使能

86h.0 **P0LOE0**: LCDC00 或 LED COM0 或 LED0 (P0.0) 使能控制
 0: 禁用
 1: 使能

SFR ACh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1LOE	P1LOE7	P1LOE6	P1LOE5	P1LOE4	P1LOE3	P1LOE2	P1LOE1	P1LOE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

ACh.7 **P1LOE7:** LCDC17 或 LED SEG2 (P1.7) 使能控制

0: 禁用
1: 使能

ACh.6 **P1LOE6:** LCDC16 或 LED SEG3 (P1.6) 使能控制

0: 禁用
1: 使能

ACh.5 **P1LOE5:** LCDC15 或 LED SEG4 (P1.5) 使能控制

0: 禁用
1: 使能

ACh.4 **P1LOE4:** LCDC14 或 LED SEG5 (P1.4) 使能控制

0: 禁用
1: 使能

ACh.3 **P1LOE3:** LCDC13 (P1.3) 使能控制

0: 禁用
1: 使能

ACh.2 **P1LOE2:** LCDC12 (P1.2) 使能控制

0: 禁用
1: 使能

ACh.1 **P1LOE1:** LCDC11 (P1.1) 使能控制

0: 禁用
1: 使能

ACh.0 **P1LOE0:** LCDC10 (P1.0) 使能控制

0: 禁用
1: 使能

SFR 8Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2LOE	—	—	—	—	—	—	P2LOE1	P2LOE0
R/W	—	—	—	—	—	—	R/W	R/W
Reset	—	—	—	—	—	—	0	0

8Eh.1 **P2LOE1:** LCDC21 或 LED COM5/SEG9 或 LED5 (P2.1) 使能控制

0: 禁用
1: 使能

8Eh.0 **P2LOE0:** LCDC20 或 LED COM4/SEG8 或 LED4 (P2.0) 使能控制

0: 禁用
1: 使能

SFR B3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3LOE	P3LOE7	P3LOE6	P3LOE5	P3LOE4	P3LOE3	P3LOE2	P3LOE1	P3LOE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

B3h.7 **P3LOE7:** LCDC37 或 LED COM6/SEG10 或 LED6 (P3.7) 使能控制

0: 禁用

1: 使能

B3h.6 **P3LOE6:** LCDC36 或 LED SEG1 (P3.6) 使能控制

0: 禁用

1: 使能

B3h.5 **P3LOE5:** LCDC35 或 LED SEG0 (P3.5) 使能控制

0: 禁用

1: 使能

B3h.4 **P3LOE4:** LCDC34 或 LED COM7/SEG11 或 LED7 (P3.4) 使能控制

0: 禁用

1: 使能

B3h.3 **P3LOE3:** LCDC33 (P3.3) 使能控制

0: 禁用

1: 使能

B3h.2 **P3LOE2:** LCDC32 (P3.2) 使能控制

0: 禁用

1: 使能

B3h.1 **P3LOE1:** LCDC31 (P3.1) 使能控制

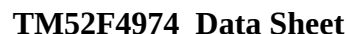
0: 禁用

1: 使能

B3h.0 **P3LOE0:** LCDC30 (P3.0) 使能控制

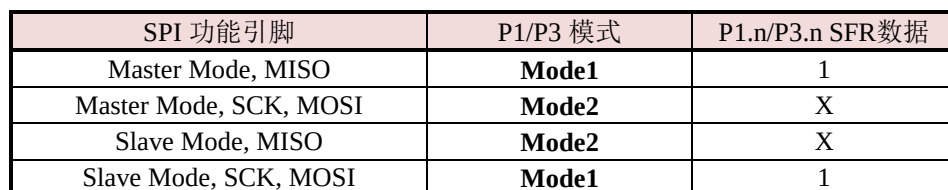
0: 禁用

1: 使能



串行外设接口(SPI)模块能够在 MCU 和外设之间进行全双工、同步、串行通信。外围设备可以是其他 mcu、A/D 转换器、传感器或 flash 等。SPI 运行在一个时钟速率到系统时钟除以 2。固件可以读取状态标志，或者操作可以被中断驱动。下图是 SPI 系统框图。

- 主从模式操作
- 3线模式操作
- 整机全双工操作
- 可编程传输比特率
- 单缓冲区接收
- 串行时钟相位和极性选项
- 可选择 **MSB** 优先或 **LSB** 优先移位



DS-TM52F4974_S

SPI 使用的三种信号如下所述。MOSI (P3.5) 信号是主设备的输出和从设备的输入。当 SPI 在主模式下工作时，信号是输出，当 SPI 在从模式下工作时，信号是输入。MISO (P1.7) 信号是从设备的输出和主设备的输入。当 SPI 在主模式下工作时，信号是输入，当 SPI 在从模式下工作时，信号是输出。通过设置 LSBF 位，数据首先传输的是 MSB (highest -significant bit) 或 LSB (least-significant bit)。SCK (P3.6) 信号是主设备的输出和从设备的输入。用于同步 Master 和 Slave 的 MOSI 和 MISO 线上的数据。SPI 在主模式下产生具有四个可编程时钟速率的信号。

主模式

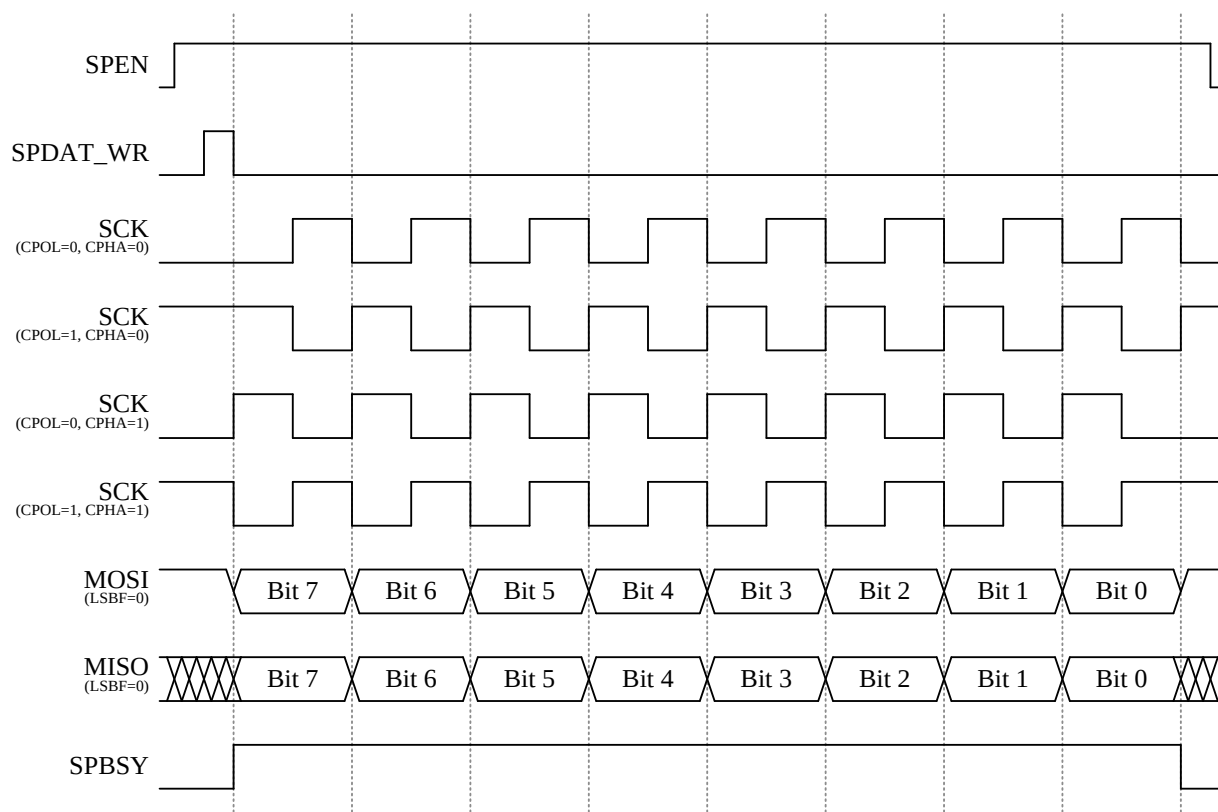
SPI 通过在 SPCON 中设置 MSTR 位在 Master 模式下工作。要开始传输，将数据写入 SPDAT。如果 SPBSY=0，数据将被转移到移位寄存器，并开始从 MOSI 线上移位。Slave 的数据同时从 MISO 线移进来。当 SPIF 位在传输结束时被设置时，接收数据被写入接收缓冲区，SPSTA 中的 RCVBF 位被设置。为了防止溢出，软件必须在下一个字节进入移位寄存器之前读取 SPDAT。SPBSY 位将在向 SPDAT 写入数据以开始传输时设置，并在主模式下的第八个 SCK 周期结束时清除。

从模式

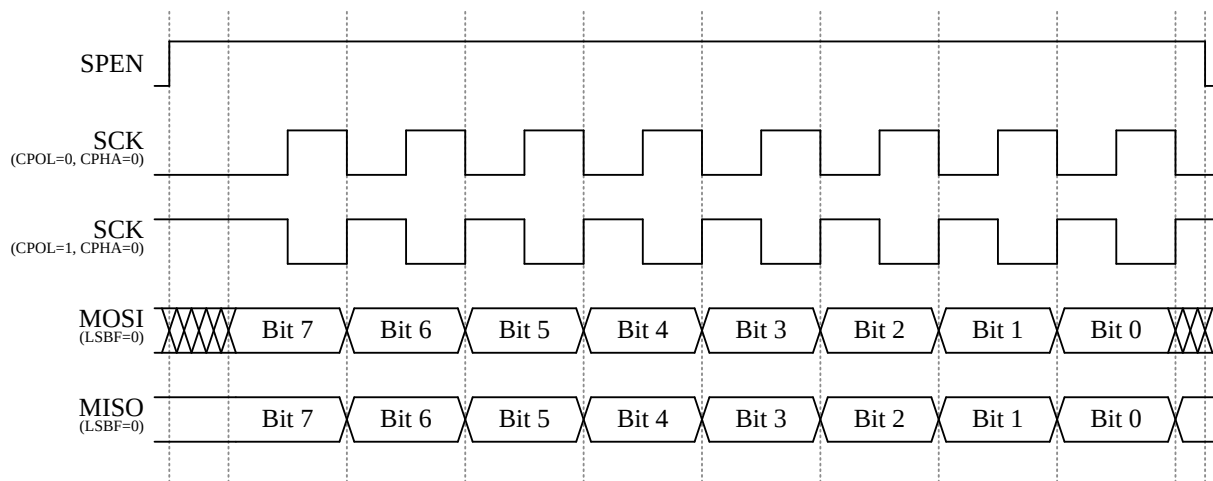
SPI 通过清除 SPCON 中的 MSTR 位在 Slave 模式下工作。当 SPCON 中的 SPEN 位被设置时，传输将开始。来自主控的数据将通过 MOSI 线移到移位寄存器中，并从 MISO 线上的移位寄存器移出。当一个字节进入移位寄存器时，如果 RCVBF=0，数据将被转移到接收缓冲区。如果 RCVBF=1，则不将新接收到的数据传输到接收缓冲区，并设置 RCVOVF 位。当一个字节进入移位寄存器后，SPIF 和 RCVBF 位被设置。为了防止超限，软件必须在下一个字节进入移位寄存器之前读取 SPDAT 或将 0 写入 RCVBF。从模式下允许的最大 SCK 频率为 $F_{\text{SYSCLK}}/4$ 。

串行时钟

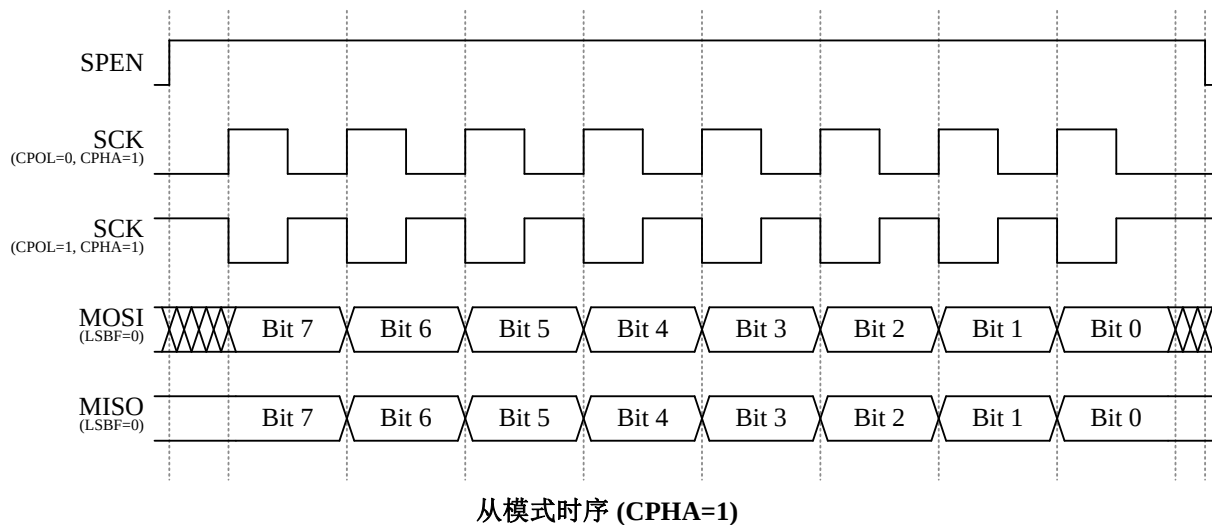
通过设置 SPCON 寄存器中的 CPOL 和 CPHA 位，SPI 有四种时钟类型。CPOL 位定义了 SPI 空闲状态下 SCK 的级别。当 CPOL=0 时，SCK 的空闲级别低，当 CPOL=1 时，SCK 的空闲级别高。CPHA 位定义用于采样和移位数据的边。CPHA=0 时，SCK 周期第一边的 SPI 样本数据和 SCK 周期第二边的移位数据。CPHA=1 时，SCK 周期第二边 SPI 样本数据和 SCK 周期第一边移位数据。下图显示了主模式和从模式下的详细时序。在设置 SPEN 位之前，必须先将主设备配置为相同的时钟类型。SPCR 控制主控模式串行时钟频率。在 Slave 模式下运行时，此寄存器将被忽略。在 Master 模式下，SPI 时钟可以选择 System clock 除以 2、4、8 或 16。



主模式时序



从模式时序 (CPHA=0)



在主模式和从模式中，SPIF 中断标志在数据传输结束时由 H/W 设置。如果在 SPBSY=1 时向 SPDAT 写入数据，则 WCOL 中断标志将由 H/W 设置。当发生这种情况时，写入 SPDAT 的数据将被忽略，并且移位寄存器将不会被写入。

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	SPEN	MSTR	CPOL	CPHA	—	LSBF	SPCR	
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	
Reset	0	0	0	0	—	0	0	0

BCh.7 **SPEN:** SPI 使能

0: SPI 禁用

1: SPI 使能

BCh.6 **MSTR:** Master 模式使能

0: 从模式

1: 主模式

BCh.5 **CPOL:** SPI 时钟极性

0: SCK 低，空闲状态

1: SCK 高，空闲状态

BCh.4 **CPHA:** SPI 时钟相位

0: SCK 周期第一个边沿的数据采样

1: SCK 周期第二个边沿的数据样本

BCh.2 **LSBF:** LSB 优先

0: MSB 优先

1: LSB 优先

BCh.1~0 **SPCR:** SPI 时钟速率

00: $F_{SYSCLK}/2$

01: $F_{SYSCLK}/4$

10: $F_{SYSCLK}/8$

11: $F_{SYSCLK}/16$

SFR BDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPSTA	SPIF	WCOL	—	RCVOVF	RCVBF	SPBSY	—	—
R/W	R/W	R/W	—	R/W	R/W	R	—	—
Reset	0	0	—	0	0	0	—	—

BDh.7 **SPIF**: SPI 中断标志

这是由 H/W 在数据传输结束时设置的。当中断矢量化为时，由 H/W 清除。将 0 写入此位将清除此标志。

BDh.6 **WCOL**: 写冲突中断标志

设置 SPBSY 时，如果写入数据到 SPDAT，则由 H/W 设置。当 SPBSY 清除时，将 0 写入该位或将数据重写到 SPDAT 将清除该标志。

BDh.4 **RCVOVF**: 接收缓冲区溢出标志

在数据传输结束时由 H/W 设置，并设置 RCVBF。将 0 写入此位或读取 SPDAT 寄存器将清除此标志。

BDh.3 **RCVBF**: 接收缓冲区溢出标志

在数据传输结束时由 H/W 设置。将 0 写入此位或读取 SPDAT 寄存器将清除此标志。

BDh.2 **SPBSY**: SPI 忙标志

当 SPI 传输正在进行时由 H/W 设置。

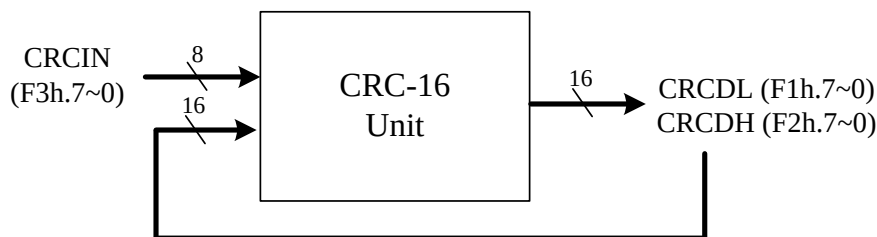
SFR BEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPDAT	SPDAT							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

BEh.7~0 **SPDAT**: SPI 发送和接收数据

SPDAT 寄存器用于发送和接收数据。将数据写入 SPDAT，将数据放入移位寄存器，并在主模式下开始传输。读取 SPDAT 返回接收缓冲区的内容。

16. 循环冗余校验码(CRC)

此芯片支持 16 位的循环冗余校验功能。循环冗余校验（CRC）计算单元是一种错误检测技术测试算法，用于验证数据传输或存储数据的正确性。CRC 计算采用 8 位数据流或数据块作为输入，并产生 16 位输出余数。数据流由同一生成多项式计算。



CRC 框图

CRC 生成器提供了基于 CRC-16-IBM 多项式的 16 位 CRC 结果计算。在这个 CRC 生成器中，只有一个多项式(如下)可用于数值计算，它不支持其他任何多项式的 16 位 CRC 计算。对 CRCIN 寄存器的每次写入操作，将被创建存储在 CRCDH 和 CRCDL 寄存器中的前一个 CRC 值的组合中，这将需要一个 MCU 指令周期来计算。

IBM 的 CRC-16 多项式表示 (Modbus) : $X^{16} + X^{15} + X^2 + 1$

SFR F1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDL	CRCDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F1h.7~0 **CRCDL**: 16 位 CRC 校验和数据位 7~0

SFR F2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDH	CRCDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F2h.7~0 **CRCDL**: 16 位 CRC 校验和数据位 15~8

SFR F3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCIN	CRCIN							
W	W							
Reset	—	—	—	—	—	—	—	—

F3h.7~0 **CRCIN**: CRC 输入数据寄存器

17. 乘除法器

该芯片提供乘法器和除法器具有以下功能。8 位操作与标准 8051 完全兼容。

- 8 位 $\times$ 8 位 = 16 位 (标准 8051)
- 8 位 $\div$ 8 位 = 8 位, 8 位余数 (标准 8051)
- 16 位 $\times$ 16 位 = 32 位
- 16 位 $\div$ 16 位 = 16 位, 16 位余数
- 32 位 $\div$ 16 位 = 32 位, 16 位余数

无论 8 位/ 16 位/ 32 位操作, 都可以通过 MUL AB 和 DIV AB 指令轻松执行。有额外的 SFR EXA / EXA2 / EXA3 / EXB 用于 16 位 / 32 位乘法和除法运算。

对于 8 位乘法器/除法器操作, 请确保 SFR 位 MULDIV16 = 0 且 DIV32 = 0。

对于 16 位乘法器运算, 被乘数, 乘数和乘积如下。16 位乘法器需要 16 个系统时钟周期才能执行。

条件	SFR位 MULDIV16 = 1 且 DIV32 = 0			
乘法	字节3	字节2	字节1	字节0
被乘数	-	-	EXA	A
乘数	-	-	EXB	B
积	EXB	B	A	EXA
OV	积 (EXB or B) != 0		-	-

对于 16 位除法运算, 被除数, 除数, 商, 余数读取如下。16 位除法器需要 16 个系统时钟周期才能执行。

条件	SFR位 MULDIV16 = 1 且 DIV32 = 0			
除法	字节3	字节2	字节1	字节0
被除数	-	-	EXA	A
除数	-	-	EXB	B
商	-	-	A	EXA
余数	-	-	B	EXB
OV	除数 EXB = B = 0			

对于 32 位 $\div$ 16 位除法运算, 被除数, 除数, 商, 余数读取如下。32 位除法器需要 32 个系统时钟周期才能执行。

条件	SFR位 MULDIV16 = 1 且 DIV32 = 1			
除法	字节3	字节2	字节1	字节0
被除数	EXA3	EXA2	EXA	A
除数	-	-	EXB	B
商	A	EXA	EXA2	EXA3
余数	-	-	B	EXB
OV	除数 EXB = B = 0			

SFR CEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA2	EXA2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CEh.7~0 **EXA2**:扩充累加器 2

SFR CFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA3	EXA3							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CFh.7~0 **EXA3**:扩充累加器 3

SFR E6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA	EXA							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E6h.7~0 **EXA**:扩充累加器

SFR E7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXB	EXB							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E7h.7~0 **EXB**:扩充 B 寄存器

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAB	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.3 **DIV32**:仅在 MULDVI16 = 1 时有效

0:指令 DIV 为 16/16 位除法运算

1:指令 DIV 为 32/16 位除法运算

F7h.0 **MULDIV16**:

0:指令 MUL / DIV 为 8 位操作

1:指令 MUL / DIV 为 16 * 16, 16 / 16 或 32/16 操作

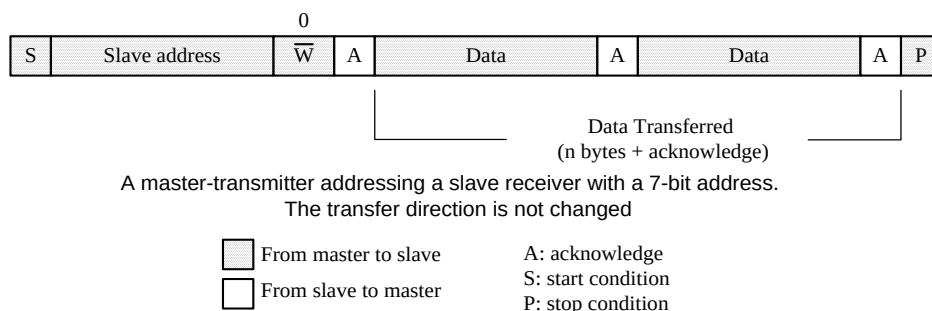
ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
MUL AB	Multiply A by B	1	8/16	A4
DIV AB	Divide A by B	1	8/16/32	84

18. 主 I²C 接口

主 I²C 接口传输模式:

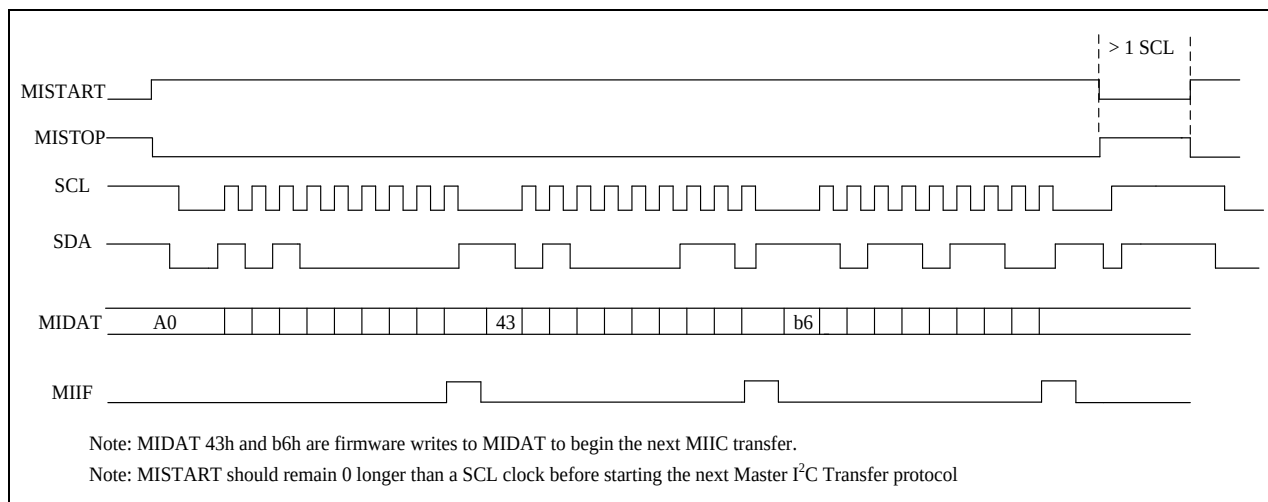
一开始先时将从机地址和方向位写入 MIDAT 并设置 MISTART。在 MISTART 设置之后，将发送 7 位从地址和一位方向位到从机。等待直到 MIIF 转换为 1 时，代表地址和方向位传输完成，用户应清除 MIIF 并写入数据到 MIDAT 以开始第一次数据传输。当 MIIF 转换为 1 时，代表数据传输到从机完成。用户可以再次写入数据到 MIDAT 以将开始下一次数据传输到从机。设置 MISTOP 以完成传送模式。

在数据传输时，MISTART 必须保持为 1。并在最终数据发送/接收之后，设置 MISTOP 以完成发送/接收协议。在重新启动主 I²C 传送接收协议之前，MISTART 应保持为 0，且等待时间大于 SCL 时钟后才可进行下一次传送接收。SCL 时钟可通过 MICR 进行调整。



主 I²C 传送流程:

- (1) 将从机地址和方向位写入 MIDAT
- (2) 清除 MISTOP 并设置 MISTART 以启动 I²C 传输
- (3) 等到 MIIF 转换为 1 时 (根据用户要求发出中断)，清除 MIIF
- (4) 将数据写入 MIDAT 以开始下一次传输 (MISTART 必须保持为 1)
- (5) 等到 MIIF 转换为 1 时 (根据用户要求发出中断)，清除 MIIF，循环 (4)~(5) 进行下一次传输
- (6) 清除 MISTART，设置 MISTOP 以停止 I²C 传输



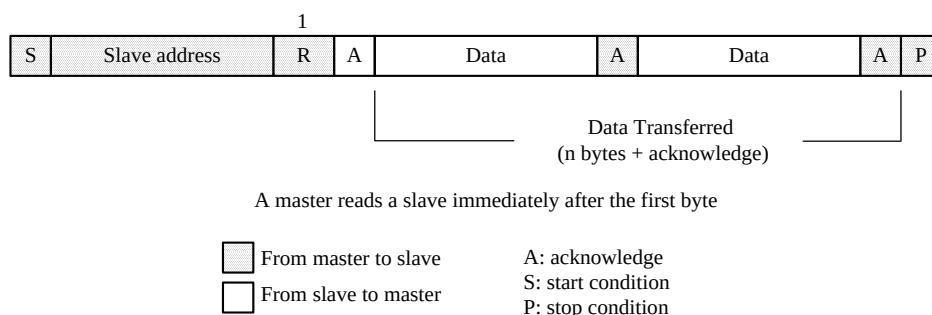
主发送时序

注: 在开始下一个主 I²C 协议之前，MISTART 应该保持 0 比 SCL 周期更长。

I²C 主接口接收模式:

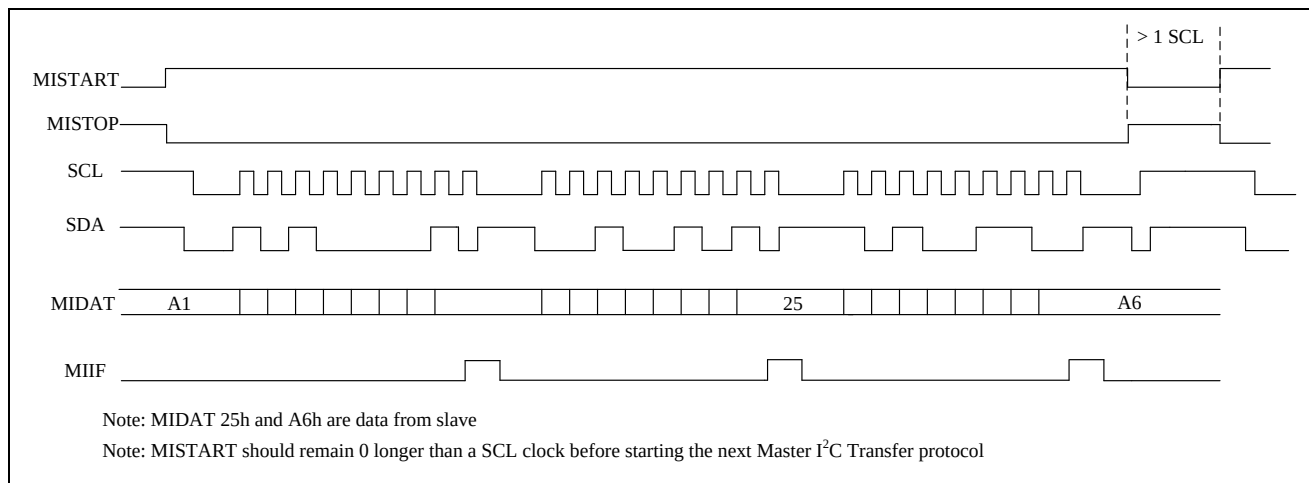
一开始先将从机地址和方向位写入 MIDAT 并设置 MISTART。在 MISTART 设置之后，将发送 7 位从机地址和一位方向位到从机。当 MIIF 转换为 1 时，代表地址和方向位传输完成。用户应清除 MIIF 并读取 MIDAT 以开始第一次接收数据（此时尚未完成接收数据，应丢弃读入的 MIDAT）。当 MIIF 转换为 1 时，代表对从机接收的数据已完成。用户可以读取 MIDAT 以得到接收数据，硬件会同时开始下一次接收。设置 MISTOP 以完成接收模式。

在数据传输时，MISTART 必须保持为 1。并在最终数据发送/接收之后，设置 MISTOP 以完成发送/接收协议。在重新启动主 I²C 传送接收协议之前，MISTART 应保持为 0，且等待时间大于 SCL 时钟后才可进行下一次传送接收。SCL 时钟可通过 MICR 进行调整。



Master I²C 接收流程:

- (1) 向 MIDAT 写入从地址和方向位
- (2) 清除 MISTOP，设置 MISTART 启动 I²C 传输
- (3) 等待 MIIF 转换为 1(根据用户请求发出中断)
- (4) 清除 MIIF
- (5) 从 MIDAT 读取数据，开始先接收数据 (MIDAT 的第一次读取不代表从机返回的数据)
- (6) 等待 MIIF 转换为 1
- (7) 清除 MIIF
- (8) 从 MIDAT 读取从数据，接收下一个数据
- (9) 循环(6)~(8)
- (10) 设置“MISTOP”，停止 I²C 传输



主接收时序

I ² C 功能引脚	PINMOD	Px.n SFR data	引脚状态
I ² C Master SCL	Mode0	X	时钟输出（开漏输出）
	Mode2	X	时钟输出（CMOS 推挽）
I ² C Master SDA	Mode0	1	数据（上拉）

主 I²C 的引脚模式设置

SFR E1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	0	0

- E1h.7 **MIEN**: 主 I²C 使能
0: 禁用
1: 使能
- E1h.6 **MIACKO**: 当主 I²C 接收数据时, 向 I²C 总线发送 ACK
0: ACK 到从机
1: NACK 到从机
- E1h.5 **MIIF**: 主 I²C 中断标志
当主 I²C 发送或接收一个字节完成时, 由 H/W 设置。向该位写入"0"将清除该标志
- E1h.4 **MIACKI**: 当主 I²C 传输时, ACK 来自 I²C 总线（只读）
0: 收到 ACK
1: 收到 NACK
- E1h.3 **MISTART**: 主 I²C 启动位
1: 启动 I²C 总线传输
- E1h.2 **MISTOP**: 主 I²C 停止位
1: 发送停止信号以停止 I²C 总线
- E1h.1~0 **MICR**: 主 I²C 时钟频率选择
00: F_{SYSClk}/4 (例如, 如果 F_{SYSClk}=16MHz, I²C 时钟为 4 MHz)
01: F_{SYSClk}/16 (例如, 如果 F_{SYSClk}=16MHz, I²C 时钟为 1 MHz)
10: F_{SYSClk}/64 (例如, 如果 F_{SYSClk}=16MHz, I²C 时钟为 250 KHz)
11: F_{SYSClk}/256 (例如, 如果 F_{SYSClk}=16MHz, I²C 时钟为 62.5 KHz)

SFR E2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MIDAT	MIDAT							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E2h.7~0 **MIDAT**: 主 I²C 数据移位寄存器

(写): 在启动后和停止条件之前, 写入此寄存器将恢复传输到 I²C 总线

(读): 在启动后和停止条件之前, 读取该寄存器将恢复从 I²C 总线接收

SFR C2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SICON	MIIE	TXDIE	RCD2IE	RCD1IE	–	TXDF	RCD2F	RCD1F
R/W	R/W	R/W	R/W	R/W	–	R/W	R/W	R/W
Reset	0	0	0	0	–	1	0	0

C2h.7 **MIIE**: I²C 主中断使能

0: 禁用

1: 使能

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	ES2	LVDIE	SPI2CE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.4 **SPI2CE**: SPI/I²C 中断使能

0: 禁用 SPI/I²C 中断

1: 使能 SPI/I²C 中断

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PSEUDOEN	MSI2CPS	UART2PS	UART1PS	TCOE	T2OE	T1OE	T0OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A6h.4 **MSI2CPS**: 主/从 I²C 引脚选择

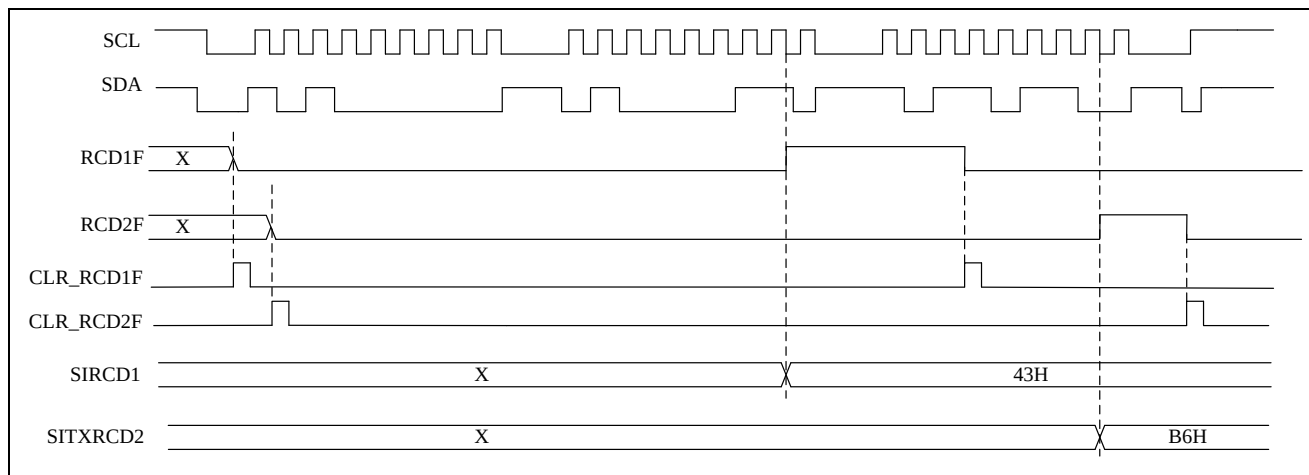
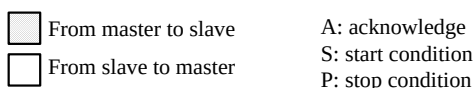
0: SCL/SDA = P3.0/P3.1

1: SCL/SDA = P0.1/P0.2

19. 从机 I²C 接口

该芯片提供如下的从机 I²C 接口接收协议。从机 I²C 模块允许在启动条件之后每次接收一个或两个字节的數據。在接收 DATA1 之前，请注意 RCD1F 必须为 0。在 DATA1 接收完成之后，RCD1F 将被转换为 1，并且将根据用户的请求发出中断。用户可以使用固件清除 RCD1F，然后再次接收下一个 DATA1。用户可以将 RCD1F 写入 0 来清除 RCD1F。DATA2 和 RCD2F 的运行方式与 DATA1 和 RCD1 相同。DATA1 或 DATA2 接收完成后，主控端应重新启动传输协议以传输下一个 DATA1 和 DATA2。


Slave I²C Receive Byte protocol

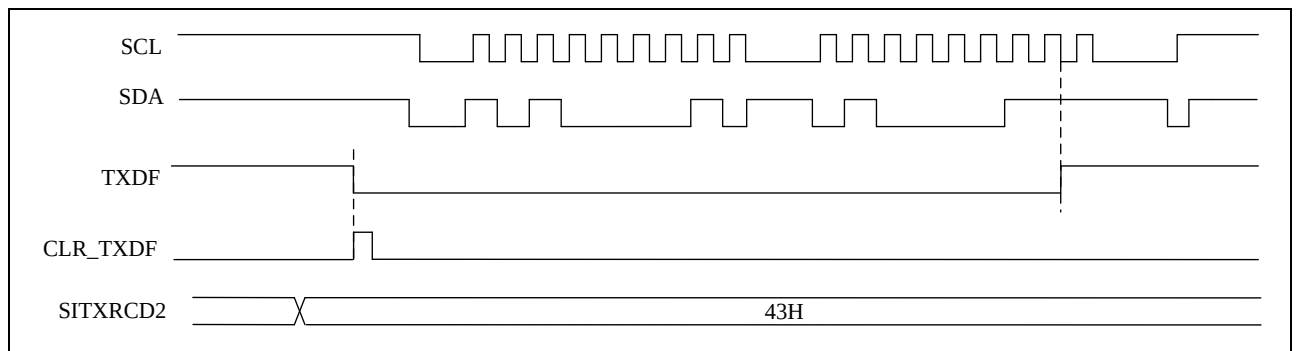
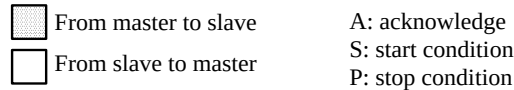
Slave I²C Receive Two Byte protocol


从机接收时序

该芯片提供以下从机设备 I²C 接口传输协议。从 I²C 模块允许在启动条件之后每次发送一个字节数据。在发送数据之前，请注意 TXDF 必须为 0。在数据发送完成之后，TXDF 将转换为 1，并根据用户的请求发出中断。用户可以使用固件清除 TXDF，然后再次传输下一个数据。用户可以将 TXDF 写入 0 来清除 TXDF。每次传送完成后，主控端应重新启动传输协议以传输下一笔数据。



Slave I²C Transmit protocol



从机发送时序

I ² C 功能引脚	PINMOD	Px.n SFR data	引脚状态
I ² C Slave SCL	Mode1	1	时钟输入(高阻抗)
I ² C Master/Slave SDA	Mode0	1	数据(上拉)

Pin Mode Setting for Slave I²C

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PSEUDOEN	MSI2CPS	UART2PS	UART1PS	TCOE	T2OE	T1OE	T0OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A6h.4 MSI2CPS: 主/从 I²C 引脚选择

0: SCL/SDA = P3.0/P3.1

1: SCL/SDA = P0.1/P0.2

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	ES2	LVDIE	SPI2CE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.4 SPI2CE: SPI/I²C 中断使能

0: 禁用 SPI/I²C 中断

1: 使能 SPI/I²C 中断

SFR C1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SIADR	SA							SIEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	1	1	0	0	1	0	0

C1h.7~1 **SA**: 从机分配的 I²C 地址

C1h.0 **SIEN**: 从机 I²C 使能

0: 禁用

1: 使能

SFR C2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SICON	MIIE	TXDIE	RCD2IE	RCD1IE	—	TXDF	RCD2F	RCD1F
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
Reset	0	0	0	0	—	1	0	0

C2h.6 **TXDIE**: 从机 I²C 发送完成中断使能

0: 禁用

1: 使能

C2h.5 **RCD2IE**: 从机 I²C DATA2 (SITXRCD2) 接收完成中断使能

0: 禁用

1: 使能

C2h.4 **RCD1IE**: 从机 I²C DATA1 (SIRCD1) 接收完成中断使能

0: 禁用

1: 使能

C2h.2 **TXDF**: 从机 I²C 传输完成中断标志

从机 I²C 传输完成时由硬件设置, 写 0 清除

C2h.1 **RCD2F**: 从机 I²C DATA2 (SITXRCD2) 接收完成中断标志

从机 I²C DATA2 (SITXRCD2) 接收完成后由硬件置位, 写 0 清除

C2h.0 **RCD1F**: 从机 I²C DATA1 (SIRCD1) 接收完成中断标志

从机 I²C DATA1 (SITXRCD1) 接收完成后由硬件置位, 写 0 清除

SFR C3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SIRCD1	SIRCD1							
R/W	R	R	R	R	R	R	R	R
Reset	—	—	—	—	—	—	—	—

C3h.7~0 **SIRCD1**: 从机 I²C 数据接收寄存器 1 (DATA1)

SFR C4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SITXRCD2	SITXRCD2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	—	—	—	—	—	—

C4h.7~0 **SITXRCD2**: 从机 I²C 发送和接收数据寄存器

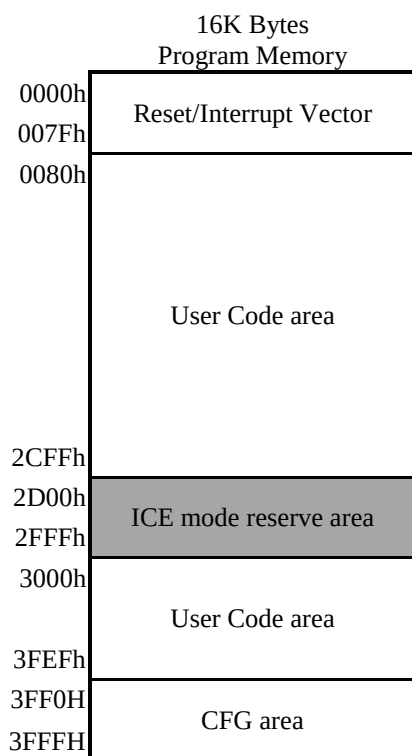
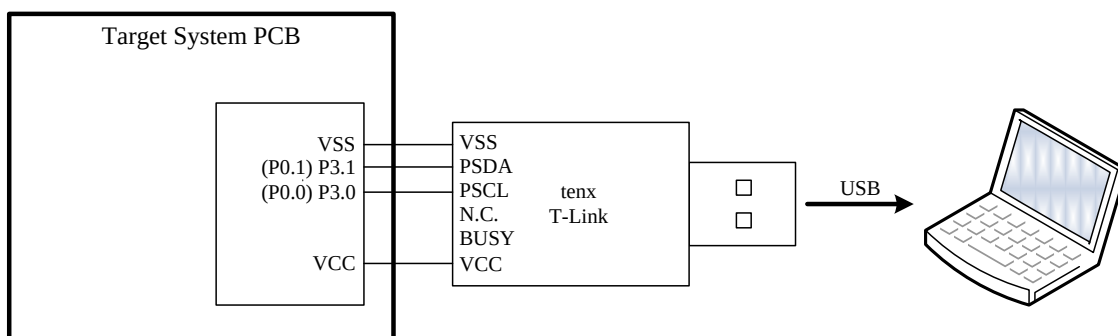
(读): 从机 I²C 数据接收寄存器 2 (DATA2)

(写): 从机 I²C 数据传输寄存器 (TXD)

20. 在线仿真器(ICE)模式

本装置可以支持在线仿真模式。要使用 ICE 模式，用户只需要将 P3.0 和 P3.1 引脚连接至 tenx 专用的 EV 模块。这样做的好处是，用户可以在不改变电路板的目标设备上模拟整个系统。但 ICE 模式也有一些限制，如下所列。

1. 设备必须取消保护；
2. 器件的 P3.0 和 P3.1 引脚必须工作在输入模式(P3MOD0 =0/1 和 P3MOD1=0/1)；
3. 程序存储器的寻址空间 2D00h~2FFFh 和 0033h~003Ah 被 tenx EV 模块占用。所以用户程序不能访问这些空间；
4. T-Link 通信引脚的功能无法仿真；
5. P3.0 和 P3.1 引脚可以替换为 P0.0 和 P0.1。(只能仿真替代，量产烧录器只支持 P3.0/P3.1) ；
6. VDD 电平由 T-Link 模块控制。



ICE 工具设定介绍

Smart Option

01. PROT (1:7) :

02. XRSTE (1:6) :

03. HVS (1:4) :

04. ICE Mode(2:4) :

05. On Chip CRC16(2:5) :

No.	Item	Description
01	PROT	启用：Flash 代码受保护，Writer 无法访问 ROM 代码 禁用：flash 代码不受保护，Writer 可以访问 ROM 代码（默认）
02	XRSTE	使能：P3.7 是外部复位引脚 禁用：P3.7 是常规 I/O 引脚（默认）
03	HVS	保留
04	ICE Mode	保留
05	On Chip CRC16	启用：片上CRC-16功能启用 禁用：片上CRC-16功能禁用（默认）

SFR & CFGW 映像

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	1111-1111	P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
84h	x00x-xxxx	INTE2	—	PWM1IE	PWM0IE	—	—	—	—	—
85h	x00x-xxxx	INTFLG2	—	PWM1IF	PWM0IF	—	—	—	—	—
86h	0000-0000	P0LOE0	P0LOE7	P0LOE6	P0LOE5	P0LOE4	P0LOE3	P0LOE2	P0LOE1	P0LOE0
87h	0xxx-0000	PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
8Eh	xxxx-xx00	P2LOE	—	—	—	—	—	—	P2LOE1	P2LOE0
8Fh	x000-0000	UART2CON	—	UART2BRP						
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	0101-0101	P0MODL	P0MOD3		P0MOD2		P0MOD1		P0MOD0	
92h	0101-0101	P0MODH	P0MOD7		P0MOD6		P0MOD5		P0MOD4	
93h	xxxx-0101	P2MODL	—	—	—	—	P2MOD1		P2MOD0	
94h	0000-0000	OPTION	TKBUFS	TM3CKS	WDTPSC		ADCKS		TKOFC	
95h	0x00-x000	INTFLG	LVDIF	—	TKIF	ADIF	—	IE2	PCIF	TF3
96h	0000-0000	P1WKUP	P1WKUP							
97h	xxxx-xx00	SWCMD	SWRST / IAPALL / WDTO							
98h	0000-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
99h	xxxx-xxxx	SBUF	SBUF							
9Ah	0000-0000	SCON2	SM	—	—	REN2	TB82	RB82	TI2	RI2
9Bh	xxxx-xxxx	SBUF2	SBUF2							
9Ch	0000-0000	P0WKUP	P0WKUP							
9Dh	xxxx-xx00	P2WKUP	—	—	—	—	—	—	P2WKUP	
9Eh	0000-0000	P3WKUP	P3WKUP							
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A1h	0000-0000	PWMCON	PWM1CKS		PWM1EN	PWM0EN	PWM0CKS		PWM0NMSK	PWM0PMSK
A2h	0101-0101	P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
A3h	0101-0101	P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
A4h	0101-0101	P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
A5h	0101-0101	P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
A6h	0000-0000	PINMOD	PSEUDOEN	MSI2CPS	UART2PS	UART1PS	TCOE	T2OE	T1OE	T0OE
A7h	xxx1-1111	TKCHS	—	—	—	TKCHS				
A8h	0x00-0000	IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
A9h	0000-0000	INTE1	PWMIE	ES2	LVDIE	SPI2CIE	ADTKIE	EX2	PCIE	TM3IE
AAh	xxxx-xxxx	ADCDL	ADCDL				—	—	—	PWRDEC
ABh	xxxx-xxxx	ADCDH	ADCDH							
ACH	0000-0000	P1LOE	P1LOE7	P1LOE6	P1LOE5	P1LOE4	P1LOE3	P1LOE2	P1LOE1	P1LOE0
ADh	1101-0000	TKCON	TKPD	TKEOC	TMRADJ	TKIVCS	SPREAD	MCHS	ATKMODE	
Aeh	1110-0000	ADCHSEL	ADCHS					ADCVREFS	VBGSEL	
AFh	0000-0000	PWMCON2	PWM0MOD	PWM0MSKE	PWM0OOM		PWM0DZ			
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B1h	0000-0111	LXDCON	LXDON	LEDDUTY			LEDBRITM	LEDBRIT		
B2h	x000-xx00	LXDCON2	—	LEDPSC		SELLED	—	—	LEDMODE	
B3h	0000-0000	P3LOE	P3LOE7	P3LOE6	P3LOE5	P3LOE4	P3LOE3	P3LOE2	P3LOE1	P3LOE0
B4h	1111-1111	TKTMRL	TKTMRL							
B5h	0000-0000	TKCON2	TKFJMP	JMPVH			TKTMRH			
B6h	0000-0000	PWMOE0	PWM2OE1	PWM2OE0	PWM1OE1	PWM1OE0	PWM0NOE1	PWM0POE1	PWM0NOE0	PWM0POE0
B7h	0000-0000	PWMOE1	PWM6OE1	PWM6OE0	PWM5OE1	PWM5OE0	PWM4OE1	PWM4OE0	PWM3OE1	PWM3OE0
B8h	xx00-0000	IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
B9h	xx00-0000	IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
BAh	0000-0000	IP1	PPWM	PS2	PLVD	PSPI2C	PADTKI	PX2	PPC	PT3
BBh	0000-0000	IP1H	PPWMH	PS2H	PLVDH	PSPI2CH	PADTKIH	PX2H	PPCH	PT3H
BCh	0000-x000	SPCON	SPEN	MSTR	CPOL	CPHA	—	LSBF	SPCR	
BDh	00x0-00xx	SPSTA	SPIF	WCOL	—	RCVOVF	RCVBF	SPBSY	—	—
BEh	0000-0000	SPDAT	SPDAT							
C1h	0000-0000	SIADR	SA							SIEN
C2h	0000-x000	SICON	MIIE	TXDIE	RCD2IE	RCD1IE	—	TXDF	RCD2F	RCD1F
C3h	xxxx-xxxx	SIRCD1	SIRCD1							
C4h	xxxx-xxxx	SITXRCD2	SITXRCD2							
C5h	0000-0000	ATKCH0	ATKCH0							
C6h	0000-0000	ATKCH1	ATKCH1							
C7h	0000-0000	ATKCH2	ATKCH2							
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
C9h	0000-xxxx	IAPCON	IAPCON / IAPWE / EEPWE / INFOWE / IAPTO							
CAh	0000-0000	RCP2L	RCP2L							
CBh	0000-0000	RCP2H	RCP2H							
CCh	0000-0000	TL2	TL2							
CDh	0000-0000	TH2	TH2							
CEh	0000-0000	EXA2	EXA2							
CFh	0000-0000	EXA3	EXA3							
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D1h	0000-0000	PWM0DH	PWM0DH							
D2h	0000-0000	PWM0DL	PWM0DL							
D3h	0000-0000	PWM1DH	PWM1DH							
D4h	0000-0000	PWM1DL	PWM1DL							
D5h	0000-0000	PWM2DH	PWM2DH							
D6h	0000-0000	PWM2DL	PWM2DL							
D7h	xxxx-x000	TKCON3	—	—	—	—	—	JMPVL		
D8h	0010-0011	CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
D9h	1111-1111	PWM0PRDH	PWM0PRDH							
DAh	1111-1111	PWM0PRDL	PWM0PRDL							
DBh	1111-1111	PWM1PRDH	PWM1PRDH							
DCh	1111-1111	PWM1PRDL	PWM1PRDL							
DDh	0000-0000	PWM3DH	PWM3DH							
DEh	0000-0000	PWM3DL	PWM3DL							
DFh	0000-0000	UART1CON	UART1BRS	UART1BRP						
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
E1h	000x-0100	MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
E2h	0000-0000	MIDAT	MIDAT							
E3h	xx00-0000	LVRCON	—	—	PORPD	LVRPD	LVRSEL			

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
E4h	0000-0000	LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSEL			
E5h	0000-0000	EFTCON	EFT2CS	EFT1CS	EFT1S		EFTSLOW	–	EFTWOUT	CKHLDE
E6h	0000-0000	EXA	EXA							
E7h	0000-0000	EXB	EXB							
E9h	0000-0000	PWM4DH	PWM4DH							
EAh	0000-0000	PWM4DL	PWM4DL							
EBh	0000-0000	PWM5DH	PWM5DH							
ECh	0000-0000	PWM5DL	PWM5DL							
EDh	0000-0000	PWM6DH	PWM6DH							
EEh	0000-0000	PWM6DL	PWM6DL							
EFh	x000-0x00	AUX3	–	HSNK2EN	HSNK1EN	HSNK0EN	WARMTIME	–	FJMPE	FJMPS
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F1h	1111-1111	CRCDL	CRCDL							
F2h	1111-1111	CRCDH	CRCDH							
F3h	0000-0000	CRCIN	CRCIN							
F5h	xxxx-xxxx	CFGBG	–	–	–	BGTRIM				
F6h	xxxx-xxxx	CFGWL	–	FRCF						
F7h	0000-0110	AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
F8h	0000-11x0	AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	–	DPSEL

Flash Address	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
3FFBh	CFGBG	–	–	–	BGTRIM				
3FFDh	CFGWL	–	FRCF						
3FFFh	CFGWH	PROT	XRSTE	PORSEL	HVS	–	–	–	–

SFR & CFGW 说明

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	FFh	Port0 data
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
84h	INTE2	6	PWM1IE	R/W	0	PWM1~PWM6 interrupt enable 0: Disable PWM1~PWM6 interrupt 1: Enable PWM1~PWM6 interrupt
		5	PWM0IE	R/W	0	PWM0 interrupt enable 0: Disable PWM0 interrupt 1: Enable PWM0 interrupt
85h	INTFLG2	6	PWM1IF	R/W	0	PWM1~PWM6 interrupt flag Set by H/W at the end of PWM1 period, S/W writes BFh to INTFLG2 to clear this flag.
		5	PWM0IF	R/W	0	PWM0 interrupt enable Set by H/W at the end of PWM0 period, S/W writes DFh to INTFLG2 to clear this flag.
86h	P0LOE	7	P0LOE7	R/W	0	LCDC07 / LED SEG6 (P0.7) enable control 0: Disable 1: Enable
		6	P0LOE6	R/W	0	LCDC06 / LED SEG7 (P0.6) enable control 0: Disable 1: Enable
		5	P0LOE5	R/W	0	LCDC05 (P0.5) enable control 0: Disable 1: Enable
		4	P0LOE4	R/W	0	LCDC04 (P0.4) enable control 0: Disable 1: Enable
		3	P0LOE3	R/W	0	LCDC03 / LED COM3 / LED3 (P0.3) enable control 0: Disable 1: Enable
		2	P0LOE2	R/W	0	LCDC02 / LED COM2 / LED2 (P0.2) enable control 0: Disable 1: Enable
		1	P0LOE1	R/W	0	LCDC01 / LED COM1 / LED1 (P0.1) enable control 0: Disable 1: Enable
		0	P0LOE0	R/W	0	LCDC00 / LED COM0 / LED0 (P0.0) enable control 0: Disable 1: Enable
87h	PCON	7	SMOD	R/W	0	Set 1 to enable UART1 double Baud Rate
		3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Power down control bit, set 1 to enter Halt/Stop mode
		0	IDL	R/W	0	Idle control bit, set 1 to enter Idle mode
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control. 1: timer runs; 0: timer stops
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control. 1:timer runs; 0:timer stops
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte
8Eh	P2LOE	1	P2LOE1	R/W	0	LCDC21 / LED COM5 or SEG9 (P2.1) enable control 0: Disable 1: Enable
		0	P2LOE0	R/W	0	LCDC20 / LED COM4 or SEG8 (P2.0) enable control 0: Disable 1: Enable
8Fh	UART2CON	6~0	UART2BRP	R/W	00h	Define UART2 Baud Rate prescaler UART2 Baud Rate = $F_{SYSCLK}/32/UART2BRP$
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	P0MODL	7~6	P0MOD3	R/W	01	P0.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P0.3 is ADC input
		5~4	P0MOD2	R/W	01	P0.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P0.2 is ADC input
		3~2	P0MOD1	R/W	01	P0.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P0.1 is ADC input
		1~0	P0MOD0	R/W	01	P0.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P0.0 is ADC input

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
92h	P0MODH	7~6	P0MOD7	R/W	01	P0.7 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P0.7 is ADC input
		5~4	P0MOD6	R/W	01	P0.6 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P0.6 is ADC input
		3~2	P0MOD5	R/W	01	P0.5 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P0.5 is ADC input
		1~0	P0MOD4	R/W	01	P0.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P0.4 is ADC input
93h	P2MODL	3~2	P2MOD1	R/W	01	P2.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P2.1 is ADC input
		1~0	P2MOD0	R/W	01	P2.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P2.0 is ADC input
94h	OPTION	7	TKBUFS	R/W	0	TKRAM Ping-Pong buffer select 0: HW stored TKDATA to TKRAM's 1st half (E100h~E17Fh) 1: HW stored TKDATA to TKRAM's 2nd half (E180h~E1FFh)
		6	TM3CKS	R/W	0	Timer3 clock source select. 0: Slow clock (SXT/SRC) 1: FRC/512
		5~4	WDTPSC	R/W	00	Watchdog Timer prescaler time select 00: 400ms WDT overflow rate 01: 200ms WDT overflow rate 10: 100ms WDT overflow rate 11: 50ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: F _{SYSCLK} /32 01: F _{SYSCLK} /16 10: F _{SYSCLK} /8 11: F _{SYSCLK} /4
		1~0	TKOFC	R/W	00	Touch Key ICLD capacitor select. 00: the smallest 11: the biggest
95h	INTFLG	7	LVDIF	R/W	0	LVD interrupt flag Set by H/W when V _{CC} less than the LVD voltage. S/W writes 7Fh to INTFLG to clear this flag.
		5	TKIF	R/W	0	Touch Key interrupt flag Set by H/W at the end of TK conversion. S/W writes DFh to INTFLG or sets the TKSOC bit to clear this flag.
		4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of ADC conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.
		2	IE2	R/W	0	External Interrupt 2 (INT2 pin) edge flag Set by H/W when a falling edge is detected on the INT2 pin, no matter the EX2 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine. S/W can write FBh to INTFLG to clear this bit.
		1	PCIF	R/W	0	Port0~3 pin change Interrupt flag Set by H/W when a Port0~3 pin state change is detected and its interrupt enable bit is set (P0WKUP/P1WKUP/P2WKUP/P3WKUP). PCIE does not affect this flag's setting. It is cleared automatically when the program performs the interrupt service routine. S/W can write FDh to INTFLG to clear this bit.
		0	TF3	R/W	0	Timer3 interrupt flag. Set by H/W when Timer3 counts to FFFFFFh. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
96h	P1WKUP	7~0	P1WKUP	R/W	00h	P1.7~P1.0 pin individual Wake-up/Interrupt enable control 0: Disable; 1: Enable.
97h	SWCMD	7~0	SWRST	W		Write 56h to generate S/W Reset
		7~0	IAPALL	W		Write 65h to set IAPALL flag. Write other value to clear IAPALL flag.
		1	WDTO	R	0	Watchdog Time-Out flag
		0	IAPALL	R	0	Flag indicates Flash can be written by IAP or not 0: Flash IAP only can write IAP-free area. 1: Flash IAP can write IAP-all area.
98h	SCON	7	SM0	R/W	0	UART1 Serial port mode select bit 0, 1 (SM0, SM1) = 00: Mode0: 8 bit shift register, Baud Rate= $F_{SYSCLK}/2$ 01: Mode1: 8 bit UART1, Baud Rate is variable 10: Mode2: 9 bit UART1, Baud Rate= $F_{SYSCLK}/32$ or $/64$ 11: Mode3: 9 bit UART1, Baud Rate is variable
		6	SM1	R/W	0	
		5	SM2	R/W	0	Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		4	REN	R/W	0	Set 1 to enable UART1 Reception
		3	TB8	R/W	0	Transmitter bit 8, ninth bit to transmit in Modes 2 and 3
		2	RB8	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit is Mode 1 if SM2=0
		1	TI	R/W	0	Transmit Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W
		0	RI	R/W	0	Receive Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.
99h	SBUF	7~0	SBUF	R/W	–	UART1 transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
9Ah	SCON2	7	SM	R/W	0	UART2 Serial port mode select bit 0: Mode1: 8 bit UART2, Baud Rate is variable 1: Mode3: 9 bit UART2, Baud Rate is variable
		4	REN2	R/W	0	UART2 reception enable 0: Disable reception 1: Enable reception
		3	TB82	R/W	0	Transmit Bit 8, the ninth bit to be transmitted in Mode3
		2	RB82	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode3
		1	TI2	R/W	0	Transmit interrupt flag Set by H/W at the beginning of the stop bit in Mode 1 & 3. Must be cleared by S/W.
		0	RI2	R/W	0	Receive interrupt flag Set by H/W at the sampling point of the stop bit in Mode 1 & 3. Must be cleared by S/W.
9Bh	SBUF2	7~0	SBUF	R/W	–	UART2 transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
9Ch	P0WKUP	7~0	P0WKUP	R/W	00h	P0.7~P0.0 pin individual Wake-up/Interrupt enable control 0: Disable; 1: Enable.
9Dh	P2WKUP	5~0	P2WKUP	R/W	00h	P2.1~P2.0 pin individual Wake-up/Interrupt enable control 0: Disable; 1: Enable.
9Eh	P3WKUP	7~0	P3WKUP	R/W	00h	P3.7~P3.0 pin individual Wake-up/Interrupt enable control 0: Disable; 1: Enable.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A0h	P2	7~2	P2.7~P2.2	R/W	3Fh	P2.7~P2.2 have no pin out, so these bits are used as general purpose register
		1~0	P2.1~P2.0	R/W	11	P2.1~P2.0 data
A1h	PWMCON	7~6	PWM1CKS	R/W	00	PWM1 clock source 00: F _{SYSCLK} 01: F _{SYSCLK} 10: FRC 11: FRCx2 (V _{CC} >2.7V)
		5	PWM1EN	R/W	0	PWM1~6 enable control 0: PWM1~6 Disable 1: PWM1~6 Enable
		4	PWM0EN	R/W	0	PWM0 enable control 0: PWM0 Disable 1: PWM0 Enable
		3~2	PWM0CKS	R/W	00	PWM0 clock source 00: F _{SYSCLK} 01: F _{SYSCLK} 10: FRC 11: FRCx2 (V _{CC} >2.7V)
		1	PWM0NMSK	R/W	0	PWM0N mask data. If CLRPWM0=1 and PMW0MSKE=1, PWM0N will output this mask data.
		0	PWM0PMSK	R/W	0	PWM0P mask data. If CLRPWM0=1 and PMW0MSKE=1, PWM0P will output this mask data.
A2h	P1MODL	7~6	P1MOD3	R/W	01	P1.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.3 is ADC input
		5~4	P1MOD2	R/W	01	P1.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.2 is ADC input
		3~2	P1MOD1	R/W	01	P1.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.1 is ADC input
		1~0	P1MOD0	R/W	01	P1.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.0 is ADC input
A3h	P1MODH	7~6	P1MOD7	R/W	01	P1.7 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.7 is ADC input
		5~4	P1MOD6	R/W	01	P1.6 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.6 is ADC input
		3~2	P1MOD5	R/W	01	P1.5 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.5 is ADC input
		1~0	P1MOD4	R/W	01	P1.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.4 is ADC input
A4h	P3MODL	7~6	P3MOD3	R/W	01	P3.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.3 is ADC input
		5~4	P3MOD2	R/W	01	P3.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.2 is ADC input
		3~2	P3MOD1	R/W	01	P3.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.1 is ADC input
		1~0	P3MOD0	R/W	01	P3.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.0 is ADC input

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A5h	P3MODH	7~6	P3MOD7	R/W	01	P3.7 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.7 is ADC input
		5~4	P3MOD6	R/W	01	P3.6 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.6 is ADC input
		3~2	P3MOD5	R/W	01	P3.5 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.5 is ADC input
		1~0	P3MOD4	R/W	01	P3.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.4 is ADC input
A6h	PINMOD	7	PSEUDOEN	R/W	0	P3.2~P3.0 pseudo open-drain control 0: Disable 1: Enable
		6	MSI2CPS	R/W	0	Master/Slave I ² C pin select (SCL/SDA) 0: P3.0/P3.1 1: P0.1/P0.2
		5	UART2PS	R/W	0	UART2 Pin select (TX/RX) 0: P1.7/P3.6 1: P0.3/P0.2
		4	UART1PS	R/W	0	UART1 Pin select (TX/RX) 0: P3.1/P3.0 1: P0.0/P0.1
		3	TCOE	R/W	0	System clock signal output (CKO) control 0: Disable "System clock divided by 2" output to P1.4 pin 1: Enable "System clock divided by 2" output to P1.4 pin
		2	T2OE	R/W	0	Timer2 signal output (T2O) control 0: Disable "Timer2 overflow divided by 2" output to P1.0 pin 1: Enable "Timer2 overflow divided by 2" output to P1.0 pin
		1	T1OE	R/W	0	Timer1 signal output (T1O) control 0: Disable "Timer1 overflow divided by 2" output to P3.5 pin 1: Enable "Timer1 overflow divided by 2" output to P3.5 pin
		0	T0OE	R/W	0	Timer0 signal output (T0O) control 0: Disable "Timer0 overflow divided by 64" output to P3.4 pin 1: Enable "Timer0 overflow divided by 64" output to P3.4 pin
A7h	TKCHS	4~0	TKCHS	R/W	1Fh	Touch Key channel select 00000: TK0 (P3.3) 00001: TK1 (P3.2) 00010: TK2 (P3.1) 00011: TK3 (P3.0) 00100: TK4 (P1.0) 00101: TK5 (P1.1) 00110: TK6 (P1.2) 00111: TK7 (P1.3) 01000: TK8 (P1.4) 01001: TK9 (P1.5) 01010: TK10 (P1.6) 01011: TK11 (P1.7) 01100: TK12 (P3.6) 01101: TK13 (P3.5) 01110: TK14 (P3.4) 01111: TK15 (P3.7) 10000: TK16 (P2.0) 10001: TK17 (P2.1) 10010: TK18 (P0.3) 10011: TK19 (P0.7) 10100: TK20 (P0.6) 10101: TK21 (P0.5) 10110: TK22 (P0.4) 10111: TK reference capacitor others: Reserved

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A8h	IE	7	EA	R/W	0	Global interrupt enable control. 0: Disable all Interrupts. 1: Each interrupt is enabled or disabled by its own interrupt control bit.
		5	ET2	R/W	0	Set 1 to enable Timer2 interrupt
		4	ES	R/W	0	Set 1 to enable Serial Port (UART1) Interrupt
		3	ET1	R/W	0	Set 1 to enable Timer1 Interrupt
		2	EX1	R/W	0	Set 1 to enable external INT1 pin Interrupt & Halt/Stop mode wake up capability
		1	ET0	R/W	0	Set 1 to enable Timer0 Interrupt
		0	EX0	R/W	0	Set 1 to enable external INT0 pin Interrupt & Halt/Stop mode wake up capability
A9h	INTE1	7	PWMIE	R/W	0	Set 1 to enable PWM0/PWM1~PWM6 interrupt
		6	ES2	R/W	0	Set 1 to enable Serial Port (UART2) Interrupt
		5	LVDIE	R/W	0	Set 1 to enable LVD interrupt
		4	SPI2CE	R/W	0	Set 1 to enable SPI/I ² C interrupt
		3	ADTKIE	R/W	0	Set 1 to enable ADC/TK Interrupt
		2	EX2	R/W	0	Set 1 to enable external INT2 pin Interrupt & Halt/Stop mode wake up capability
		1	PCIE	R/W	0	Set 1 to enable Port0/Port1/Port2/Port3 Pin Change Interrupt
		0	TM3IE	R/W	0	Set 1 to enable Timer3 Interrupt
AAh	ADCDL	7~4	ADCDL	R	–	ADC data bit 3~0
		0	PWRDEC	W	0	ROM parameter settings for high temperature writing.
ABh	ADCDH	7~0	ADCDH	R	–	ADC data bit 11~4
ACh	P1LOE	7	P1LOE7	R/W	0	LCDC17 / LED SEG2 (P1.7) enable control 0: Disable 1: Enable
		6	P1LOE6	R/W	0	LCDC16 / LED SEG3 (P1.6) enable control 0: Disable 1: Enable
		5	P1LOE5	R/W	0	LCDC15 / LED SEG4 (P1.5) enable control 0: Disable 1: Enable
		4	P1LOE4	R/W	0	LCDC14 / LED SEG5 (P1.4) enable control 0: Disable 1: Enable
		3	P1LOE3	R/W	0	LCDC13 (P1.3) enable control 0: Disable 1: Enable
		2	P1LOE2	R/W	0	LCDC12 (P1.2) enable control 0: Disable 1: Enable
		1	P1LOE1	R/W	0	LCDC11 (P1.1) enable control 0: Disable 1: Enable
		0	P1LOE0	R/W	0	LCDC10 (P1.0) enable control 0: Disable 1: Enable
ADh	TKCON	7	TKPD	R/W	1	Touch Key power down (Auto disable in Idle/Halt/Stop mode when Touch Key end of conversion) 0: Touch Key enable 1: Touch Key disable
		6	TKEOC	R	1	Touch Key end of conversion flag, TKEOC may have 3 us delay after TKSOC=1, so F/W must wait enough time before polling this Flag. 0: Indicates conversion is in progress 1: Indicates conversion is finished
		5	TMRADJ	R/W	0	Touch Key scan length auto-adjustment selection 0: TK scan length define by TKTMR[11:0] 1: TK scan length auto-adjustment

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		4	TKIVCS	R/W	1	Touch Key internal voltage control select 0: $V_{CHG}=2.8V$; $V_{INT}=1.4V$ 1: $V_{CHG}=3.6V$; $V_{INT}=1.8V$
		3	SPREAD	R/W	0	Touch Key spread spectrum 0: Disable 1: Enable
		2	MCHS	R/W	0	Scan channel select 0: select channel as ATK Scan 1: select channel as Bundle Scan
		1~0	ATKMODE	R/W	00	Touch Key scan mode 00: each channel scan 1 time, max 23 TK channels + TK reference key 01: each channel scan 2 times, max 23 TK channels + TK reference key 10: each channel scan 4 times, max 16 TK channels 11: each channel scan 8 times, max 8 TK channels
AEh	ADCHSEL	7~3	ADCHS	R/W	1Ch	ADC channel select. 00000: AD0 (P3.3) 00001: AD1 (P3.2) 00010: AD2 (P3.1) 00011: AD3 (P3.0) 00100: AD4 (P1.0) 00101: AD5 (P1.1) 00110: AD6 (P1.2) 00111: AD7 (P1.3) 01000: AD8 (P1.4) 01001: AD9 (P1.5) 01010: AD10 (P1.6) 01011: AD11 (P1.7) 01100: V_{BG} 01101: V_{SS} 01110: AD14 (P3.6) 01111: AD15 (P3.5) 10000: AD16 (P3.4) 10001: AD17 (P3.7) 10010: AD18 (P2.0) 10011: AD19 (P2.1) 10100: AD20 (P0.3) 10101: AD21 (P0.2) 10110: AD22 (P0.1) 10111: AD23 (P0.0) 11000: AD24 (P0.7) 11001: AD25 (P0.6) 11010: AD26 (P0.5) 11011: AD27 (P0.4) others: Reserved 11111: $V_{CC}/4$
		2	ADCVREFS	R/W	0	ADC reference voltage 0: V_{CC} 1: V_{BG}
		1~0	VBGSEL	R/W	00	V_{BG} voltage select, When ADCVREF is selected as V_{BG} ; VBGSEL is prohibited from using 1.18V. 00: 1.18V 01: 2.5V (need $V_{CC}>2.8V$) 10: Reserved 11: Reserved

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
AFh	PWMCON2	7	PWM0MOD	R/W	0	PWM0 mode select 0: Normal mode 1: Half-bridge mode
		6	PWM0MSKE	R/W	0	PWM0 mask output enable 0: Disable 1: Enable, PWM0P/PWM0N output data by PWM0PMSK/PWM0NMSK while CLRPWM0=1
		5~4	PWM0OM	R/W	00	PWM0 output mode select 00: Mode0 01: Mode1 10: Mode2 11: Mode3
		3~0	PWM0DZ	R/W	0000	PWM0 dead zone (Dead zone is prohibited in half-bridge mode) 0000: 0 x T _{PWMCLK} 0001: 1 x T _{PWMCLK} ... 1111: 15 x T _{PWMCLK}
B0h	P3	7~0	P3	R/W	FFh	Port3 data
B1h	LXDCON	7	LXDON	R/W	0	LCD/LED enable 0: LCD/LED disable 1: LCD/LED enable
		6~4	LEDDUTY	R/W	000	LED duty select LED select: Matrix mode (SELLED=1, LEDMODE=00b) 000: 1/2 Duty, COM0~COM1 001: 1/3 Duty, COM0~COM2 010: 1/4 Duty, COM0~COM3 011: 1/5 Duty, COM0~COM4 100: 1/6 Duty, COM0~COM5 101: 1/7 Duty, COM0~COM6 110: 1/8 Duty, COM0~COM7 111: 1/8 Duty, COM0~COM7 LED select: Dot Matrix mode (SELLED=1, LEDMODE=10b) 000: 4x4, LED0~LED4 001: 5x5, LED0~LED5 010: 6x6, LED0~LED6 011: 6x7, LED0~LED6 100: 7x7, LED0~LED7 101: 7x8, LED0~LED7 110: Reserved 111: Reserved
		3	LEDBRITM	R/W	0	LED Brightness Mode 0: Uniform brightness mode 1: Brightness enhancement mode
		2~0	LEDBRIT	R/W	111	LCD/LED Brightness control 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)
B2h	LXDCON2	6~5	LEDPSC	R/W	00	LED clock prescaler select 00: LED clock is FRC divided by 64 01: LED clock is FRC divided by 32 10: LED clock is FRC divided by 16 11: LED clock is FRC divided by 8
		4	SELLED	R/W	0	LCD/LED function select 0: LCD 1: LED
		1~0	LEDMODE	R/W	00	LED Mode select 00: Matrix scan mode 01: Reserved 10: Dot Matrix scan mode 11: Reserved

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
B3h	P3LOE	7	P3LOE7	R/W	0	LCDC37 / LED COM6 or SEG10 / LED6 (P3.7) enable control 0: Disable 1: Enable
		6	P3LOE6	R/W	0	LCDC36 / LED SEG1 (P3.6) enable control 0: Disable 1: Enable
		5	P3LOE5	R/W	0	LCDC35 / LED SEG0 (P3.5) enable control 0: Disable 1: Enable
		4	P3LOE4	R/W	0	LCDC34 / LED COM7 or SEG11 / LED7 (P3.4) enable control 0: Disable 1: Enable
		3	P3LOE3	R/W	0	LCDC33 (P3.3) enable control 0: Disable 1: Enable
		2	P3LOE2	R/W	0	LCDC32 (P3.2) enable control 0: Disable 1: Enable
		1	P3LOE1	R/W	0	LCDC31 (P3.1) enable control 0: Disable 1: Enable
		0	P3LOE0	R/W	0	LCDC30 (P3.0) enable control 0: Disable 1: Enable
B4h	TKTMRL	7~0	TKTMRL	R/W	FFh	Touch Key scan length bit 7~0 adjustment 00: shortest FF: longest
B5h	TKCON2	7	TKFJMP	R/W	0	Internal Touch Key clock frequency auto adjust option 0: Disable 1: Enable (Available in ATKMODE=1 or 2)
		6~4	JMPVH	R/W	000	Touch Key clock frequency MSB 3bit (Coarse tune) select, only available in TKFJMP=0 [JMPVH, JMPVL]=000_000=frequency slowest [JMPVH, JMPVL]=111_111=frequency fastest
		3~0	TKTMRH	R/W	0000	Touch Key scan length 11~8 adjustment. 0000: shortest 1111: longest
B6h	PWMOE0	7	PWM2OE1	R/W	0	PWM2 output control 0: Disable 1: PWM2 enable and output to P3.3
		6	PWM2OE0	R/W	0	PWM2 output control 0: Disable 1: PWM2 enable and output to P1.5
		5	PWM1OE1	R/W	0	PWM1 output control 0: Disable 1: PWM1 enable and output to P3.2
		4	PWM1OE0	R/W	0	PWM1 output control 0: Disable 1: PWM1 enable and output to P1.4
		3	PWM0NOE1	R/W	0	PWM0N output control 0: Disable 1: PWM0N enable and output to P2.0
		2	PWM0POE1	R/W	0	PWM0P output control 0: Disable 1: PWM0P enable and output to P2.1
		1	PWM0NOE0	R/W	0	PWM0N output control 0: Disable 1: PWM0N enable and output to P1.3
		0	PWM0POE0	R/W	0	PWM0P output control 0: Disable 1: PWM0P enable and output to P1.2

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
B7h	PWMOE1	7	PWM6OE1	R/W	0	PWM6 output control 0: Disable 1: PWM6 enable and output to P0.7
		6	PWM6OE0	R/W	0	PWM6 output control 0: Disable 1: PWM6 enable and output to P3.7
		5	PWM5OE1	R/W	0	PWM5 output control 0: Disable 1: PWM5 enable and output to P0.6
		4	PWM5OE0	R/W	0	PWM5 output control 0: Disable 1: PWM5 enable and output to P3.4
		3	PWM4OE1	R/W	0	PWM4 output control 0: Disable 1: PWM4 enable and output to P0.5
		2	PWM4OE0	R/W	0	PWM4 output control 0: Disable 1: PWM4 enable and output to P3.5
		1	PWM3OE1	R/W	0	PWM3 output control 0: Disable 1: PWM3 enable and output to P0.4
		0	PWM3OE0	R/W	0	PWM3 output control 0: Disable 1: PWM3 enable and output to P1.6
B8h	IP	5	PT2	R/W	0	Timer2 Interrupt Priority Low bit
		4	PS	R/W	0	Serial Port (UART1) Interrupt Priority Low bit
		3	PT1	R/W	0	Timer1 Interrupt Priority Low bit
		2	PX1	R/W	0	External INT1 Pin Interrupt Priority Low bit
		1	PT0	R/W	0	Timer0 Interrupt Priority Low bit
		0	PX0	R/W	0	External INT0 Pin Interrupt Priority Low bit
B9h	IPH	5	PT2H	R/W	0	Timer2 Interrupt Priority High bit
		4	PSH	R/W	0	Serial Port (UART1) Interrupt Priority High bit
		3	PT1H	R/W	0	Timer1 Interrupt Priority High bit
		2	PX1H	R/W	0	External INT1 Pin Interrupt Priority High bit
		1	PT0H	R/W	0	Timer0 Interrupt Priority High bit
		0	PX0H	R/W	0	External INT0 Pin Interrupt Priority High bit
BAh	IP1	7	PPWM	R/W	0	PWM0/PWM1 Interrupt Priority Low bit
		6	PS2	R/W	0	Serial Port (UART2) Interrupt Priority Low bit
		5	PLVD	R/W	0	LVD Interrupt Priority Low bit
		4	PSPI2C	R/W	0	SPI/I ² C Interrupt Priority Low bit
		3	PADTKI	R/W	0	ADC/TK Interrupt Priority Low bit
		2	PX2	R/W	0	External INT2 Pin Interrupt Priority Low bit
		1	PPC	R/W	0	Port0~Port3 pin change Interrupt Priority Low bit
		0	PT3	R/W	0	Timer3 Interrupt Priority Low bit
BBh	IP1H	7	PPWMH	R/W	0	PWM0/PWM1 Interrupt Priority High bit
		6	PS2H	R/W	0	Serial Port (UART2) Interrupt Priority High bit
		5	PLVDH	R/W	0	LVD Interrupt Priority High bit
		4	PI2CH	R/W	0	SPI/I ² C Interrupt Priority High bit
		3	PADTKIH	R/W	0	ADC/TK Interrupt Priority High bit
		2	PX2H	R/W	0	External INT2 Pin Interrupt Priority High bit
		1	PPCH	R/W	0	Port0~Port3 Interrupt Priority High bit
		0	PT3H	R/W	0	Timer3 Interrupt Priority High bit

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
BCh	SPCON	7	SPEN	R/W	0	SPI enable 0: SPI disable 1: SPI enable
		6	MSTR	R/W	0	Master mode enable 0: Slave mode 1: Master mode
		5	CPOL	R/W	0	SPI clock polarity 0: SCK is low in idle state 1: SCK is high in idle state
		4	CPHA	R/W	0	SPI clock phase 0: Data sample on first edge of SCK period 1: Data sample on second edge of SCK period
		2	LSBF	R/W	0	LSB first 0: MSB first 1: LSB first
		1~0	SPCR	R/W	00	SPI clock rate 00: $F_{SYSCLK}/2$ 01: $F_{SYSCLK}/4$ 10: $F_{SYSCLK}/8$ 11: $F_{SYSCLK}/16$
BDh	SPSTA	7	SPIF	R/W	0	SPI interrupt flag This is set by H/W at the end of a data transfer. Cleared by H/W when an interrupt is vectored into. Writing 0 to this bit will clear this flag.
		6	WCOL	R/W	0	Write collision interrupt flag Set by H/W if write data to SPDAT when SPBSY is set. Write 0 to this bit or rewrite data to SPDAT when SPBSY is cleared will clear this flag.
		4	RCVOVF	R/W	0	Received buffer overrun flag Set by H/W at the end of a data transfer and RCVBF is set. Write 0 to this bit or read SPDAT register will clear this flag.
		3	RCVBF	R/W	0	Receive buffer full flag Set by H/W at the end of a data transfer. Write 0 to this bit or read SPDAT register will clear this flag.
		2	SPBSY	R	0	SPI busy flag Set by H/W when a SPI transfer is in progress.
BEh	SPDAT	7~0	SPDAT	R/W	00h	SPI transmit and receive data The SPDAT register is used to transmit and receive data. Writing data to SPDAT place the data into shift register and start a transfer when in master mode. Reading SPDAT returns the contents of the receive buffer.
C1h	SIADR	7~1	SA	R/W	64h	Slave I ² C address assigned
		0	SIEN	R/W	0	Slave I ² C enable 0: disable 1: enable
C2h	SICON	7	MIIE	R/W	0	I ² C Master interrupt enable 0: disable 1: enable
		6	TXDIE	R/W	0	Slave I ² C transmission completed interrupt enable 0: disable 1: enable
		5	RCD2IE	R/W	0	Slave I ² C DATA2(SITXRCD2) reception completed interrupt enable 0: disable 1: enable
		4	RCD1IE	R/W	0	Slave I ² C DATA1(SIRCD1) reception completed interrupt enable 0: disable 1: enable
		2	TXDF	R/W	1	Slave I ² C transmission completed interrupt flag 0: write 0 to clear it 1: Set by H/W when Slave I ² C transmission complete
		1	RCD2F	R/W	0	Slave I ² C DATA2 (SITXRCD2) reception completed interrupt flag 0: write 0 to clear it 1: Set by H/W when Slave I ² C DATA2 (SITXRCD2) reception complete

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		0	RCD1F	R/W	0	Slave I ² C DATA1 (SIRCD1) reception completed interrupt flag 0: write 0 to clear it 1: Set by H/W when Slave I ² C DATA1 (SIRCD1) reception complete
C3h	SIRCD1	7~0	SIRCD1	R	–	Slave I ² C data receive register1 (DATA1)
C4h	SITXRCD2	7~0	SITXRCD2	R/W	–	Slave I ² C transmit and receive data register Read: Slave I ² C data receive register2 (DATA2) Write: Slave I ² C data transmission register (TXD)
C5h	ATKCH0	7~0	ATKCH0	R/W	00h	TK7~TK0 channel scan enable: 0: disable 1: enable (if MCHS=0, Select ATK Scan ; if MCHS=1, Select Bundle Scan)
C6h	ATKCH1	7~0	ATKCH1	R/W	00h	TK15~TK8 channel scan enable: 0: disable 1: enable (if MCHS=0, Select ATK Scan ; if MCHS=1, Select Bundle Scan)
C7h	ATKCH2	7~0	ATKCH2	R/W	00h	TK23 (TKCAP) ~TK16 channel scan enable: 0: disable 1: enable (if MCHS=0, Select ATK Scan ; if MCHS=1, Select Bundle Scan)
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless RCLK=1 or TCLK=1. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if EXEN2=1. This bit must be cleared by S/W.
		5	RCLK	R/W	0	UART receive clock control bit 0: Use Timer1 overflow as receive clock for serial port in mode 1 or 3 1: Use Timer2 overflow as receive clock for serial port in mode 1 or 3
		4	TCLK	R/W	0	UART transmit clock control bit 0: Use Timer1 overflow as transmit clock for serial port in mode 1 or 3 1: Use Timer2 overflow as transmit clock for serial port in mode 1 or 3
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if RCLK=TCLK=0
		2	TR2	R/W	0	Timer2 run control 0:timer stops 1:timer runs
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if EXEN2=1. 1: Capture mode, capture on negative transitions on T2EX pin if EXEN2=1. If RCLK=1 or TCLK=1, CPRL2N is ignored and timer is forced to auto-reload on Timer2 overflow.
C9h	IAPCON	7~0	IAPCON	W	–	Write 47h or 74h to set IAPWE flag; Write 47h can write 1 byte at once, write 74h can write 2 bytes at once. Write other value to clear IAPWE flag. It is recommended to clear it immediately after IAP write. Write A1h to set INFOWE flag; write other value to clear INFOWE flag. It is recommended to clear it immediately after IAP write. Write E2h to set EEPWE flag; write other value to clear EEPWE flag. It is recommended to clear it immediately after EEPROM write.
		7	IAPWE	R	0	Flag indicates Flash memory can be written by IAP or not 0: IAP Write disable 1: IAP Write enable
		6	IAPTO	R	0	Time-Out flag of IAP write/EEPROM write/INFO write. Set by H/W when IAP or EEPROM or INFO write Time-out occurs. Cleared this flag by H/W when IAPWE=0 or EEPWE=0 or INFOWE=0.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		5	EEPWE	R	0	Flag indicates EEPROM memory can be written or not 0: EEPROM Write disable 1: EEPROM Write enable
		4	INFOWE	R	0	Flag indicates INFO memory can be written or not 0: INFO IAP Write disable 1: INFO IAP Write enable
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
CEh	EXA2	7~0	EXA2	R/W	00h	Expansion accumulator 2
CFh	EXA3	7~0	EXA3	R/W	00h	Expansion accumulator 3
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	Register Bank Select bit 1
		3	RS0	R/W	0	Register Bank Select bit 0
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag
D1h	PWM0DH	7~0	PWM0DH	R/W	00h	PWM0 duty high byte write sequence: PWM0DL then PWM0DH read sequence: PWM0DH then PWM0DL
D2h	PWM0DL	7~0	PWM0DL	R/W	00h	PWM0 duty low byte write sequence: PWM0DL then PWM0DH read sequence: PWM0DH then PWM0DL
D3h	PWM1DH	7~0	PWM1DH	R/W	00h	PWM1 duty high byte write sequence: PWM1DL then PWM1DH read sequence: PWM1DH then PWM1DL
D4h	PWM1DL	7~0	PWM1DL	R/W	00h	PWM1 duty low byte write sequence: PWM1DL then PWM1DH read sequence: PWM1DH then PWM1DL
D5h	PWM2DH	7~0	PWM2DH	R/W	00h	PWM2 duty high byte write sequence: PWM2DL then PWM2DH read sequence: PWM2DH then PWM2DL
D6h	PWM2DL	7~0	PWM2DL	R/W	00h	PWM2 duty low byte write sequence: PWM2DL then PWM2DH read sequence: PWM2DH then PWM2DL
D7h	TKCON3	2~0	JMPVL	R/W	000	Touch Key clock frequency LSB 3bit (Fine tune) select, only available in TKFJMP=0 [JMPVH, JMPVL]=000_000=frequency slowest [JMPVH, JMPVL]=111_111=frequency fastest
D8h	CLKCON	7	SCKTYPE	R/W	0	Slow clock Type. This bit can be changed only in Fast mode (SELFCK=1) 0: SRC 1: SXT, P2.0 and P2.1 are crystal pins
		6	FCKTYPE	R/W	0	Fast clock type. This bit can be changed only in Slow mode (SELFCK=0). 0: FRC 1: FXT, P2.0 and P2.1 are crystal pins, oscillator gain is high for FXT
		5	STPSCK	R/W	1	Set 1 to stop SRC clock in PDOWN mode
		4	STPPCK	R/W	0	Set 1 to stop UART/Timer0/1/2 clock in Idle mode for current reducing.
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow/Idle mode. This bit can be changed only in Slow mode.
		2	SELFCK	R/W	0	System clock select. This bit can be changed only when STPFCK=0. 0: Slow clock 1: Fast clock

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		1~0	CLKPSC	R/W	11	System clock prescaler. Effective after 16 clock cycles (Max.) delay. 00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1
D9h	PWM0PRDH	7~0	PWM0PRDH	R/W	FFh	PWM0 period high byte write sequence: PWM0PRDL then PWM0PRDH read sequence: PWM0PRDH then PWM0PRDL
DAh	PWM0PRDL	7~0	PWM0PRDL	R/W	FFh	PWM0 period low byte write sequence: PWM0PRDL then PWM0PRDH read sequence: PWM0PRDH then PWM0PRDL
DBh	PWM1PRDH	7~0	PWM1PRDH	R/W	FFh	PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 period high byte write sequence: PWM1PRDL then PWM1PRDH read sequence: PWM1PRDH then PWM1PRDL
DCh	PWM1PRDL	7~0	PWM1PRDL	R/W	FFh	PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 period low byte write sequence: PWM1PRDL then PWM1PRDH read sequence: PWM1PRDH then PWM1PRDL
DDh	PWM3DH	7~0	PWM3DH	R/W	00h	PWM3 duty high byte write sequence: PWM3DL then PWM3DH read sequence: PWM3DH then PWM3DL
DEh	PWM3DL	7~0	PWM3DL	R/W	00h	PWM3 duty low byte write sequence: PWM3DL then PWM3DH read sequence: PWM3DH then PWM3DL
DFh	UART1CON	7	UART1BRS	R/W	0	UART1 Baud Rate source select 0: 8051 default Baud Rate source select 1: UART1 Baud Rate select as UART1BRP
		6~0	UART1BRP	R/W	00h	Define UART1 Baud Rate prescaler UART1 Baud Rate = $F_{SYSCLK}/32/UART1BRP$
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
E1h	MICON	7	MIEN	R/W	0	Master I ² C enable 0: disable 1: enable
		6	MIACKO	R/W	0	When Master I ² C receive data, send acknowledge to I ² C bus 0: ACK to slave device 1: NACK to slave device
		5	MIIF	R/W	0	Master I ² C Interrupt flag 0: write 0 to clear it 1: Master I ² C transfer one byte complete
		4	MIACKI	R	–	When Master I ² C transfer, acknowledgement form I ² C bus (read only) 0: ACK received 1: NACK received
		3	MISTART	R/W	0	Master I ² C Start bit 1: start I ² C bus transfer
		2	MISTOP	R/W	1	Master I ² C Stop bit 1: send STOP signal to stop I ² C bus
		1~0	MICR	R/W	00	Master I ² C (SCL) clock frequency selection 00: $F_{SYSCLK}/4$ (ex. If $F_{SYSCLK}=16\text{MHz}$, I ² C clock is 4M Hz) 01: $F_{SYSCLK}/16$ (ex. If $F_{SYSCLK}=16\text{MHz}$, I ² C clock is 1M Hz) 10: $F_{SYSCLK}/64$ (ex. If $F_{SYSCLK}=16\text{MHz}$, I ² C clock is 250K Hz) 11: $F_{SYSCLK}/256$ (ex. If $F_{SYSCLK}=16\text{MHz}$, I ² C clock is 62.5K Hz)
E2h	MIDAT	7~0	MIDAT	R/W	00h	Master I ² C data shift register (W): After Start and before Stop condition, write this register will resume transmission to I ² C bus (R): After Start and before Stop condition, read this register will resume receiving from I ² C bus

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
E3h	LVRCON	5	PORPD	R/W	0	POR power down 0: POR enable 1: POR disable
		4	LVRPD	R/W	0	LVR power down 0: LVR enable 1: LVR disable
		3~0	LVRSEL	R/W	0000	Low Voltage Reset (LVR) select. (step=0.14V) 0000: Set LVR at 2.05V 0001: Set LVR at 2.19V 0010: Set LVR at 2.33V 0011: Set LVR at 2.47V 0100: Set LVR at 2.61V 0101: Set LVR at 2.75V 0110: Set LVR at 2.89V 0111: Set LVR at 3.03V 1000: Set LVR at 3.17V 1001: Set LVR at 3.31V 1010: Set LVR at 3.45V 1011: Set LVR at 3.59V 1100: Set LVR at 3.73V 1101: Set LVR at 3.87V 1110: Set LVR at 4.01V 1111: Set LVR at 4.15V
E4h	LVDCON	7	LVDM	R/W	0	Low Voltage Detect interrupt enable 0: LVDIF =1 and LVDO =1 while $V_{CC} < V_{LVD}$ 1: LVDIF =1 and LVDO =1 while $V_{CC} > V_{LVD}$
		6	LVDO	R	0	Low Voltage Detect output
		5	LVDHYS	R/W	0	LVD Hysteresis Enable 0: LVD Hysteresis disable 1: LVD Hysteresis enable
		4	LVDPD	R/W	0	LVD power down 0: LVD enable 1: LVD disable
		3~0	LVDSEL	R/W	0000	Low Voltage Detect (LVD) select. (step=0.14V) 0000: Set LVD at 2.05V 0001: Set LVD at 2.19V 0010: Set LVD at 2.33V 0011: Set LVD at 2.47V 0100: Set LVD at 2.61V 0101: Set LVD at 2.75V 0110: Set LVD at 2.89V 0111: Set LVD at 3.03V 1000: Set LVD at 3.17V 1001: Set LVD at 3.31V 1010: Set LVD at 3.45V 1011: Set LVD at 3.59V 1100: Set LVD at 3.73V 1101: Set LVD at 3.87V 1110: Set LVD at 4.01V 1111: Set LVD at 4.15V

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
E5h	EFTCON	7	EFT2CS	R/W	0	EFT2 Detector enable 0: Disable EFT2 1: Enable EFT2
		6	EFT1CS	R/W	0	EFT1 Detector enable 0: Disable EFT1 1: Enable EFT1
		5~4	EFT1S	R/W	00	EFT1 Detector sensitivity adjustment
		3	EFTSLOW	R/W	0	Force System clock to Slow clock while EFT detected 0: Disable 1: Enable
		1	EFTWOUT	R/W	0	EFTWAIT output to pin 0: P3.6 = normal I/O 1: P3.6 = EFTWAIT
		0	CKHLDE	R/W	0	clock hold enable 0: Disable 1: Enable
E6h	EXA	7~0	EXA	R/W	00h	Expansion accumulator
E7h	EXB	7~0	EXB	R/W	00h	Expansion B register
E9h	PWM4DH	7~0	PWM4DH	R/W	00h	PWM4 duty high byte write sequence: PWM4DL then PWM4DH read sequence: PWM4DH then PWM4DL
EAh	PWM4DL	7~0	PWM4DL	R/W	00h	PWM4 duty low byte write sequence: PWM4DL then PWM4DH read sequence: PWM4DH then PWM4DL
EBh	PWM5DH	7~0	PWM5DH	R/W	00h	PWM5 duty high byte write sequence: PWM5DL then PWM5DH read sequence: PWM5DH then PWM5DL
ECh	PWM5DL	7~0	PWM5DL	R/W	00h	PWM5 duty low byte write sequence: PWM5DL then PWM5DH read sequence: PWM5DH then PWM5DL
EDh	PWM6DH	7~0	PWM6DH	R/W	00h	PWM6 duty high byte write sequence: PWM6DL then PWM6DH read sequence: PWM6DH then PWM6DL
EEh	PWM6DL	7~0	PWM6DL	R/W	00h	PWM6 duty low byte write sequence: PWM6DL then PWM6DH read sequence: PWM6DH then PWM6DL
EFh	AUX3	6	HSNK2EN	R/W	0	Pin high sink enable (Group 2 = P04, P05, P10~P13, P30~P33) 0: Group 2 high sink disable 1: Group 2 high sink enable
		5	HSNK1EN	R/W	0	Pin high sink enable (Group 1 = P06, P07, P14~P17, P35, P36) 0: Group 1 high sink disable 1: Group 1 high sink enable
		4	HSNK0EN	R/W	0	Pin high sink enable (Group 0 = P00~P03, P20, P21, P34, P37) 0: Group 0 high sink disable 1: Group 0 high sink enable
		3	WARMTIME	R/W	0	Warm-up time for wake-up from Halt/Stop mode 0: 128 Clock 1: 64 Clock
		1	FJMPE	R/W	0	FRC frequency auto-change enable 0: FRC frequency define by CFGWL 1: FRC frequency auto-change enable
		0	FJMPS	R/W	0	FRC frequency auto-change selection 0: $\pm 1\%$ frequency change 1: $\pm 2\%$ frequency change
F0h	B	7~0	B	R/W	00h	B register
F1h	CRCDL	7~0	CRCDL	R/W	FFh	16-bit CRC data bit 7~0
F2h	CRCDH	7~0	CRCDH	R/W	FFh	16-bit CRC data bit 15~8
F3h	CRCIN	7~0	CRCIN	W	–	CRC input data
F5h	CFGGBG	4~0	BGTRIM	R/W	–	VBG trimming value

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
F6h	CFGWL	6~0	FRCF	R/W	–	FRC frequency adjustment 00h: lowest frequency 7Fh: highest frequency
F7h	AUX2	7~6	WDTE	R/W	–	Watchdog Timer Reset control 0x: WDT disable 10: WDT enable in Fast/Slow mode, disable in Idle/Halt/Stop mode 11: WDT always enable
		5	PWRSAB	R/W	–	Set 1 to reduce the chip's power consumption at Idle/Halt/Stop Mode.
		4	VBGOUT	R/W	0	Bandgap voltage output control 0: P3.2 as normal I/O 1: Bandgap voltage output to P3.2 pin
		3	DIV32	R/W	0	only active when MULDIV16 =1 0: instruction DIV as 16/16 bit division operation 1: instruction DIV as 32/16 bit division operation
		2~1	IAPTE	R/W	11	IAP write/EEPROM write/INFO write watchdog timer enable 00: Disable 01: wait 3ms trigger watchdog time-out flag 10: wait 6ms trigger watchdog time-out flag 11: wait 25ms trigger watchdog time-out flag
		0	MULDIV16	R/W	0	0: instruction MUL/DIV as 8*8, 8/8 operation 1: instruction MUL/DIV as 16*16, 16/16 or 32/16 operation
F8h	AUX1	7	CLRWDT	R/W	0	Set 1 to clear WDT, H/W auto clear it at next clock cycle
		6	CLRTM3	R/W	0	Set 1 to clear and hold Timer3, need S/W clear.
		5	TKSOC	R/W	0	Touch Key Start of Conversion Set 1 to start Touch Key conversion, and S/W need to write 0 to clear this flag.
		4	ADSOC	R/W	0	ADC Start of Conversion Set 1 to start ADC conversion. Cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		3	CLRPWM0	R/W	1	PWM0 clear enable 0: PWM0 is running 1: PWM0 is cleared and held or set PWM0 stop status by PWM0PMSK/PWM0NMSK & PWM0MSK=1
		2	CLRPWM1	R/W	1	PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 clear enable 0: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 is running 1: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 is cleared and held
		0	DPSEL	R/W	0	Active DPTR Select

Adr	Flash	Bit#	Bit Name	Description
3FFBh	CFGGB	4~0	BGTRIM	VBG adjustment. V_{BG} is trimmed to 1.18V in chip manufacturing.
3FFDh	CFGWL	6~0	FRCF	FRC frequency adjustment. FRC is trimmed to 18.432 MHz in chip manufacturing.
3FFFh	CFGWH	7	PROT	Flash Code Protect, 1=Protect
		6	XRSTE	External Pin Reset Enable, 1=Enable.
		5	PORSEL	POR enable selection 0: POR always on (when PORPD=0) 1: POR turn on 2ms (1/8duty when PORPD=0)
		4	HVS	High voltage switch for ROM write.
		3~0	-	Reserved

指令集

指令都是 1,2 或 3 个字节长如“byte”列所示。每条指令需要 2~32 个系统时钟周期来执行如“cycle”列中所示。

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A,Rn	Add register to A	1	2	28-2F
ADD A,dir	Add direct byte to A	2	2	25
ADD A,@Ri	Add indirect memory to A	1	2	26-27
ADD A,#data	Add immediate to A	2	2	24
ADDC A,Rn	Add register to A with carry	1	2	38-3F
ADDC A,dir	Add direct byte to A with carry	2	2	35
ADDC A,@Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A,#data	Add immediate to A with carry	2	2	34
SUBB A,Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A,dir	Subtract direct byte from A with borrow	2	2	95
SUBB A,@Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A,#data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8/16	A4
DIV AB	Divide A by B	1	8/16/32	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A,Rn	AND register to A	1	2	58-5F
ANL A,dir	AND direct byte to A	2	2	55
ANL A,@Ri	AND indirect memory to A	1	2	56-57
ANL A,#data	AND immediate to A	2	2	54
ANL dir,A	AND A to direct byte	2	2	52
ANL dir,#data	AND immediate to direct byte	3	4	53
ORL A,Rn	OR register to A	1	2	48-4F
ORL A,dir	OR direct byte to A	2	2	45
ORL A,@Ri	OR indirect memory to A	1	2	46-47
ORL A,#data	OR immediate to A	2	2	44
ORL dir,A	OR A to direct byte	2	2	42
ORL dir,#data	OR immediate to direct byte	3	4	43
XRL A,Rn	Exclusive-OR register to A	1	2	68-6F
XRL A,dir	Exclusive-OR direct byte to A	2	2	65
XRL A,@Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A,#data	Exclusive-OR immediate to A	2	2	64
XRL dir,A	Exclusive-OR A to direct byte	2	2	62
XRL dir,#data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
CPL A	Complement A	1	2	F4
SWAP A	Swap Nibbles of A	1	2	C4
RL A	Rotate A left	1	2	23
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A,Rn	Move register to A	1	2	E8-EF
MOV A,dir	Move direct byte to A	2	2	E5
MOV A,@Ri	Move indirect memory to A	1	2	E6-E7
MOV A,#data	Move immediate to A	2	2	74
MOV Rn,A	Move A to register	1	2	F8-FF
MOV Rn,dir	Move direct byte to register	2	4	A8-AF
MOV Rn,#data	Move immediate to register	2	2	78-7F
MOV dir,A	Move A to direct byte	2	2	F5
MOV dir,Rn	Move register to direct byte	2	4	88-8F
MOV dir,dir	Move direct byte to direct byte	3	4	85
MOV dir,@Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir,#data	Move immediate to direct byte	3	4	75
MOV @Ri,A	Move A to indirect memory	1	2	F6-F7
MOV @Ri,dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri,#data	Move immediate to indirect memory	2	2	76-77
MOV DPTR,#data	Move immediate to data pointer	3	4	90
MOVC A,@A+DPTR	Move code byte relative DPTR to A	1	8	93
MOVC A,@A+PC	Move code byte relative PC to A	1	8	83
MOVB A,@Ri	Move external data(A8) to A	1	8	E2-E3
MOVB A,@DPTR	Move external data(A16) to A	1	8	E0
MOVB @Ri,A	Move A to external data(A8)	1	8	F2-F3
MOVB @DPTR,A	Move A to external data(A16)	1	8	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A,Rn	Exchange A and register	1	2	C8-CF
XCH A,dir	Exchange A and direct byte	2	2	C5
XCH A,@Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A,@Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C,bit	AND direct bit to carry	2	4	82
ANL C,/bit	AND direct bit inverse to carry	2	4	B0
ORL C,bit	OR direct bit to carry	2	4	72
ORL C,/bit	OR direct bit inverse to carry	2	4	A0
MOV C,bit	Move direct bit to carry	2	2	A2
MOV bit,C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	opcode
ACALL addr 11	Absolute jump to subroutine	2	6	11-F1
LCALL addr 16	Long jump to subroutine	3	6	12
RET	Return from subroutine	1	6	22
RETI	Return from interrupt	1	6	32
AJMP addr 11	Absolute jump unconditional	2	6	01-E1
LJMP addr 16	Long jump unconditional	3	6	02
SJMP rel	Short jump (relative address)	2	6	80
JC rel	Jump on carry = 1	2	4 (or 6)	40
JNC rel	Jump on carry = 0	2	4 (or 6)	50
JB bit,rel	Jump on direct bit = 1	3	4 (or 6)	20
JNB bit,rel	Jump on direct bit = 0	3	4 (or 6)	30
JBC bit,rel	Jump on direct bit = 1 and clear	3	4 (or 6)	10
JMP @A+DPTR	Jump indirect relative DPTR	1	6	73
JZ rel	Jump on accumulator = 0	2	4 (or 6)	60
JNZ rel	Jump on accumulator $\neq$ 0	2	4 (or 6)	70
CJNE A,dir,rel	Compare A,direct, jump not equal relative	3	4 (or 6)	B5
CJNE A,#data,rel	Compare A,immediate, jump not equal relative	3	4 (or 6)	B4
CJNE Rn,#data,rel	Compare register,immediate, jump not equal relative	3	4 (or 6)	B8-BF
CJNE @Ri,#data,rel	Compare indirect,immediate, jump not equal relative	3	4 (or 6)	B6-B7
DJNZ Rn,rel	Decrement register, jump not zero relative	2	4 (or 6)	D8-DF
DJNZ dir,rel	Decrement direct byte, jump not zero relative	3	4 (or 6)	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

在上表中，如 E8-EF 中的指令操作码 (十六进制) 指示用于一个连续的块的 8 个不同的寄存器,寄存器编号，由其相应的操作码的最低 3 位定义。码的不连续的块，如 11-F1 (举例)，用于绝对跳转和调用，码的前 3 位用于指示目的地址的顶部 3 位。

电器特性

1. 最大绝对额定值 ($T_A=25^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS}-0.3 \sim V_{SS}+5.5$	V
输入电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
输出电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
全部引脚高电位输出电流	-80	mA
全部引脚低电位输出电流	+150	
最大工作电压	5.5	V
工作温度	$-40 \sim +105$	$^{\circ}\text{C}$
储存温度	$-65 \sim +150$	

2. DC 特性 ($T_A=25^{\circ}\text{C}$, $V_{CC}=2.2\text{V} \sim 5.5\text{V}$)

参数	符号	条件	最小值	典型值	最大值	单位
工作电压	V_{CC}	快钟模式, $F_{SYSCLK}=18.432\text{ MHz}$	2.2	—	5.5	V
输入高电压	V_{IH}	所有输入	$V_{CC}=5\text{V}$	0.6 V_{CC}	—	V
			$V_{CC}=3\text{V}$	0.6 V_{CC}	—	V
输入低电压	V_{IL}	所有输入	$V_{CC}=5\text{V}$	—	0.2 V_{CC}	V
			$V_{CC}=3\text{V}$	—	0.2 V_{CC}	V
I/O 端口 拉电流	I_{OH}	所有输出 LEDBRITM=1	$V_{CC}=5\text{V}$, $V_{OH}=0.9V_{CC}$	6	12	mA
			$V_{CC}=5\text{V}$, $V_{OH}=0.6V_{CC}$	20	40	
			$V_{CC}=3\text{V}$, $V_{OH}=0.9V_{CC}$	2.5	5	
			$V_{CC}=3\text{V}$, $V_{OH}=0.66V_{CC}$	7.5	15	
		LED 脚 (P0.0~P0.3, P0.6~P0.7, P1.4~P1.7, P2.0~P2.1, P3.4~P3.7) LEDBRITM=0	$V_{CC}=5\text{V}$, $V_{OH}=0.9V_{CC}$	6	12	
			$V_{CC}=5\text{V}$, $V_{OH}=0.6V_{CC}$	10	20	
			$V_{CC}=3\text{V}$, $V_{OH}=0.9V_{CC}$	2.5	5	
			$V_{CC}=3\text{V}$, $V_{OH}=0.66V_{CC}$	5	10	
I/O 端口 灌电流	I_{OL}	所有输出	$V_{CC}=5\text{V}$, $V_{OL}=0.1V_{CC}$ HSNKxEN=1	72	90	mA
			$V_{CC}=5\text{V}$, $V_{OL}=0.1V_{CC}$ HSNKxEN=0	23	46	
			$V_{CC}=3\text{V}$, $V_{OL}=0.1V_{CC}$ HSNKxEN=1	20	40	
			$V_{CC}=3\text{V}$, $V_{OL}=0.1V_{CC}$ HSNKxEN=0	10	20	

参数	符号	条件	最小值	典型值	最大值	单位
电源电流	I_{DD}	快钟模式 $V_{CC}=5V$	FRC=18.432 MHz	—	8.1	mA
			FRC=9.216 MHz	—	5.5	
		快钟模式 $V_{CC}=3V$	FRC=18.432 MHz	—	4.6	
			FRC=9.216 MHz	—	3.2	
		慢钟模式	$V_{CC}=5V$	—	2.1	
			$V_{CC}=3V$	—	1.4	
		空闲模式 PWRSAV=0	SRC, $V_{CC}=5V$	—	75	μA
			SRC, $V_{CC}=3V$	—	50	
		空闲模式 PWRSAV=1	SRC, $V_{CC}=5V$	—	16.5	
			SRC, $V_{CC}=3V$	—	7.2	
		空闲模式 PWRSAV=1 PORPD=1	SRC, $V_{CC}=5V$	—	9.7	
			SRC, $V_{CC}=3V$	—	3.6	
		停止模式 PWRSAV=1	$V_{CC}=5V$	—	0.4	
			$V_{CC}=3V$	—	0.2	
		暂停模式 PWRSAV=1	$V_{CC}=5V$	—	7.2	
			$V_{CC}=3V$	—	2.4	
上拉电阻	R_{PU}	$V_{IN}=V_{CC}$	$V_{CC}=5V$	—	32	K Ω
			$V_{CC}=3V$	—	54	

3. 时钟时序

参数	条件	最小值	典型值	最大值	单位
FRC 频率	25°C, $V_{CC}=4.5V$	−1%	18.432	+1%	MHz
	0°C ~ 105°C, $V_{CC}=4.5V$	−1.5%	18.432	+1.5%	
	−40°C ~ 105°C, $V_{CC}=3.0 \sim 5.5V$	−3.5%	18.432	+3.5%	
SRC 频率	$V_{CC}=5V$	—	41	—	KHz
	$V_{CC}=3V$	—	37	—	

4. 复位时序特性 ($T_A = -40^\circ C \sim +105^\circ C$)

参数	条件	最小值	典型值	最大值	单位
RESET 输入低电平宽度	Input $V_{CC}=5V \pm 10\%$	30	—	—	μs
WDT 唤醒时间	$V_{CC}=5V$, WDT_PSC=11	—	50	—	ms
	$V_{CC}=3V$, WDT_PSC=11	—	55	—	
CPU 启动时间	$V_{CC} = 5V$	—	22	—	ms

5. LVR 电路特性 ($T_A = 25^\circ\text{C}$)

参数	符号	条件	最小值	典型值	最大值	单位
LVR 参考电压	V_{LVR}	$T_A = 25^\circ\text{C}$	—	4.15	—	V
			—	4.01	—	
			—	3.87	—	
			—	3.73	—	
			—	3.59	—	
			—	3.45	—	
			—	3.31	—	
			—	3.17	—	
			—	3.03	—	
			—	2.89	—	
			—	2.75	—	
			—	2.61	—	
			—	2.47	—	
			—	2.33	—	
			—	2.19	—	
			—	2.05	—	
LVR 滞后窗口	V_{HYS_LVR}	$T_A = 25^\circ\text{C}$	—	20	—	mV
低电压 检测时间	t_{LVR}	$T_A = 25^\circ\text{C}$	100	—	—	μs

6. LVD 电路特性 ($T_A = 25^\circ\text{C}$)

参数	符号	条件	最小值	典型值	最大值	单位
LVD 参考电压	V_{LVD}	$T_A = 25^\circ\text{C}$	—	4.15	—	V
			—	4.01	—	
			—	3.87	—	
			—	3.73	—	
			—	3.59	—	
			—	3.45	—	
			—	3.31	—	
			—	3.17	—	
			—	3.03	—	
			—	2.89	—	
			—	2.75	—	
			—	2.61	—	
			—	2.47	—	
			—	2.33	—	
			—	2.19	—	
			—	2.05	—	
LVD 滞后窗口	V_{HYS_LVD}	LVDHYS = 0	—	20	—	mV
		LVDHYS = 1	—	60	—	
低电压 检测时间	t_{LVR}	$T_A = 25^\circ\text{C}$	100	—	—	μs

7. ADC 电气特性 ($T_A = 25^\circ\text{C}$, $V_{CC} = 3.0\text{V} \sim 5.5\text{V}$, $V_{SS} = 0\text{V}$)

参数	条件	最小值	典型值	最大值	单位
总绝对误差	$V_{CC}=5.12\text{V}$, $V_{SS}=0\text{V}$	—	± 2.5	± 4	LSB
积分非线性误差		—	± 3.2	± 5	
最大输入时钟 (f_{ADC})	信号驱动源阻抗($R_s < 10\text{K}\Omega$)	—	—	4.2	MHz
	信号驱动源阻抗($R_s < 20\text{K}\Omega$)	—	—	2.1	
	信号驱动源阻抗($R_s < 50\text{K}\Omega$)	—	—	1.1	
	信号驱动源为 V_{BG} (ADCHS=01100b)	—	—	4.2	
转换时间	$F_{\text{ADC}} = 1\text{MHz}$	—	50	—	μs
ADC 轉換電流	$V_{CC}=5\text{V}$, ADCVREFS=0	—	0.45	—	mA
	$V_{CC}=4\text{V}$, ADCVREFS=1	—	0.6	—	
内部基准电压源 (V_{BG})	—	$V_{CC}=2.5\text{V} \sim 5.5\text{V}$ 25°C	-1.5%	1.18	V
		$V_{CC}=2.5\text{V} \sim 5.5\text{V}$ -40°C~105°C	-1.8%	1.18	
ADC 内部参考电压源 (V_{REF})	ADCVREFS=1	$V_{CC}=3\text{V} \sim 5.5\text{V}$ 25°C	-1.7%	2.49	
		$V_{CC}=2.8\text{V} \sim 5.5\text{V}$ -40°C~105°C	-2.3%	2.49	
$V_{CC}/4$ 电压源 ($V_{1/4}$)	—	$V_{CC}=5\text{V}$, 25°C	-0.8%	1.252	
		$V_{CC}=3.6\text{V}$, 25°C	-0.8%	0.902	
输入电压	—	V_{SS}	—	V_{CC}	

8. TK 电气特性 ($T_A = 25^\circ\text{C}$, $V_{CC} = 3.0\text{V} \sim 5.5\text{V}$, $V_{SS} = 0\text{V}$)

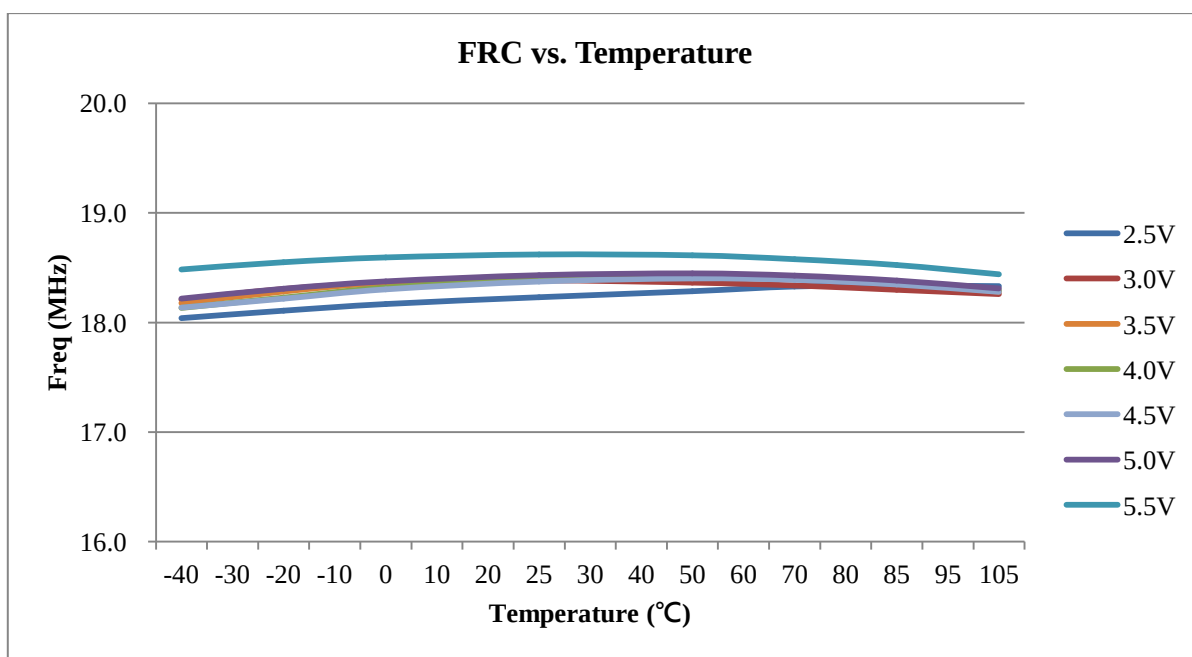
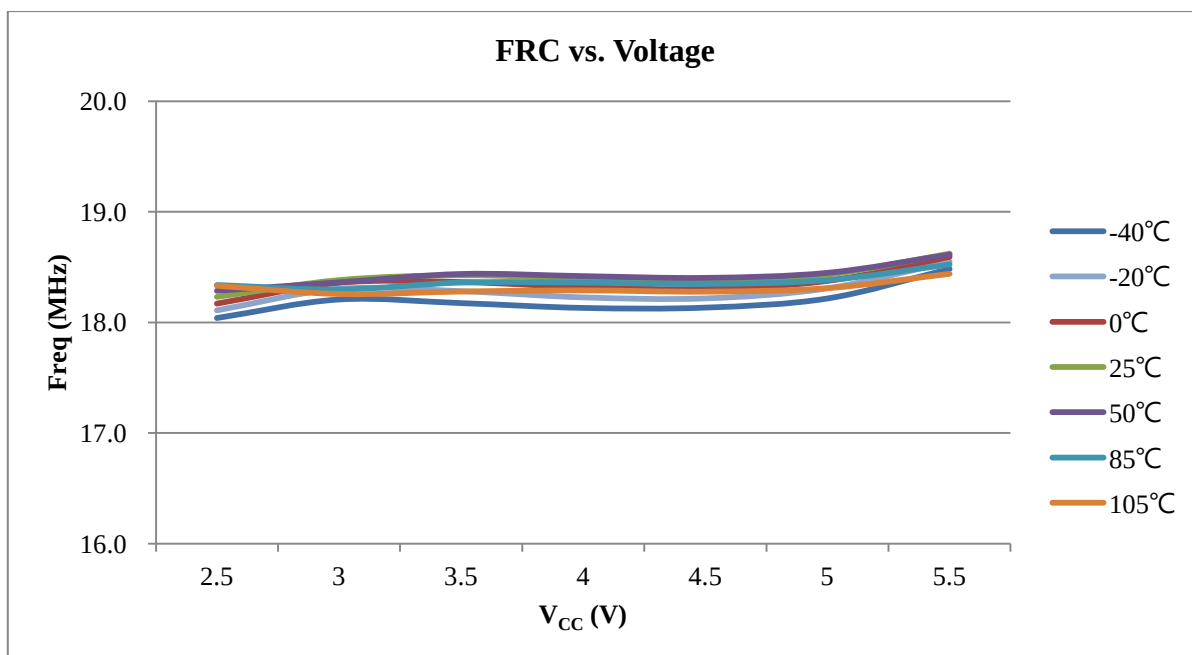
参数	条件	最小值	典型值	最大值	单位
TK 轉換電流	$V_{CC}=5\text{V}$	—	2.5	—	mA

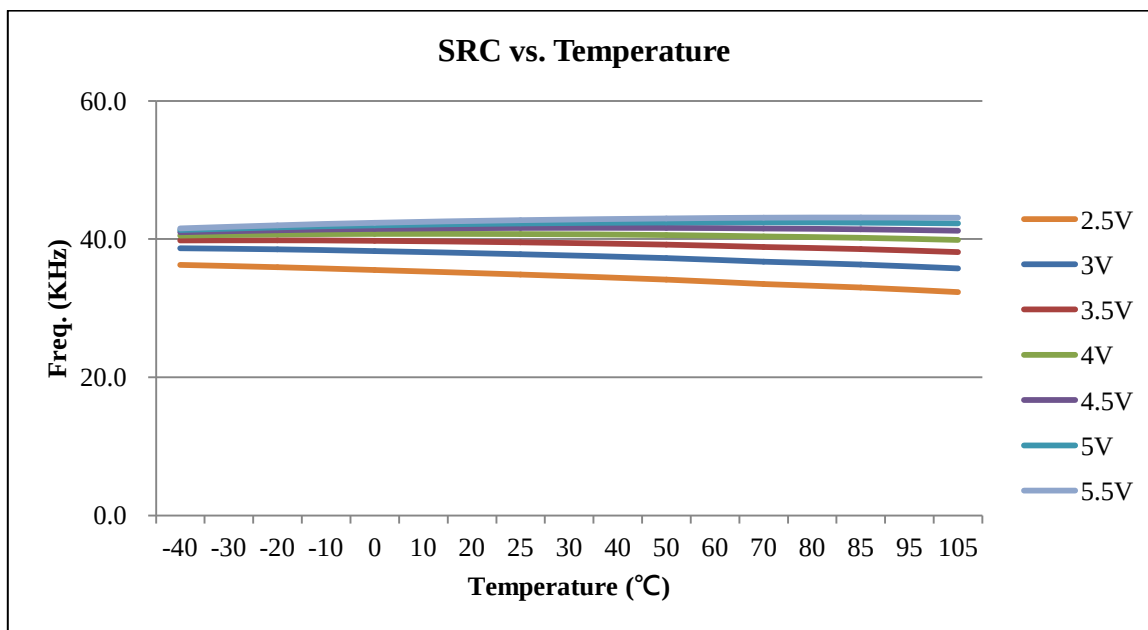
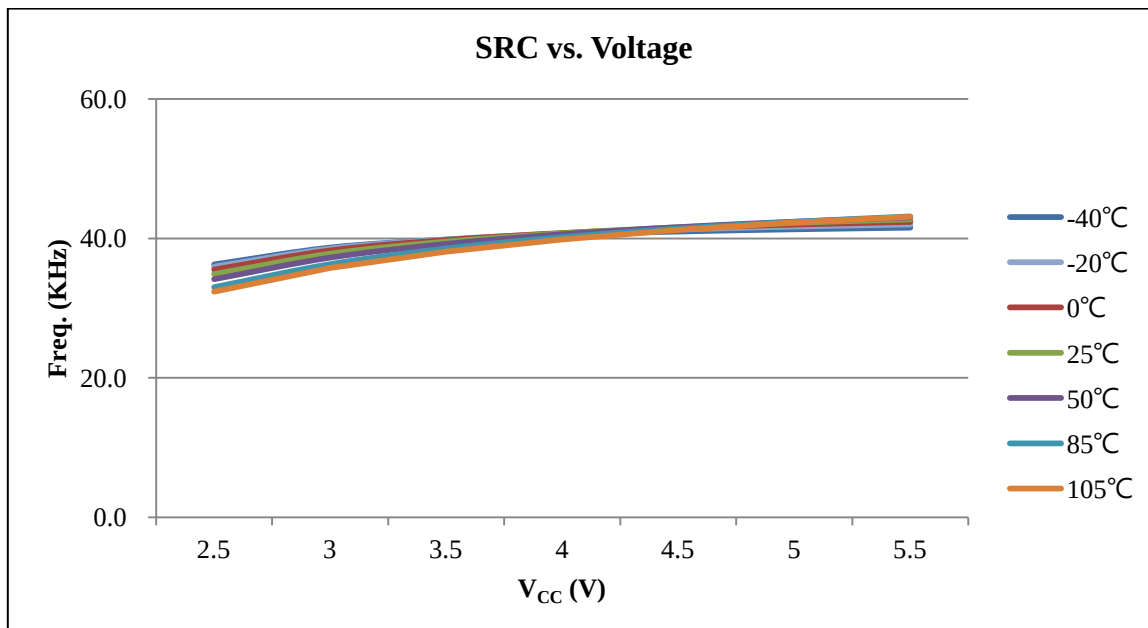
9. EEPROM 特性

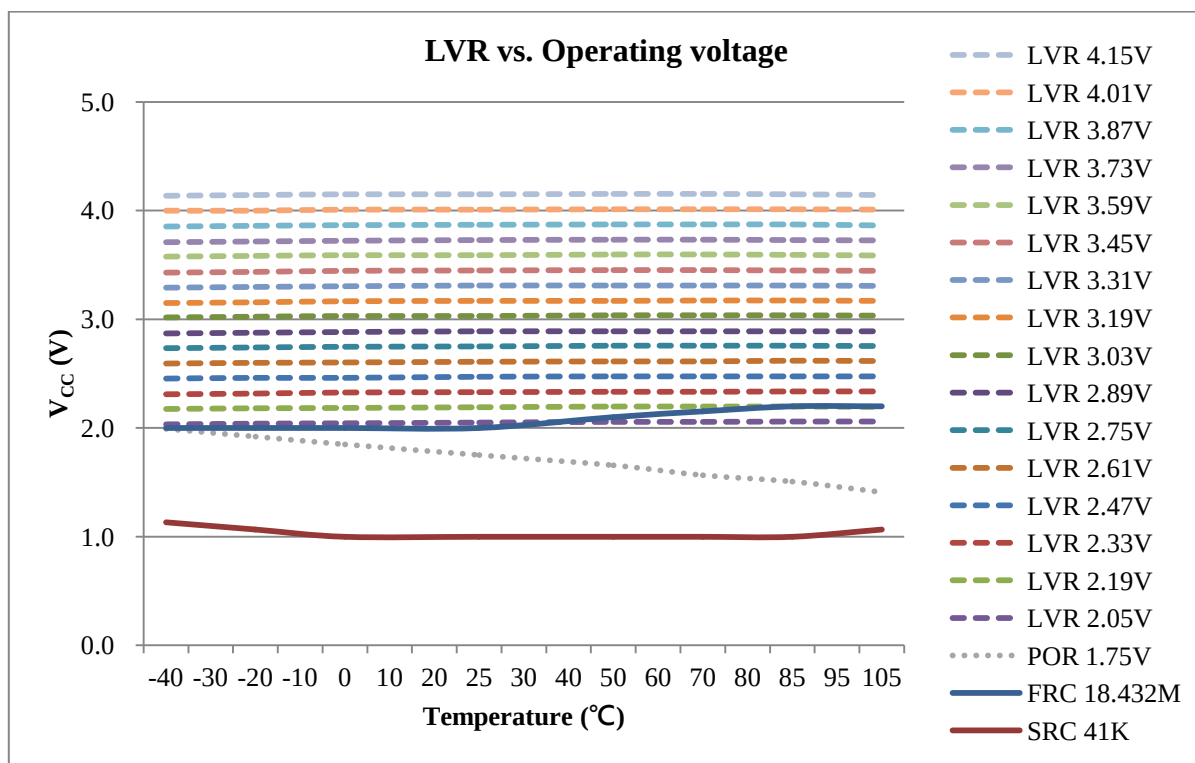
参数	条件	最小值	典型值	最大值	单位
写入电压	$F_{\text{SYS}}=\text{FRC}/2$, 47 μF , -40°C ~ 105°C	3.5	5.0	5.5	V
写入耐用性*	$V_{CC} = 3.5\text{V} \sim 5\text{V}$, -40°C ~ 105°C $F_{\text{SYS}}=\text{FRC}/2$	30K	—	—	周期数
	$V_{CC} = 3.5\text{V} \sim 5\text{V}$, -20°C ~ 105°C $F_{\text{SYS}}=\text{FRC}/2$	50K	—	—	

注：此参数数值是基于测试样本的特性值。

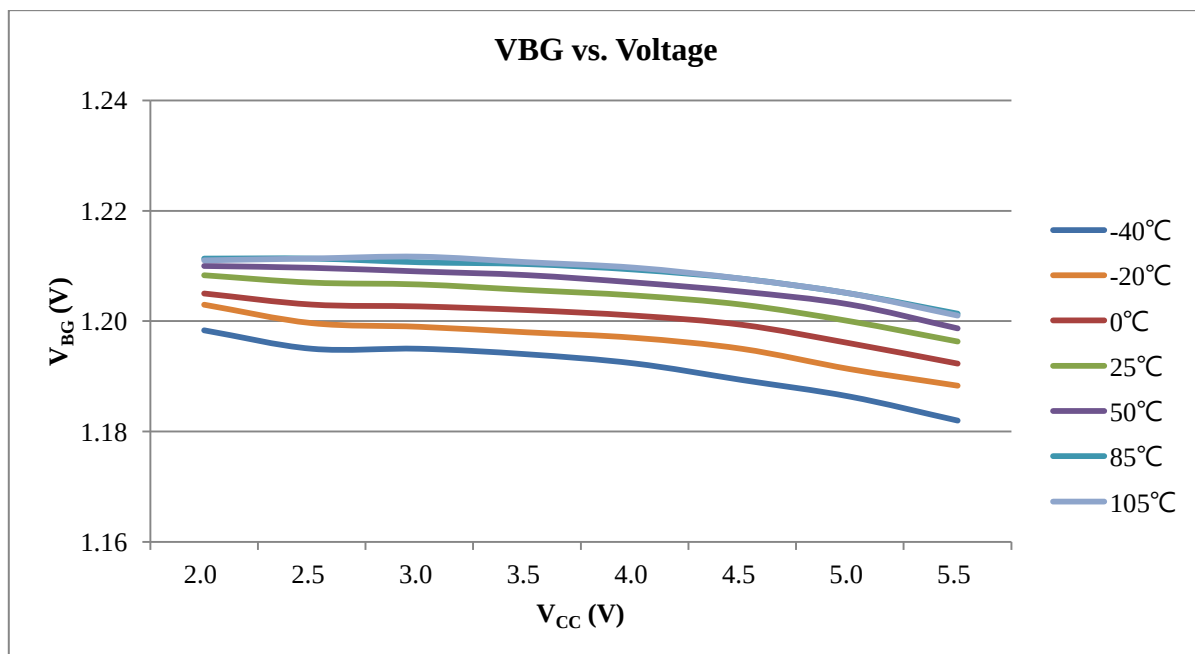
10. 特性曲线图







注: POR 为上电复位, 上电时 V_{CC} 应大于 POR。由于制造工艺的差异, 不同芯片之间的 POR 值会略有不同。



封装说明

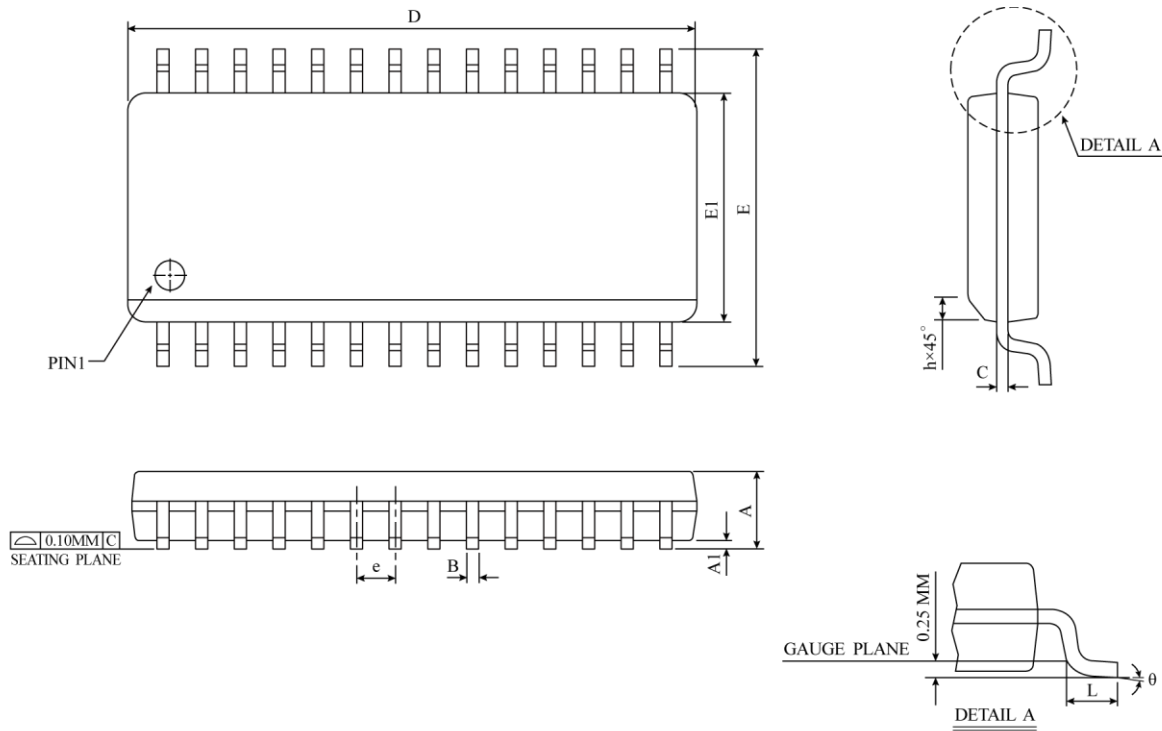
请注意，此处提供的包装信息仅供参考。由于此信息经常更新，因此用户可以联系销售人员以咨询最新的包装信息和库存。

订购须知

Ordering number	Package
TM52F4974-MTP	Wafer/Dice blank chip
TM52F4974-COD	Wafer/Dice with code
TM52F49745S-MTP-23	SOP 28-pin (300 mil)
TM52F49745E-MTP-29	SSOP 28-pin (150 mil)
TM52F49743S-MTP-21	SOP 20-pin (300 mil)
TM52F49742S-MTP-16	SOP 16-pin (150 mil)

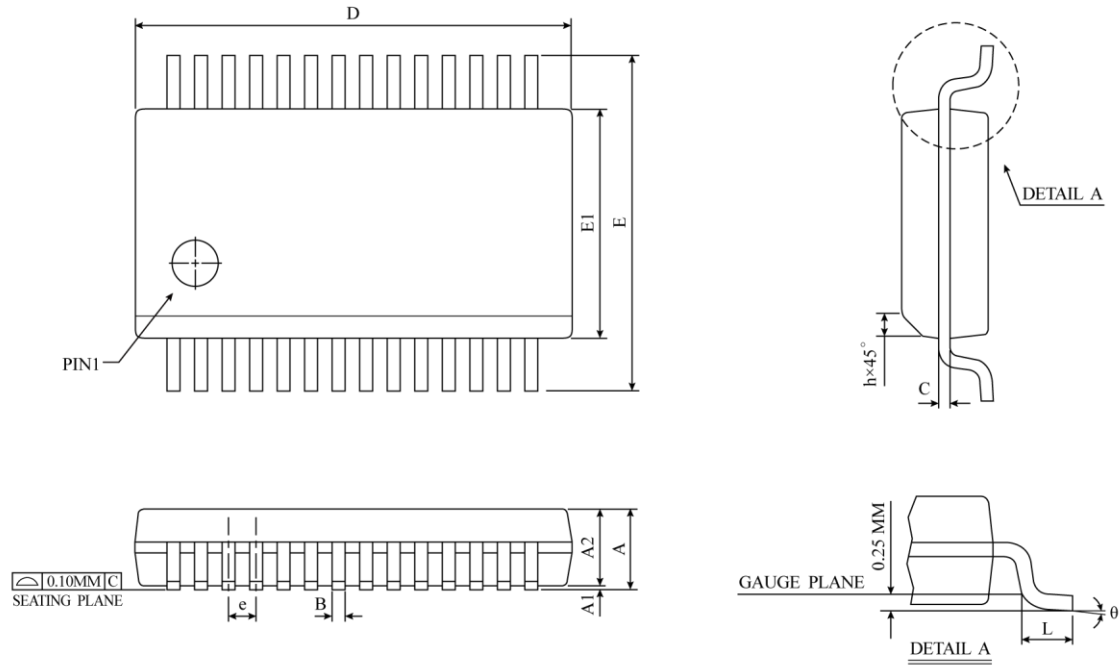
包装信息

SOP-28 引脚 (300mil) 包装尺寸



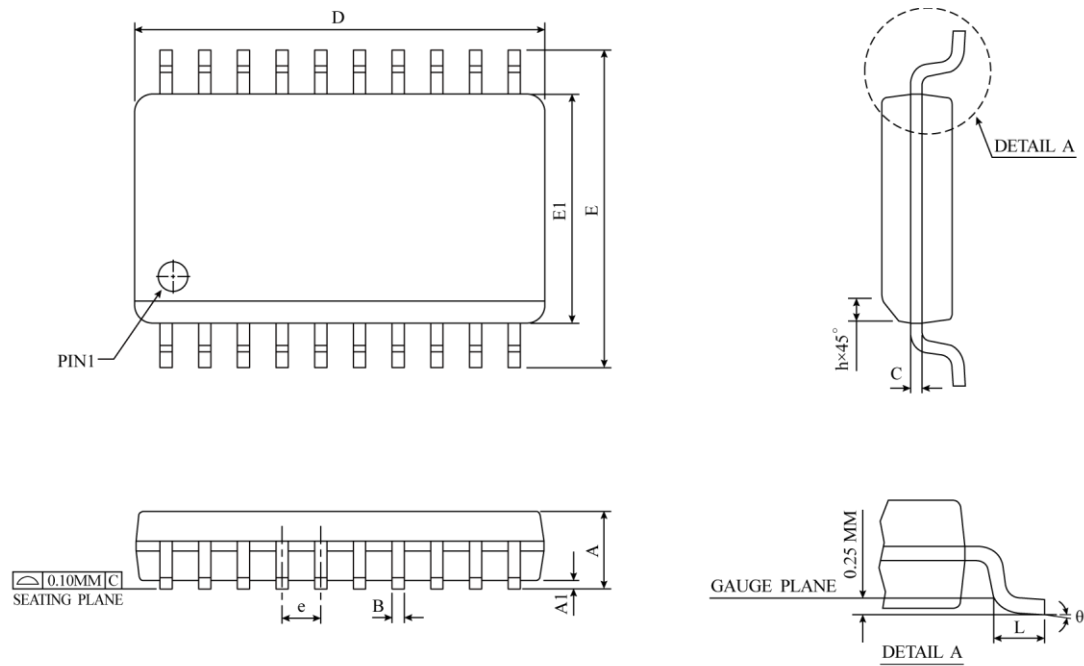
SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	17.70	17.90	18.10	0.6969	0.7047	0.7125
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AE)					

△ * NOTES : DIMENSION " D " DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

SSOP-28 引脚 (150mil) 包装尺寸


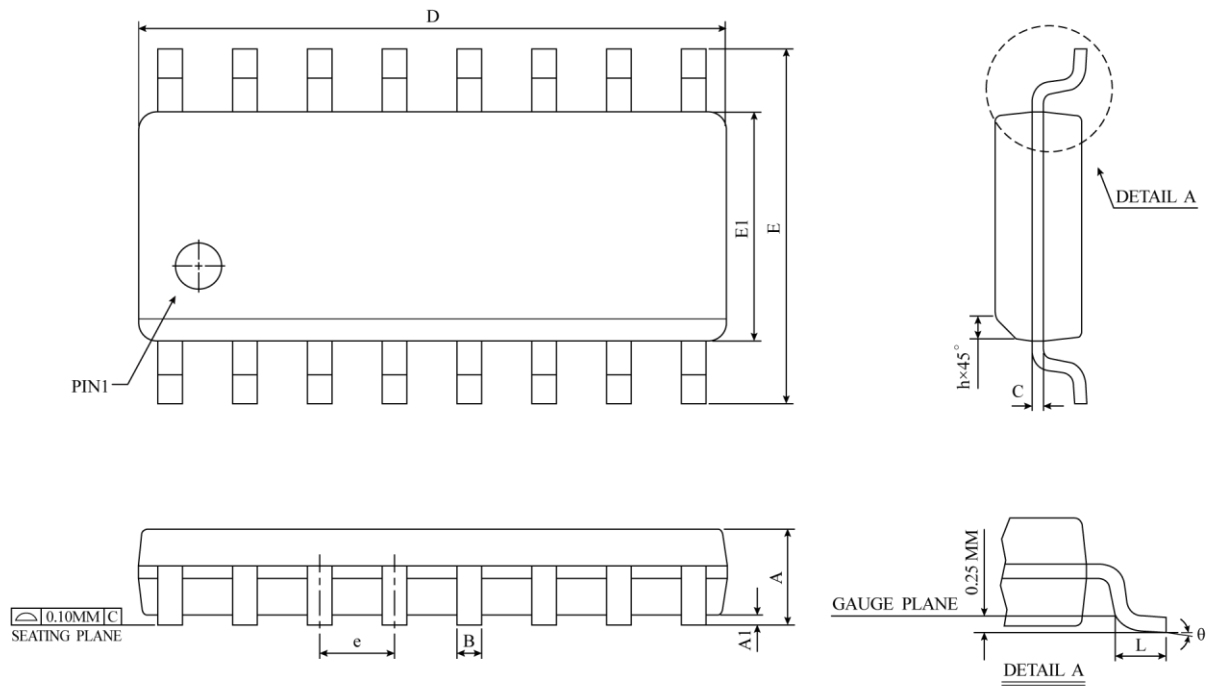
SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.50	1.65	1.80	0.06	0.06	0.07
A1	0.102	0.176	0.249	0.004	0.007	0.010
A2	1.40	1.475	1.55	0.06	0.06	0.06
B	0.20	0.25	0.30	0.01	0.01	0.01
C	0.2TYP			0.008TYP		
e	0.635TYP			0.025TYP		
D	9.804	9.881	9.957	0.386	0.389	0.392
E	5.842	6.020	6.198	0.230	0.237	0.244
E1	3.86	3.929	3.998	0.152	0.155	0.157
L	0.406	0.648	0.889	0.016	0.026	0.035
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137(AF)					

△*NOTES: DIMENSION “D” DOES NOT INCLUDE MOLD PROTRUSIONS OR GATE BURRS.
MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE.

SOP-20 引脚 (300mil) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	12.60	12.80	13.00	0.4961	0.5040	0.5118
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
 MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
 NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

SOP-16 引脚 (150mil) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.0532	0.0610	0.0688
A1	0.10	0.18	0.25	0.0040	0.0069	0.0098
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.19	0.22	0.25	0.0075	0.0087	0.0098
D	9.80	9.90	10.00	0.3859	0.3898	0.3937
E	5.80	6.00	6.20	0.2284	0.2362	0.2440
E1	3.80	3.90	4.00	0.1497	0.1536	0.1574
e	1.27 BSC			0.050 BSC		
h	0.25	0.38	0.50	0.0099	0.0148	0.0196
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-012 (AC)					

△ * NOTES : DIMENSION " D " DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.